



CUnet

CUnet 専用 IC

MKY44-SPI

ユーザーズマニュアル

ご注意

1. 本マニュアルに記載された内容は、予告なしに変更する場合があります。本製品をご使用になる際には、本マニュアルが最新の版数であるかをご確認ください。
2. 本マニュアルにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本マニュアルに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本マニュアルの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておりません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本マニュアルの一部または全部を、当社に無断で転載および複製することを禁じます。

はじめに

本マニュアルは、CUnet 専用 IC の一品種である MKY44-SPI について記述します。
MKY44-SPI の利用および本マニュアルの理解に先駆けて、「CUnet 導入ガイド」を必ずお読みください。

●対象読者

- CUnet を初めて構築する方
- CUnet を構築するために、弊社の各種 IC を初めてご利用になる方
- MKY44-SPI を使用したハードウェア設計、ソフトウェア設計を行う方

●読者が必要とする知識

- ネットワーク技術に関する標準的な知識
- 半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

●関連マニュアル

- CUnet 導入ガイド
- CUnet テクニカルガイド

【注意事項】

本マニュアルにおいて記載されている一部の用語は、弊社の Web および営業用ツール（総合カタログ等）において記載されている用語とは異なっています。営業用ツールにおいては、様々な業界において弊社製品をご理解いただけるよう、一般的用語を用いています。

HLS ファミリーおよび CUnet ファミリーに関する専門知識は、技術ドキュメント（マニュアル等）を基にご理解ください。

改訂履歴

バージョン No.	日付	ページ	改定内容
Ver1.1J	2019年11月	-	初版
Ver1.2J	2019年12月	4-3	図 4.1 MOSI 無効部データ 0x00 -> 0xXX
		4-3	図 4.2 MOSI 無効部データ 0x00 -> 0xXX
		4-4	エラー時の図 MOSI 無効部データ 0x00 -> 0xXX
		4-8	4.4 Byre_Read (Cmd No.:0x0) フォーマット仕様図 MOSI 無効部データ 0x00 -> 0xXX
		4-10	4.5 Byre_Write (Cmd No.:0x1) フォーマット仕様図 MOSI 無効部データ 0x00 -> 0xXX
		4-12	4.6 GM-HP Read (Cmd No.:0x2) フォーマット仕様図 MOSI 無効部データ 0x00 -> 0xXX
		4-13	4.7 GM-HP Write (Cmd No.:0x3) フォーマット仕様図 MOSI 無効部データ 0x00 -> 0xXX
		4-14	4.8 Flag & GM-HP Read (Cmd No.:0x4) フォーマット仕様図 MOSI 無効部データ 0x00 -> 0xXX
		5-2	注意事項追記
		5-34	図 5.25 リサイズの操作フロー修正
		6-2	表 6-1 レジスタ一覧：ハザード防止機能に関するレジスタ削除 注意事項追記
		その他	ハザード防止機能に関するレジスタの動作について削除
Ver1.3J	2020年2月	4-14	4.8 Flag & GM-HP Read (Cmd No.:0x4) SSR [15:12]、[7:4] ビット名称追記
		付-1	MKY43 との相違点追記
		その他	誤字訂正
Ver1.4J	2020年8月	3-2	「CUnet 初期設定レジスタ」アドレス 383h 削除
		5-2	表 5-1 メモリマップ アドレス 383h をメーカーリザーブに訂正
		付-2	表 付-1 レジスタ機能互換一覧 アドレス 383h をメーカーリザーブに訂正 383h ~ 385h 及び 387h ~ 3FFh の MKY43 互換訂正
Ver1.5J	2024年1月	4-1	表4-1 SPI通信仕様 誤記訂正 入力エッジ 立ち下り → ○立ち上り 出力エッジ 立ち上り → ○立ち下り
		その他	住所変更

目 次

第 1 章 MKY44-SPI の位置付けと特徴	1-1
1.1 MKY44-SPI における CUnet ステーション (MEM ステーション)	1-1
1.2 MKY44-SPI の特徴	1-2
1.3 I/O ステーションとの接続	1-3
第 2 章 MKY44-SPI ハードウェア	2-1
第 3 章 MKY44-SPI の接続	3-1
3.1 駆動クロック (XTAL4i、XTAL4o)	3-1
3.2 ハードウェアリセット信号 (#Reset)	3-1
3.3 CUnet 通信信号 (CU_RXD、CU_TXE、CU_TXD)	3-1
3.4 転送レート・ステーションアドレス設定 (BPS0,1 #SA5 ~ 0)	3-2
3.5 汎用入力 (#Di07 ~ #Di00、#Di17 ~ #Di10、#Di23 ~ #Di20)	3-3
3.6 汎用出力 (Do07 ~ Do00)	3-3
3.7 LED 表示用信号 (#MON、#LCARE、#MCARE)	3-4
3.8 サイクルトップ信号 (#CYCT)	3-4
3.9 PING 信号 (#PING)	3-5
3.10 SPI 接続信号 (#SPI-CS、SPI-CLKin、SPI-MISO、SPI-MOSI)	3-6
3.11 CPU への割込みトリガ (#INT0)	3-6
第 4 章 SPI 通信	4-1
4.1 SPI 通信仕様	4-1
4.2 SPI コマンド	4-2
4.3 SPI 通信概要	4-3
4.3.1 SPI 通信基本フォーム	4-3
4.3.2 コマンドエラーとその返信	4-4
4.3.3 CRC8 データ	4-5
4.3.4 SPI コマンド長の制限	4-5
4.3.5 MKY44-SPI のリセット	4-6
4.3.6 データハザード	4-7
4.4 Byte_Read (Cmd No. : 0x0)	4-8
4.5 Byte_Write (Cmd No. : 0x1)	4-10
4.6 GM-HP_Read (Cmd No. : 0x2)	4-12
4.7 GM-HP_Write (Cmd No. : 0x3)	4-13
4.8 Flag & GM-HP_Read (Cmd No. : 0x4)	4-14
4.9 StartUP (Cmd No. : 0xE)	4-15
4.10 SPI インターフェース AC タイミング	4-16

第5章 MKY44-SPI のソフトウェア	5-1
5.1 コミュニケーションの起動と停止	5-1
5.1.1 メモリマップ	5-2
5.1.2 MKY44-SPI の SPI 接続確認	5-2
5.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで	5-3
5.1.4 各フェーズへの対応	5-4
5.1.5 誤操作のプロテクション	5-5
5.1.6 CUnet のサイクルタイム	5-6
5.1.7 サイクル中の詳細タイミング	5-6
5.1.8 ネットワークの停止	5-7
5.1.8.1 SNF (Station Not Found) の詳細	5-7
5.1.8.2 OC (Out of Cycle) の詳細	5-8
5.1.8.3 停止の特例	5-8
5.2 グローバルメモリ (GM) の利用	5-9
5.2.1 占有エリアについての詳細	5-9
5.2.2 データハザードとハザード防止機能	5-10
5.2.3 グローバルメモリ (GM) データの品質保証	5-12
5.2.3.1 レジスタによるステータス表示	5-12
5.2.3.2 ステータス管理の起点時期および特例	5-13
5.2.3.3 LGR (Link Group Register)	5-14
5.2.3.4 メンバ	5-15
5.2.3.5 MFR (Member Flag Register)	5-16
5.2.3.6 MGR (Member Group Register)	5-16
5.2.3.7 メンバの増加と減少検出	5-18
5.2.4 グローバルメモリのデータ遷移検出機能	5-19
5.2.4.1 データ遷移検出対象を設定する DRCR	5-19
5.2.4.2 DR フラグビットおよび DRFR ビットが “0” から “1” へ遷移するタイミング	5-20
5.2.4.3 DR フラグビットおよび DRFR ビットが “1” から “0” へ遷移するタイミング	5-20
5.2.4.4 データ遷移検出機能利用上の注意	5-22
5.3 メール送受信機能の利用	5-22
5.3.1 メール受信許可の操作	5-23
5.3.2 メール受信時の操作	5-24
5.3.3 メール送信の操作、送信終了後の操作	5-26
5.3.4 メール送信エラーに対する操作	5-28
5.3.5 メール送受信の品質保証	5-29
5.3.6 メール送受信における付帯機能	5-29
5.3.7 メール送受信時間の予測	5-29
5.3.8 メール送受信時における注意点	5-30
5.4 CUnet システムの詳細な操作や管理	5-31
5.4.1 ネットワーク起動前のモニタリング	5-32
5.4.2 サイクルタイムの変更 (リサイズ)	5-33
5.4.2.1 リサイズの操作	5-34

5.4.2.2	リサイズの拒否	5-35
5.4.2.3	リサイズオーバーラップ (RO)	5-36
5.4.2.4	RO 発生時の注意	5-36
5.4.3	ブレイクフェーズステーションの検出と対処	5-37
5.4.4	ジャマー検出と対処	5-38
5.4.5	ネットワークの品質管理と表示	5-39
5.4.5.1	LCARE 信号出力	5-39
5.4.5.2	MCARE 信号出力	5-40
5.4.5.3	MON 信号出力	5-41
5.4.6	PING 命令	5-42
5.4.7	各ステーションのモードを検出する機能	5-43
5.4.8	GMM (Global Memory Monitor) 機能	5-44
5.4.9	フレームオプション [HUB 対応]	5-45
5.4.9.1	HUB の挿入可能段数	5-46
5.4.9.2	フレームオプションの設定	5-47
5.5	割込みトリガ発生機能	5-48
5.5.1	#INT0 端子の操作	5-48
5.5.2	リトリガ機能	5-50
5.5.3	割込み発生要因	5-51
5.5.4	割込みトリガ発生時期指定の注意	5-52
5.5.5	DR (Data Renewal) 割込みトリガ利用上の注意	5-52
5.5.6	割込みトリガ発生に連動するレジスタのフリーズ	5-52
5.5.7	BD、RO、JD 割込み発生について	5-53

第 6 章	レジスタリファレンス	6-1
6.1	RFR (Receive Flag Register)	6-3
6.2	LFR (Link Flag Register)	6-4
6.3	MFR (Member Flag Register)	6-5
6.4	DRFR (Data Renewal Flag Register)	6-6
6.5	LGR (Link Group Register)	6-7
6.6	MGR (Member Group Register)	6-8
6.7	DRCR (Data Renewal Check Register)	6-9
6.8	MSLR (Mail Send Limit time Register)	6-10
6.9	MSRR (Mail Send Result Register)	6-10
6.10	MESR (Mail Error Status Register)	6-11
6.11	MSCR (Mail Send Control Register)	6-12
6.12	MROCR (Mail Receive 0 Control Register)	6-13
6.13	MR1CR (Mail Receive 1 Control Register)	6-14
6.14	CCTR (Care CounTer Register)	6-15
6.15	QCR (Query Control Register)	6-16
6.16	NFSR (New Final Station Register)	6-17

6.17 FSR (Final Station Register)	6-17
6.18 BCR (Basic Control Register)	6-18
6.19 INTOCR (INTerrupt 0 Control Register)	6-19
6.20 ITOCR (Interrupt Timing 0 Control Register)	6-21
6.21 INTOSR (INTerrupt 0 Status Register)	6-22
6.22 SSR (System Status Register)	6-24
6.23 SCR (System Control Register)	6-26
6.24 CCR (Chip Code Register)	6-28
第 7 章 電氣的定格	7-1
第 8 章 外形寸法図	8-1
第 9 章 半田実装推奨条件	9-1
付録 MKY43 との相違点	付-1

目 次

図 1.1	MKY44-SPI を搭載した CUnet ステーション図 (MEM ステーション)	1-1
図 1.2	4 つの MEM ステーションを接続した CUnet 構成	1-2
図 1.3	I/O ステーション	1-3
図 1.4	I/O ステーションを接続した CUnet 構成	1-3
図 2.1	端子配列図 (Top View)	2-1
図 2.2	タイプ別端子定格図	2-4
図 3.1	推奨ネットワーク接続図	3-1
図 3.2	SPI 接続図	3-6
図 4.1	SPI コマンド (Write) 基本フォーム	4-3
図 4.2	SPI コマンド (Read) 基本フォーム	4-3
図 4.3	起動時及びリセット時の手順	4-6
図 4.4	SPI タイミング図	4-16
図 5.1	起動のアルゴリズム	5-3
図 5.2	MKY44-SPI のフェーズ遷移と SCR の対応ビット	5-4
図 5.3	ライトプロテクト	5-5
図 5.4	SCR のビット 0 ~ 6 が示すステーションタイム	5-6
図 5.5	グローバルメモリ	5-9
図 5.6	占有エリアの拡張	5-10
図 5.7	データハザード発生メカニズム	5-11
図 5.8	ライト時に発生するデータハザード	5-11
図 5.9	RFR と LFR	5-12
図 5.10	ステータス管理の起点時期	5-13
図 5.11	LGR による LFR の監視	5-14
図 5.12	MFR と MGR	5-15
図 5.13	MGR による MFR の監視と SSR のビット状態	5-17
図 5.14	DRCR と DRFR	5-19
図 5.15	時間経過に対するデータリニューアル検出の概要	5-21
図 5.16	メール受信バッファ	5-23
図 5.17	メール受信許可	5-23
図 5.18	MRBO ヘデータセットを格納した時の MROCR	5-24
図 5.19	MRB1 ヘデータセットを格納した時の MR1CR	5-24
図 5.20	メール送信バッファ	5-26
図 5.21	MSLR と MSCR の操作	5-26
図 5.22	MSRR	5-27
図 5.23	MESR	5-28

図 5.24	リサイズ	5-33
図 5.25	リサイズの操作	5-34
図 5.26	SSR の RO ビット	5-36
図 5.27	SSR の BD ビット	5-37
図 5.28	SSR の JD ビット	5-38
図 5.29	CCTR の LCARE 発生回数	5-39
図 5.30	CCTR の MCARE 発生回数	5-40
図 5.31	#MON 端子への出力例	5-41
図 5.32	PING 命令の発行	5-42
図 5.33	各 MEM ステーションのモード調査	5-43
図 5.34	HUB 挿入可能段数	5-46
図 5.35	フレームオプションの設定	5-47
図 5.36	割込みトリガ発生機能	5-48
図 5.37	DR 及び ALM 割込みトリガ発生タイミング	5-49
図 5.38	リトリガ機能の動作例	5-50
図 8.1	外形寸法図	8-1

表 目 次

表 2-1	端子機能表	2-2
表 4-1	SPI 通信仕様	4-1
表 4-2	SPI コマンド一覧	4-2
表 4-3	CRC-8-CCITT 仕様	4-5
表 4-4	SPI タイミング仕様書	4-16
表 5-1	メモリマップ	5-2
表 5-2	タイプコード	5-43
表 5-3	割込み発生要因	5-51
表 5-4	フリーズするレジスタ	5-52
表 6-1	レジスター一覧	6-2
表 6-2	クエリ完了によるタイプコード	6-16
表 6-3	各ビット値と転送レート	6-18
表 7-1	電氣的定格	7-1
表 付-1	レジスタ機能互換一覧	付-2
表 付-2	ハードウェア相違点	付-3

第 1 章 MKY44-SPI の位置付けと特徴

本章は、CUnet における MKY44-SPI の位置付けと特徴について記述します。

- MKY44-SPI は、SPI (Serial Peripheral Interface) スレーブインターフェースを持つ TQFP-64 ピンの CUnet 専用 IC です。本マニュアルでは、MKY44-SPI と接続する SPI マスタを「CPU」と記載していますが、SPI マスタには CPU や FPGA を想定しています。
- MKY44-SPI は、CUnet Family の Station-IC の一品種であり、CUnet の MEM モードで動作します。マスタから SPI コマンドを使って MKY44-SPI の内部メモリやレジスタをアクセスすることが可能です。
- CUnetFamily の各 IC は同一 CUnet 上で混在して使用することが可能ですので、MKY44-SPI は既存の MKY43 や MKY46 にて構築された CUnet 装置に接続することが可能です。他の MKY44 シリーズについても同様です。
- CUnet のコミュニケーションは極めて高速であり、また、強固な検定技法によって保護されているため、産業機器や装置内部での利用も可能です。
MKY44-SPI を利用することによって、より低消費電力かつリズナブルに CUnet を利用することができます。
- MKY44-SPI 及び MKY43 を搭載した“CUnet ステーション”は、“MEM ステーション”と呼びます。

なお、MKY44-SPI を搭載した CUnet ステーションを、グローバルメモリモニタ機能によって稼動する“GMM ステーション”として利用することも可能です（“5.4.8 GMM (Global Memory Monitor) 機能”参照）。

1.1 MKY44-SPI における CUnet ステーション (MEM ステーション)

CUnet は、CUnet 専用 IC を搭載した複数のユーザ装置をネットワークによって接続し、ネットワークシステムを構成します。

CUnet 専用 IC の MKY44-SPI は、SPI と CUnet ネットワークインターフェース（以下：ネットワーク I/F）を装備しています。MKY44-SPI と CPU は SPI にて接続し、MKY44-SPI のネットワーク I/F を CUnet ネットワークへ接続することによって CUnet の 1 つのステーションとしてのユーザ装置を構築することができます（図 1.1 参照）。

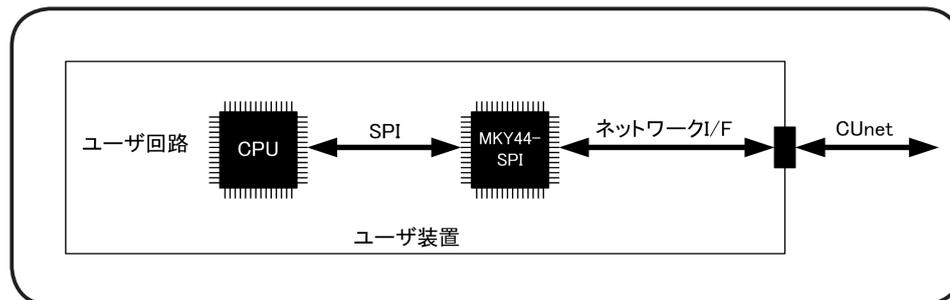


図 1.1 MKY44-SPI を搭載した CUnet ステーション図 (MEM ステーション)

図 1.2 に示す CUnet システムは、4 つの MEM ステーション間において、メモリデータを共有します。各 MEM ステーションの CPU は、MKY44-SPI に搭載されているグローバルメモリ（GM：Global Memory）空間へのリードおよびライトアクセスのみによって、シンプルかつ高速にコミュニケーションすることができます。また、MEM ステーションの CPU は、MKY44-SPI に搭載されているメール送信バッファとメール受信バッファを利用して、指定する MEM ステーションへ 256 バイト以内のデータセットを送信したり、他の MEM ステーションからの 256 バイト以内のデータセットを受信することもできます。この機能は CUnet ではメールの送受信機能と呼んでいます。詳細は“5.3 メール送受信機能の利用”を参照してください。

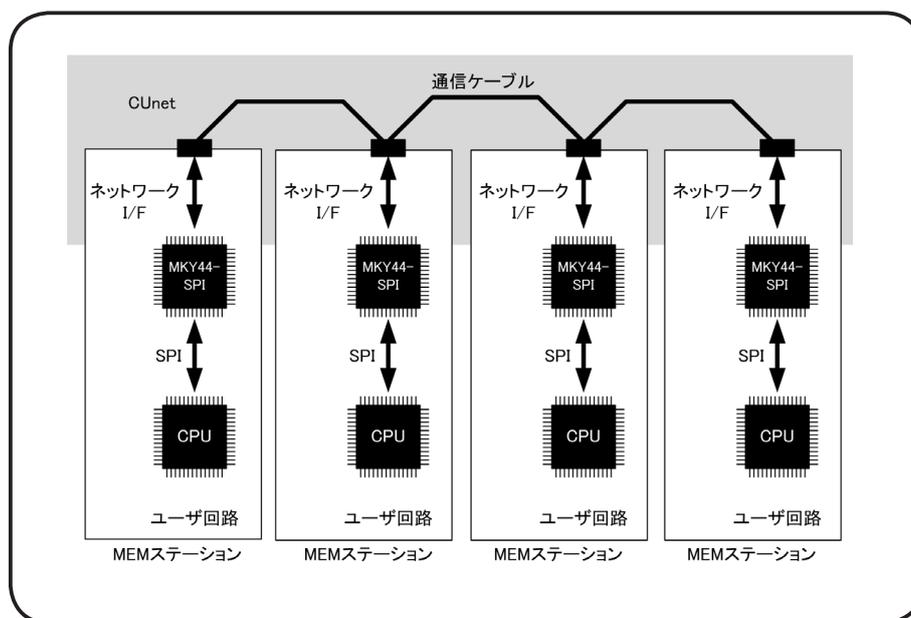


図 1.2 4 つの MEM ステーションを接続した CUnet 構成

1.2 MKY44-SPI の特徴

MKY44-SPI は、以下の特徴を備えています。

- ① 最大 64 の CUnet ステーションまで接続できます。
- ② グローバルメモリ（GM：Global Memory）のサイズは 512 バイトです。
CUnet におけるグローバルメモリのブロックサイズは、8 バイトです。グローバルメモリは、64 メモリブロックから構成されています。
- ③ MKY44-SPI は、複数のメモリブロックを占有することができます。
例えば、2 つの CUnet ステーションによって構成される CUnet においてそれぞれの CUnet ステーションが 32 メモリブロックを占有した場合、256 バイトずつを占有するデュアルポート RAM のように、グローバルメモリを使うこともできます。
- ④ 標準の転送レートは、12Mbps / 6Mbps / 3Mbps です。
- ⑤ グローバルメモリ（GM：Global Memory）のデータ遷移を検出する割込みの他、各種の割込み発生機能を利用できます。
- ⑥ 256 バイトまでのメールを送信することができます。
- ⑦ SPI にて CPU と接続できます。
- ⑧ CUnet ステーション間において扱われるデータは、MKY44-SPI に搭載されている CUnet プロトコルによって、データ化けなどが生じないことが保証されています。



CUnet プロトコルおよびデータの品質保証についての詳細は、“CUnet 導入ガイド”を参照してください。

1.3 I/O ステーションとの接続

CUnet システムにおいては、MKY46 などの CUnet 専用 I/O-IC を搭載した I/O ステーション (図 1.3 参照) をネットワークに接続することが可能です。これにより、I/O ステーションの入出力信号を、MEM ステーションに搭載された MKY44-SPI のグローバルメモリ (GM: Global Memory) と、直結させることが可能です。

図 1.4 に示す CUnet システムは、CPU と MKY44-SPI を搭載した 2 つの MEM ステーションと、MKY46 などの CUnet 専用 I/O-IC を搭載した 2 つの I/O ステーションをネットワークによって接続した CUnet です。このシステムにおいて、I/O ステーションの入力ポートの状況を、全ての CPU が MKY44-SPI のグローバルメモリ (GM: Global Memory) から読み出すことが可能です。また CPU が MKY44-SPI の GM ヘデータをライトすることによって、I/O ステーションの出力ポートの状態を設定することも可能です。

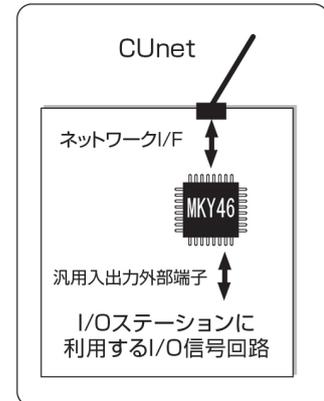


図 1.3 I/O ステーション

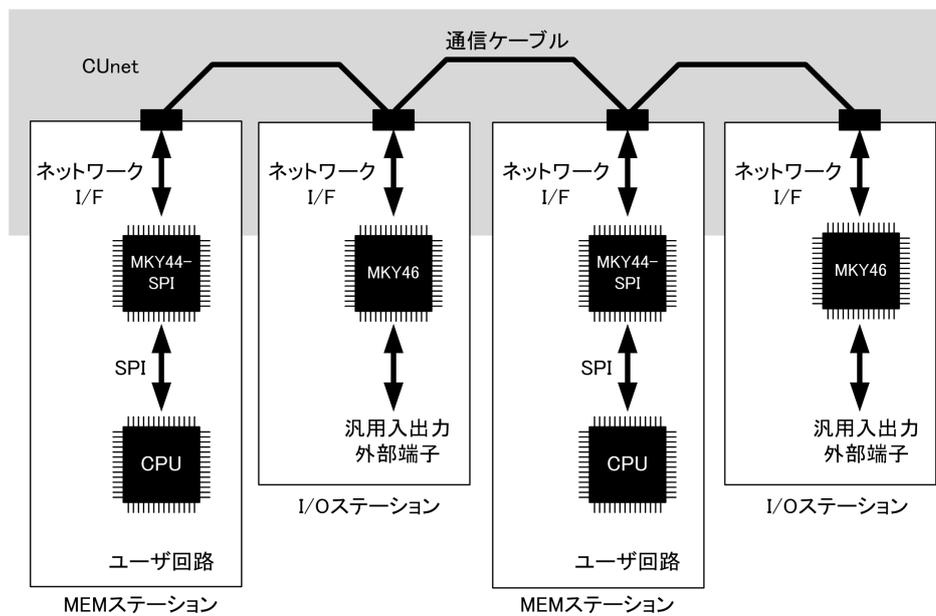


図 1.4 I/O ステーションを接続した CUnet 構成

第2章 MKY44-SPIハードウェア

本章は、MKY44-SPIの端子配列や端子機能および入出力回路形式について記述します。

MKY44-SPIの端子配列を、図2.1に示します。

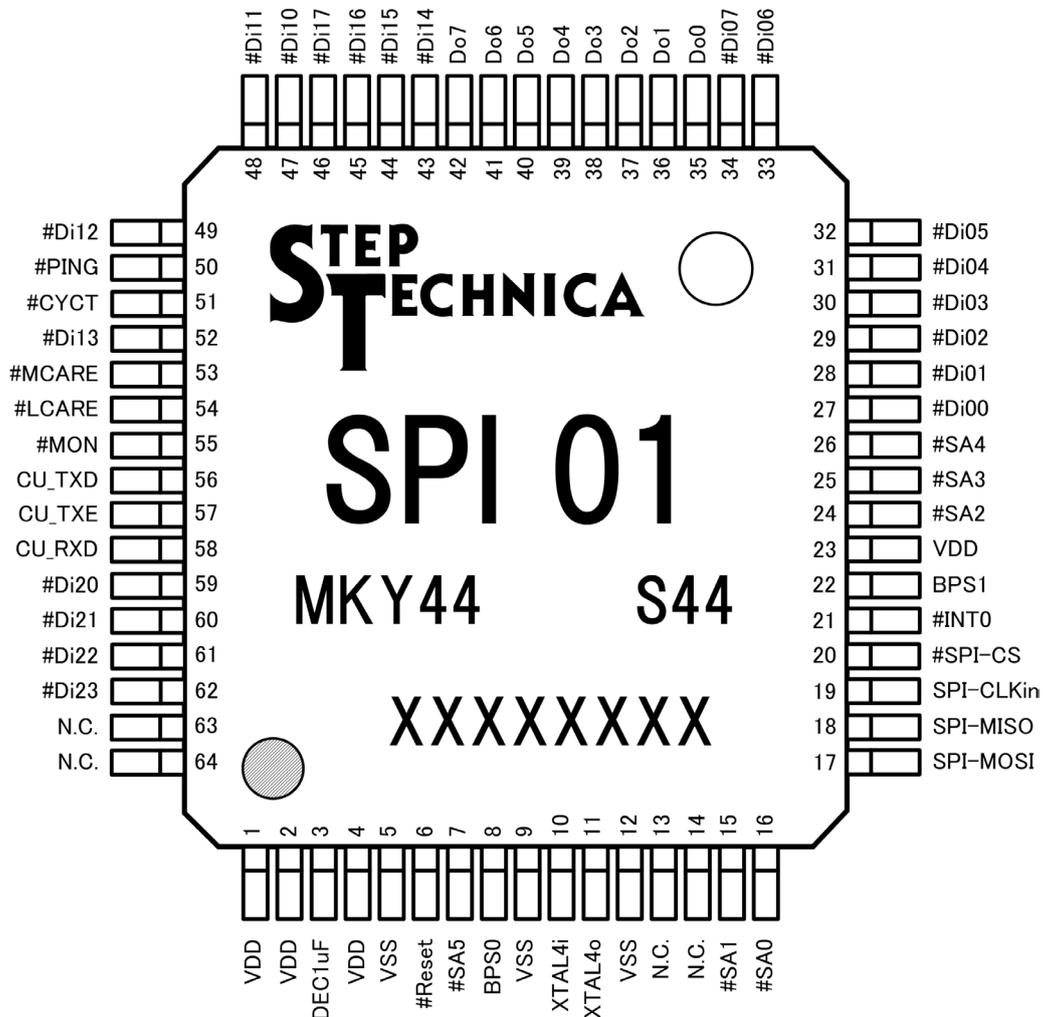


図2.1 端子配列図 (Top View)



注意事項

先頭“#”文字の端子は、負論理 (Lo アクティブ) です。

SPI-MISO 端子は、常時出力です。#SPI-CS に非アクティブレベルを入力しても、SPI-MISO 端子はハイインピーダンス状態にはなりません。

他の SPI 素子と論理和接続する場合は、#SPI-CS によって開閉するトライゲート素子を接続してください。

表 2-1 に、MKY44-SPI の端子機能を示します。

表 2-1 端子機能表

端子名	端子番号	論理	I/O	タイプ	機能
DEC1uF	3	-	-	--	この端子と VSS 間に、実効容量が 1 μ F 以上のコンデンサと高周波バイパス用の 0.1 μ F のセラミックコンデンサを併設して接続してください。もしくは、DC バイアス時でも容量減少が 20% 程度の特徴を持つ 2.2 μ F 程度の積層セラミックコンデンサを接続してください。
#Reset	6	負	-	C	MKY44-SPI のハードウェアリセット入力端子です。 電源“ON”直後、あるいはユーザが意図的にハードウェアをリセットする時に、200 μ s 以上 Lo を保持してください。
#SA5 #SA4 #SA3 #SA2 #SA1 #SA0	7 26 25 24 15 16	負	I	A	ステーションアドレス (SA) を設定する入力端子です。 MKY44-SPI は、ハードウェアリセットアクティブ時に、本端子の状態を SA として認識します。
BPS1 BPS0	22 8	正	I	A	CUnet の転送レートを設定する入力端子です。MKY44-SPI は、ハードウェアリセットアクティブ時に、本端子の状態を認識します。 <ul style="list-style-type: none"> • BPS1 (Hi)、BPS0 (Hi) = 12Mbps • BPS1 (Hi)、BPS0 (Lo) = 6Mbps • BPS1 (Lo)、BPS0 (Hi) = 3Mbps • BPS1 (Lo)、BPS0 (Lo) = この設定にはしないでください。
XTAL4i XTAL4o	10 11	-	-	--	水晶発振子を接続する端子です。この端子間に 4MHz の水晶発振子を接続してください。この端子と VSS 間には 20pF のセラミックコンデンサを接続してください。これらは端子の近傍に配置してください。発振器を接続する場合には、XTAL4i に下記に示すクロック信号を入力し、XTAL4o は解放にしてください。 クロック周波数： 4MHz \pm 500ppm ジッタ : 500ps 未満 立ち上がり立ち下がり時間： 20ns 未満 (VDD 20% - 80% 閾値)
SPI-MOSI	17	-	I	A	SPI の MOSI 機能端子です。クロックに同期したデータを入力します。
SPI-MISO	18	-	O	B	SPI の MISO 機能端子です。クロックに同期したデータを出力します。
SPI-CLKin	19	-	I	A	SPI のクロック入力端子です。
#SPI-CS	20	負	I	A	SPI のマスタが通信相手のスレーブを選択するためのチップセレクト端子です。Lo レベルの時にマスタと通信します。
#INT0	21	負	O	B	ユーザ CPU へ割込みトリガ信号を出力する端子です。 割込みトリガが発生している時に、Lo レベルを出力します。 また、起動時及びハードウェアリセット解除後、MKY44-SPI がコマンド受け付け可能になると、Lo レベルを出力します。その後、StartUP コマンド (0xE) により本端子は Hi レベル (ネゲート) します。
#Di00 #Di01 #Di02 #Di03 #Di04 #Di05 #Di06 #Di07	27 28 29 30 31 32 33 34	負	I	A	汎用入力端子です。

(つづく)

(つづき)

端子名	端子番号	論理	I/O	タイプ	機能
#Di10 #Di11 #Di12 #Di13 #Di14 #Di15 #Di16 #Di17	47 48 49 52 43 44 45 46	負	I	A	汎用入力端子です。
#Di20 #Di21 #Di22 #Di23	59 60 61 62	負	I	A	汎用入力端子です。
Do0 Do1 Do2 Do3 Do4 Do5 Do6 Do7	35 36 37 38 39 40 41 42	正	O	B	汎用出力端子です。
#PING	50	負	O	B	他の CUNet ステーションから PING 命令を受信した時に Lo レベルになる PING 機能の出力端子です。本端子はハードウェアリセットがアクティブになると、他の CUNet ステーションからの PING 命令に優先して Hi レベルを維持します。#PING 端子の出力の詳細は、“3.9 PING 信号 (#PING)”を参照してください。
#CYCT	51	負	O	B	タイミング通知出力端子です。サイクルタイムの先頭時期に、所定時間 Lo レベルを出力します。#CYCT 端子の出力の詳細は、“3.8 サイクルトップ信号 (#CYCT)”を参照してください。
#MCARE	53	負	O	B	LED 点灯用の出力端子です。MCARE 信号発生時に、所定の時間 Lo レベルを出力します。#MCARE 端子の出力の詳細は、“5.4.5.2 MCARE 信号出力”を参照してください。
#LCARE	54	負	O	B	LED 点灯用の出力端子です。LCARE 信号発生時に、所定の時間 Lo レベルを出力します。#LCARE 端子の出力の詳細は、“5.4.5.1 LCARE 信号出力”を参照してください。
#MON	55	負	O	B	LED 点灯用の出力端子です。他の CUNet ステーションと安定的にリンクが成立している間 Lo レベルを出力します。#MON 端子の出力の詳細は、“5.4.5.3 MON 信号出力”を参照してください。
CU_TXD	56	正	O	B	送信するパケットを出力する出力端子です。ドライバのドライブ入力端子へ接続してください。
CU_TXE	57	正	O	B	送信するパケットを出力する期間中、Hi レベルを出力する出力端子です。ドライバのイネーブル入力端子へ接続してください。
CU_RXD	58	正	I	A	パケットを入力する端子です。レシーバの出力端子へ接続してください。
VDD	1、2、 4、23	-	-	-	電源端子です。3.3V を供給してください。
VSS	5、9、 12	-	-	-	GND 端子です。0V へ接続してください。
N.C.	13、14、 63、64	-	-	-	機能を持たない出力端子です。必ず開放にしてください。

注意：先頭に“#”がついている端子は、負論理 (Lo アクティブ) を示します。

図 2-2 に、MKY44-SPI の入出力回路形式におけるタイプ別端子定格図を示します。

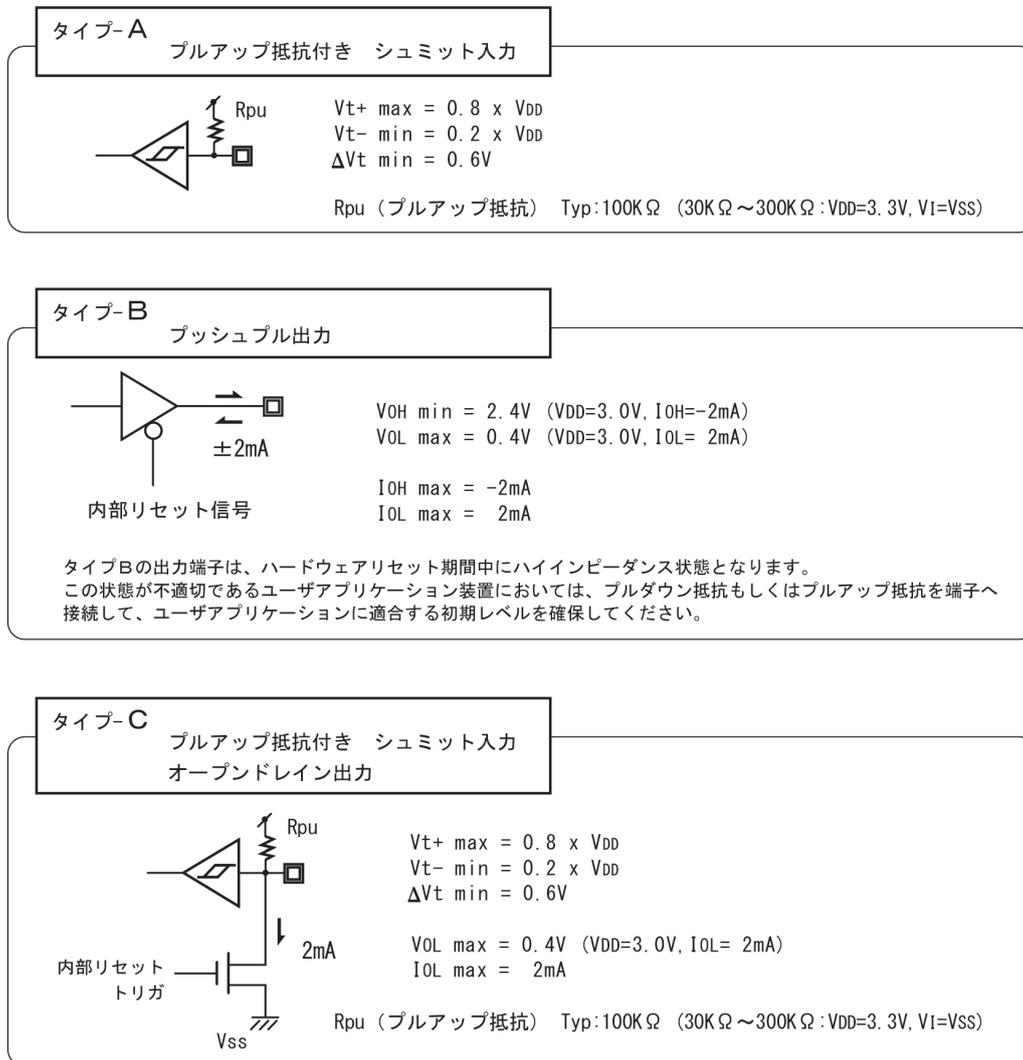


図 2.2 タイプ別端子定格図

第3章 MKY44-SPIの接続

本章はMKY44-SPIが機能するために必要な端子の役割や接続について記述します。

3.1 駆動クロック (XTAL4i, XTAL4o)

MKY44-SPIを駆動するクロックにはMKY44-SPIのXTAL4i及びXTAL4oの端子間に4MHzの水晶発振子を接続してください。この端子とVSS間には20pFのセラミックコンデンサを接続してください。これらは端子の近傍に配置してください。

また、発振器を接続する場合には、XTAL4iに下記に示すクロック信号を入力し、XTAL4oは解放にしてください。

クロック周波数： 4MHz ± 500ppm

ジッタ : 500ps 未満

立ち上がり立ち下がり時間： 20ns 未満 (VDD 20% - 80% 閾値)

3.2 ハードウェアリセット信号 (#Reset)

#Reset端子へLoレベル信号を供給すると、MKY44-SPIはハードウェアリセットされます。電源“ON”直後、あるいはユーザが意図的にハードウェアをリセットする時に、200μs以上Loを保持してください。

3.3 CUnet 通信信号 (CU_RXD、CU_TXE、CU_TXD)

MKY44-SPIのネットワークI/F端子は、CU_RXD端子とCU_TXE端子、およびCU_TXD端子の3本です。

図3.1は、推奨のネットワーク接続です。通信部は、RS485仕様のドライバ/レシーバとパルストランスから構成されます。通信ケーブルは、LAN用の通信ケーブル(10BASE-T、カテゴリ5以上)と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。通信ケーブル内の、1対のツイストペアを利用します。

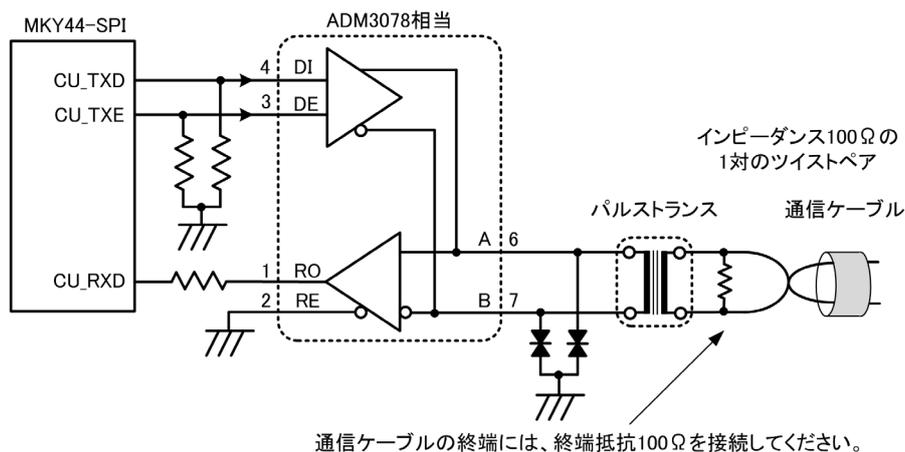


図3.1 推奨ネットワーク接続図

MKY44-SPI は、他の CUnet ステーションから送信されるパケットを CU_RXD 端子によって受信し、他の CUnet ステーションへ送信するパケットを CU_TXD 端子から出力します。パケット送信中は、CU_TXE 端子から Hi レベルが出力されます。このため CU_TXE 端子が Hi レベルになった時は、TRX のドライバのイネーブル端子がアクティブとなり、CU_TXD 端子から出力されるパケットのシリアルパターンをネットワークへ送信できるように、TRX を設計してください（図 3.1 参照）。

3.4 転送レート・ステーションアドレス設定 (BPS0,1 #SA5 ~ 0)

MKY44-SPI の CUnet 転送レートと自身のステーションアドレスは、起動時に於いて BPS0 及び BPS1 の設定と #SA5 ~ 0 の設定により決定します。

MKY44-SPI は、ハードウェアリセットアクティブ時に、BPS0,1 及び #SA5 ~ 0 端子の状態を認識し、BCR (Basic Control Register) に設定します。ただし、OWN (自己占有エリア) は 1 です。

転送レートの設定は次のようになります。

- BPS1 (Hi)、BPS0 (Hi) = 12Mbps
- BPS1 (Hi)、BPS0 (Lo) = 6Mbps
- BPS1 (Lo)、BPS0 (Hi) = 3Mbps
- BPS1 (Lo)、BPS0 (Lo) = この設定にはしないでください。

また、MKY44-SPI の転送レート、ステーションアドレス (SA)、自己占有エリア (OWN) は、BCR (Basic Control Register) によって再設定することも可能です。

詳細は、“5.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで” を参照してください。

**注意事項**

- ① ネットワークへ接続する全ての CUnet 専用デバイスへは、同一の転送レートを設定してください。
- ② MKY44-SPI は “12Mbps、6Mbps、3Mbps” 以外の転送レートを利用することはできません。

3.5 汎用入力 (#Di07 ~ #Di00、#Di17 ~ #Di10、#Di23 ~ #Di20)

MKY44-SPIには20本の汎用入力端子を備えています。この入力状態は、SPIのコマンド(0x0)により読み込むことが可能です。

各端子は下記ビットに対応しています。

ビット: 7 6 5 4 3 2 1 0

アドレス: 380H

#Di07	#Di06	#Di05	#Di04	#Di03	#Di02	#Di01	#Di00
R	R	R	R	R	R	R	R

ビット: 7 6 5 4 3 2 1 0

アドレス: 381H

#Di17	#Di16	#Di15	#Di14	#Di13	#Di12	#Di11	#Di10
R	R	R	R	R	R	R	R

ビット: 7 6 5 4 3 2 1 0

アドレス: 382H

0	0	0	0	#Di23	#Di22	#Di21	#Di20
R	R	R	R	R	R	R	R

3.6 汎用出力 (Do07 ~ Do00)

MKY44-SPIには8本の汎用出力端子を備えています。この端子状態は、SPIのコマンド(0x1)により書き込むことが可能です。8本の出力端子(Do07 ~ Do00)は、ハードウェアリセットがアクティブとなった場合、ハイインピーダンス状態になり、およそ3ms間継続したのち、Loレベルになります。

各端子は下記ビットに対応しています。

ビット: 7 6 5 4 3 2 1 0

アドレス: 386H

Do07	Do06	Do05	Do04	Do03	Do02	Do01	Do00
R/W							



参考

Do00 ~ Do07 端子の未使用端子は、開放のまま問題ありません。

3.7 LED 表示用信号 (#MON、#LCARE、#MCARE)

MKY44-SPI は、3 本の LED 表示用出力端子 (#MON (端子 55)、#LCARE (端子 54)、#MCARE (端子 53)) を装備しています。それぞれの端子は、負論理アクティブ (アクティブ時に Lo レベル) です。

これらの端子の電流駆動は、 $\pm 2\text{mA}$ です。

#MON 端子へは安定動作を示す緑色の LED 部品を、#LCARE 端子へは、緩やかな警告を示す橙色の LED 部品を接続することを推奨します。また、#MCARE 端子へは、確かな警告を示す赤色の LED 部品を接続することを推奨します。#MON 端子、#LCARE 端子および #MCARE 端子の出力が Lo レベルとなる詳細は“5.4.5 ネットワークの品質管理と表示”を参照してください。

#MON、#LCARE、#MCARE 端子を使用しない時は、開放にしてください。

3.8 サイクルトップ信号 (#CYCT)

#CYCT 端子は通常 Hi レベルを維持し、サイクルの先頭タイミングの時に“ $2 \times \text{TBPS}$ ”時間 Lo となるパルスを出力します。この端子の出力が Lo レベルへ遷移するタイミングをユーザが利用することにより、ネットワークへ接続された全ての CUnet ステーションに共通なタイミング (同期) を認識することが可能となります。

CUnet の同期性能は、式 3.1 によって算出できます。

式 3.1 同期性能 = ($2 \times \text{TBPS}$) + (サイクルタイム \times クロック精度) + 信号伝搬遅延 [以内]

例えば、12Mbps (TBPS=83.3ns)、64 個の CUnet ステーション (サイクルタイム =2.365ms)、
駆動クロック精度 200ppm (0.02%)、ケーブル (7ns/m) 総長 100m の場合、
同期性能は (167ns + 473ns + 700ns) \div 1.34 μs 以内です。



注意事項

ネットワーク内に HUB が挿入されている場合は、この算式は適用できません。



参考

- ① MKY44-SPI の #CYCT 信号は、MKY40 の #STB 信号と同一です。
- ② CPU 上のユーザシステムのプログラムは、SCR (System Control Register) を参照することにより、サイクルのタイミングを認識することもできます (“5.1.7 サイクル中の詳細タイミング”参照)。ただしこの場合、タイミング精度はプログラムの動作状態に左右されます。これと比較し、端子の出力信号は、主に周辺ユーザ回路へ精度の高い同期信号を供給する場合に利用価値が高まります。

3.9 PING 信号 (#PING)

#PING 信号は、自己ステーションの状態に関わらず他の CUnet ステーションからの関与によって操作される信号です。#PING 信号の出力が選択された端子は、通常 Hi レベルを維持しています。他の CUnet ステーションから PING 命令を受信した時に Lo レベルへ遷移し、その後に他の CUnet ステーションから自己ステーションへ向けた PING 命令が埋め込まれていないパケットを受信した時に Hi レベルへ遷移します。

CUnet プロトコルにおいては、PING 信号の利用目的や接続先が特定されていません。#PING 信号は、ユーザアプリケーションの構築を支援する補助的な拡張機能です。

#PING 信号を発生させる操作については、“5.4.6 PING 命令”を参照してください。



参考

#PING 信号の利用例としては、“CPU を強制的にネットワークからリセットする”などが考察されます。例えば、CUnet ステーションに搭載された CPU のプログラムが暴走してしまった時、(#PING 信号の出力によってハードウェアのリセットがアクティブとなるように設計されていれば)、他の CUnet ステーションからの操作によって、暴走している CUnet ステーションの CPU をリセットすることが可能です。

3.10 SPI 接続信号 (#SPI-CS、SPI-CLKin、SPI-MISO、SPI-MOSI)

ユーザシステムのプログラムから MKY44-SPI をアクセスするために必要な、CPU との接続方法およびアクセス方法について記述します。CPU と直接接続する #SPI-CS、SPI-CLKin、SPI-MISO、SPI-MOSI などの制御信号を総称して“SPI 接続”と記述します。

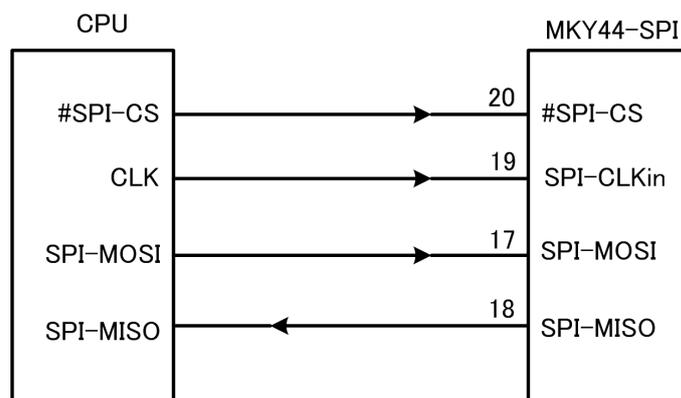


図 3.2 SPI 接続図

MKY44-SPI を CPU と接続する方法を以下に説明します。図 3.2 を参照してください。

- ① #SPI-CS は、CPU が通信相手の MKY44-SPI を選択する信号線です。#SPI-CS 端子が Lo レベルになった MKY44-SPI が、CPU と通信を行います。
- ② SPI-CLKin は、CPU からのシリアルクロックを入力する端子です。MKY44-SPI は、入力されるクロックに同期して MISO や MOSI のデータが転送されます。Max は 1MHz です。
- ③ SPI-MOSI は、CPU から MKY44-SPI へデータを転送するための信号線です。
- ④ SPI-MISO は、MKY44-SPI から CPU へデータを転送するための信号線です。



注意事項

MKY44-SPI の SPI のタイミングの詳細は、“4.10 SPI インターフェース AC タイミング”を参照してください。



参考

リセット信号解除後、MKY44-SPI の各レジスタや GM をアクセスする場合、約 3ms 以上経過した後、MKY44-SPI へのアクセスが可能です。

3.11 CPU への割込みトリガ (#INTO)

MKY44-SPI は、ユーザ CPU の割込みトリガ端子へ信号を供給できる出力端子として #INTO (端子 21) を装備しています。#INTO 端子は、ハードウェアリセットがアクティブ期間中は、ハイインピーダンス状態です。#INTO 端子は割込みトリガの発生時に Lo レベルを出力します。ユーザシステムプログラムから MKY44-SPI のレジスタをアクセスすることによって、端子の出力を Hi レベルへ戻すことができます。

#INTO 端子は、複数の割込み発生要因を設定することができます。#INTO 端子には、リトリガ機能が搭載されています。リトリガ機能によって、端子の出力レベルが Lo レベルから Hi レベルへ遷移した、208ns 後に、再び Lo レベルへ遷移する場合があります。

また、起動時及びハードウェアリセット解除後、MKY44-SPI がコマンド受け付け可能になると、Lo レベルを出力します。その後、StartUP コマンド (0xE) により本端子は Hi レベル (ネゲート) へ変移します。

第4章 SPI通信

本章はSPI通信について説明します。

4.1 SPI通信仕様

MKY44-SPIのSPI通信仕様を表4-1に示します。

表4-1 SPI通信仕様

項目	内容
転送ビット数	8ビット
スタートコンディション	なし
転送先頭ビット	MSB
入力エッジ	立ち上がり
出力エッジ	立ち下り
クロック	クロックスレーブ

4.2 SPI コマンド

MKY44-SPI の SPI コマンド一覧を表 4-2 に示します。

表 4-2 SPI コマンド一覧

Cmd No.	コマンド名	対象エリア	指定方法	機能
0x0	Byte_Read	000H ~ 7FFH (CUNet 全域)	Address	8bit データ毎に、CUNet の全域からのリード・アクセスを実施します。ただし、メーカリザーブエリアの値は不定です。読み込むバイト数は最大 32 バイトの連続アドレスです。#SPI-CS ピンが Lo レベルを継続していることが必要です。実際のメモリリードは、8 ビットデータ返送の約 8 ビット前に行います。
0x1	Byte_Write	000H ~ 7FFH (CUNet 全域)	Address	8bit データ毎に、CUNet の全域へのライト・アクセスを実施します。ただし、メーカリザーブエリアへの書き込みはできません。書き込むバイト数は最大 32 バイトの連続アドレスです。#SPI-CS ピンが Lo レベルを継続していることが必要です。書き込みデータは、16bit 後方にエコーバックされます。実際のメモリへはすべての書き込み要求データを受信した後、MISO での CRC8 送信後にメモリへ書き込みます。
0x2	GM-HP_Read	000H ~ 1FFH (Global Memory 領域)	SA (Station Address)	ハザード防止機能を使用し、指定した SA の GM エリアからデータをリードします。読み込むデータサイズは 8 バイト固定です。{SA[7:0]Station Address} のエコーバック時に、実メモリから HPB へデータを読み出します。
0x3	GM-HP_Write	000H ~ 1FFH (Global Memory 領域)	SA (Station Address)	ハザード防止機能を使用して、指定した SA の GMG エリアへデータを書き込みます。書き込むバイト数は 8 バイト固定です。書き込みデータは 16bit 後方にエコーバックされます。8 バイトのデータは全て内部バッファに保持した後、MISO での CRC8 送信後にメモリへの書き込みコントロールを行います。
0x4	Flag & GM-HP_Read	000H ~ 1FFH (Global Memory 領域)	SA (Station Address)	SSR (System Status Register) と指定した SA の GM エリアからデータをリードします。ハザード防止機能を使用して、GM エリアからデータをリードします。リードできるデータサイズは、8 バイト固定です。SSR[15:12], [7:4] の 1bytes に続いて指定したメモリブロックのデータが出力されます。読み込むデータサイズは SSR (1 バイト) + メモリブロックデータ (8 バイト) の合計 9 バイト固定です。出力するデータは、メモリブロック指定の直後の状態をフリーズしたデータです。
0xE	StartUP	--	--	MKY44-SPI の起動時及びリセット解除後に、必ず行う必要があります。起動時及びリセット解除後は本コマンド以外は無効になります。本コマンド完了後、MISO を Hi にします。

CUNet の GM (Global Memory) エリアへのアクセスは、アドレスを指定する Byte_Read、Byte_Write コマンドと、SA (Station Address) を指定するハザード・プロテクト・アクセス (GM-HP_Read、GM-HP_Write) が可能です。CUNet の GM エリア以外へのアクセスは、アドレスを指定する Byte_Read、Byte_Write コマンドを利用してください。

4.3 SPI通信概要

SPI コマンドは CPU から MKY44-SPI へ情報を書き込む Write コマンドと、情報を読み出す Read コマンドがあります。以下にコマンドの基本構成について説明します。

4.3.1 SPI通信基本フォーム

SPI 通信の基本フォームについて説明します。

Write コマンドの MOSI は、4bit のコマンド (Cmd No.)、12bit の Address または SA (Station Address)、書き込みデータ長、書き込みのデータが続き、最後に CRC8 を付加します。

書き込みデータ固定長のコマンドについては、データ長は必要ありません。

MISO の最初の 16bit は不定です。以降に 4bit のコマンドのエコーバック (Cmd No. (echo))、12bit の Address または SA のエコーバック、書き込みデータ長のエコーバック、書き込みデータのエコーバックが続き、MISO の CRC 判定フラグ (CRC_Ans) と CRC8 が返信されます。

書き込みデータ固定長のコマンドについては、データ長のエコーバックはありません。

SPI コマンド (Write) 基本フォームを図 4.1 に示します。

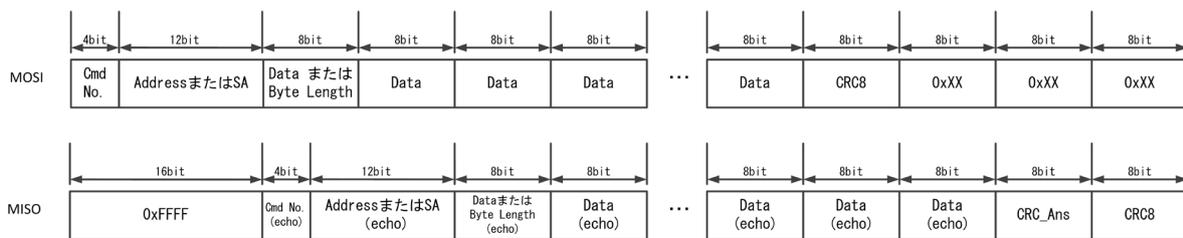


図 4.1 SPI コマンド (Write) 基本フォーム

Read コマンドの MOSI は、4bit のコマンド (Cmd No.)、12bit の Address または SA (Station Address)、読み込みデータ長が続き、最後に CRC8 を付加します。

読み込みデータ固定長のコマンドについては、データ長は必要ありません。

MISO の最初の 16bit は不定です。以降に 4bit のコマンドのエコーバック (Cmd No. (echo))、12bit の Address または SA のエコーバック、書き込みデータ長のエコーバック、MISO の CRC 判定フラグ (CRC_Ans)、読み込みデータが続き、CRC8 が返信されます。

読み込みデータ固定長のコマンドについては、データ長のエコーバックはありません。

SPI コマンド (Read) 基本フォームを図 4.2 に示します。

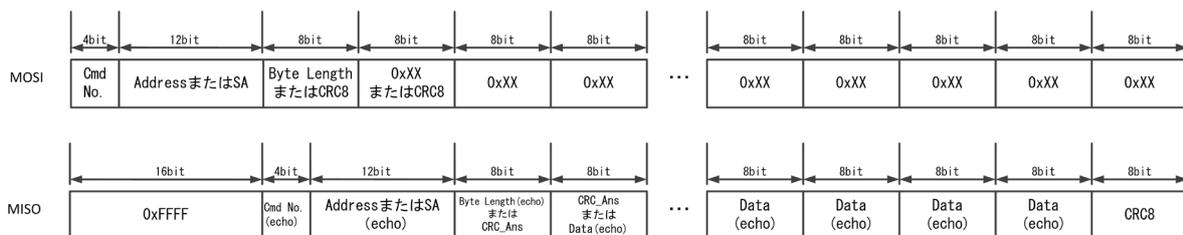


図 4.2 SPI コマンド (Read) 基本フォーム

4.3.2 コマンドエラーとその返信

SPI コマンドにおいて MOSI の Cmd No. に規定以外の値が指定された場合、MISO は #SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

また、指定 Address、指定 SA 及び Byte Length などのオプションに規格外や範囲外の値が指定された場合もエラーとなります。この時の MISO にて読み出される値は、エラーが確認できたオプションが “0xF” または “0xFF” になり、その直後に CRC8 が付加されます。その後、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このとき、そのコマンドは受け付けられません。

そのため、送信した SPI コマンドがエラーとなっているか否かを判定するには、送信したコマンド、および、オプションのすべてがそのエコーバックの値と比較し、同じであるか否かを確認する必要があります。

例えば、後述する “4.7 GM-HP_Write (Cmd No. : 0x3)” の SA に対し範囲外である 100 (0x64) を指定した場合、以下のような応答を示します。

MOSI	0x3	0x0	0x64	0x00	0x01	0x02	0x03	0x04	0x05	0x06	0x07	CRC8
MISO	0xFFFF			0x3	0x0	0xFF	CRC8	0xFF	0xFF	0xFF	0xFF	0xFF

また、CRC8 が不一致であった場合もエラーになります。その場合は、コマンド及びオプションのデータのエコーに続き “CRC_Ans (0xFF)” が付加されます。その場合は、CRC8 は付加されません。

後述する “4.6 GM-HP_Read (Cmd No. : 0x2)” の CRC8 が不一致であった場合は、以下のような応答を示します。その後、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このとき、そのコマンドは受け付けられません。

MOSI	0x2	0x0	0x03	CRC8	0xFF	0xFF	0xFF	0xFF	
MISO	0xFFFF			0x2	0x0	0x03 (echo)	0xFF	0xFF	0xFF

また後述する “4.7 GM-HP_Write (Cmd No. : 0x3)” の CRC8 が不一致であった場合は、以下のような応答を示します。その後、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このとき、そのコマンドは受け付けられません。

MOSI	0x3	0x0	0x02	0x00	0x01	0x02	0x03	0x04	0x05	0x06	0x07	CRC8	0xFF	0xFF	0xFF	
MISO	0xFFFF			0x3	0x0	0x02 (echo)	0x00 (echo)	0x01 (echo)	0x02 (echo)	0x03 (echo)	0x04 (echo)	0x05 (echo)	0x06 (echo)	0x07 (echo)	0xFF	0xFF

4.3.3 CRC8 データ

外来ノイズによる MKY44-SPI 誤動作保護として SPI コマンドに CRC 検定処理に用いられる「CRC-8-CCITT」を採用しています。「CRC-8-CCITT」は、CRC（巡回冗長検査）の一態様として規定された誤り検定符号です。

「CRC-8-CCITT」は表 4-3 のように規定されています。

表 4-3 CRC-8-CCITT 仕様

CRC タイプ	8bit (CRC8)
生成多項式	$0x8D (X^8+X^7+X^3+X^2+1)$
初期値	0xFF
出力 XOR	0x00
入力ビット反転	無し
出力ビット反転	無し
ビット送り	左送り

4.3.4 SPI コマンド長の制限

一部のコマンドに於いて、連続でデータの読み込みおよび書き込みが可能なコマンドがあります。1 度のコマンドに対して読み込みまたは書き込みできるデータは最大 32 バイトです。33 バイト以上のデータの読み込みまたは書き込みを行う場合は、複数コマンドに分割して読み込みまたは書き込みを行ってください。

後述する下記コマンドが対象です。

- Byte_Read (Cmd No. : 0x0)
- Byte_Write (Cmd No. : 0x1)

4.3.5 MKY44-SPI のリセット

MKY44-SPI は起動時及びハードウェアリセット解除後、コマンド受け付けが可能になると #INT0 端子を Lo レベルに（アサート）します。その後、StartUP（Cmd No.: 0xE）以外のコマンドは無効とし、その受信時に於いては MISO を常に Hi とします。MKY44-SPI は StartUP（Cmd No.: 0xE）を受信した際に、#INT0 端子を Hi レベル（ネゲート）にし、且つ、全てのコマンド受信を有効として以後通常動作を行います。これは、動作中に MKY44-SPI だけがリセットした場合の危険動作を防ぐことを目的とした動作です。

MKY44-SPI の起動時及びリセット時の手順を図 4.3 に示します。

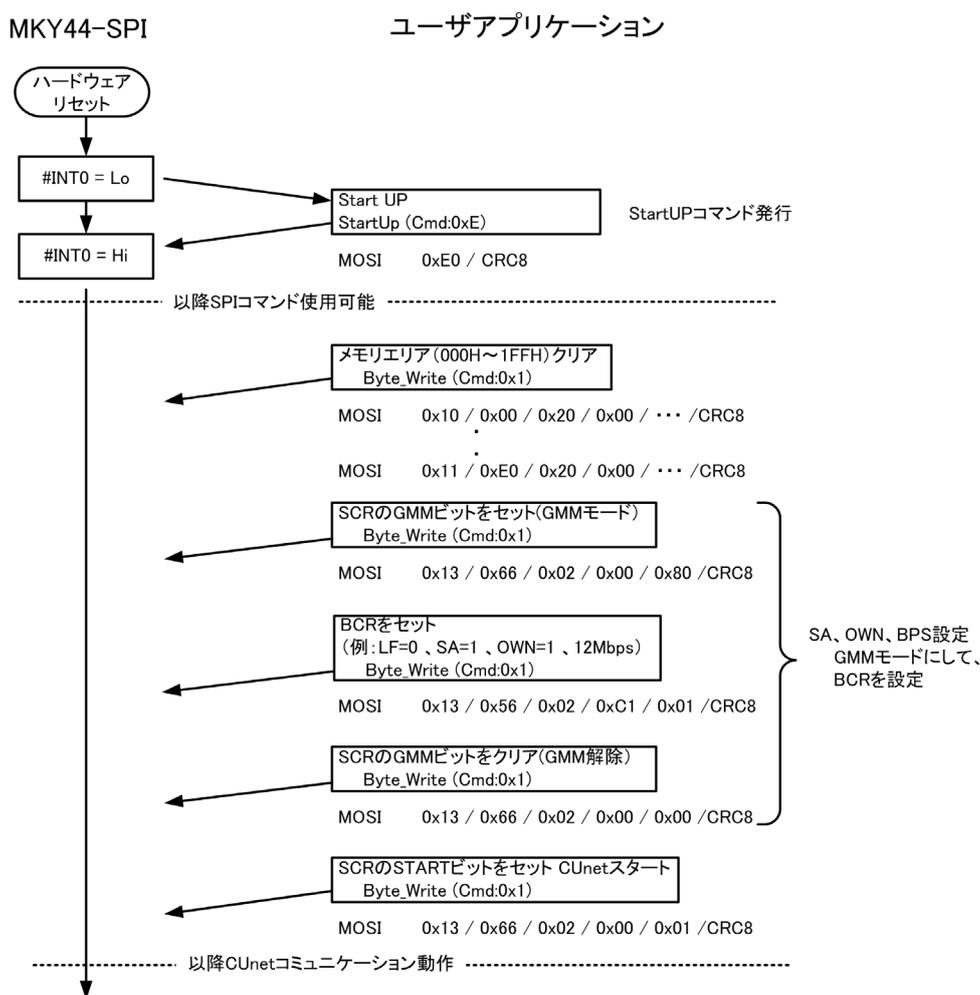


図 4.3 起動時及びリセット時の手順

4.3.6 データハザード

MKY44-SPIには、連続アクセスするコマンドがあります。ただし、それらのコマンドは、データハザードの回避は行っていません。共有メモリ（GM）アクセス時にデータハザードを回避するコマンドは以下の通りです。

- GM-HP_Read (Cmd No. : 0x2)
- GM-HP_Write (Cmd No. : 0x3)
- Flag & GM-HP_Read (Cmd No. : 0x4)

しかしながら、これらのデータ長は8バイト固定ですので、SA間でのデータハザード回避は行えません。CUnetのデータハザードに関しては、“**5.2.2 データハザードとハザード防止機能**”を参照してください。

4.4 Byte_Read (Cmd No. : 0x0)

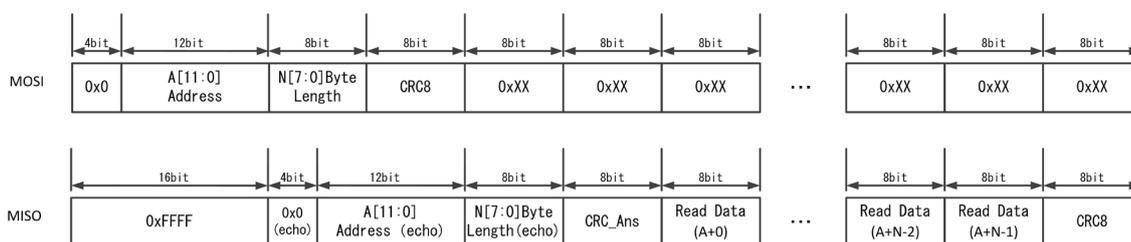
指定したアドレスからデータを読み出します。読み出すバイト数 (Byte Length) の最大値は 32 バイトです。

MOSI における CRC8 は、Cmd No. (0x0) から Byte Length までの 8 ビット単位の CRC8 となります。また、MISO における CRC8 は、Cmd No. (echo) (0x0) から Read Data (A+N-1) までの 8 ビット単位の CRC8 となります。

ただし、MOSI の CRC8 が正しくなかった場合は CRC_Ans に 0xFF が返され、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このときのコマンドは受け付けません。

また、指定したアドレスや Byte Length が規定外のデータであった場合や指定した領域 (対象アドレス + Byte Length) がアクセス可能な範囲を超えた指定を行った場合には、エラーを検知した時点で 0xF (0xFF) と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このときのコマンドは受け付けません。

<フォーマット仕様>



(*) MOSI

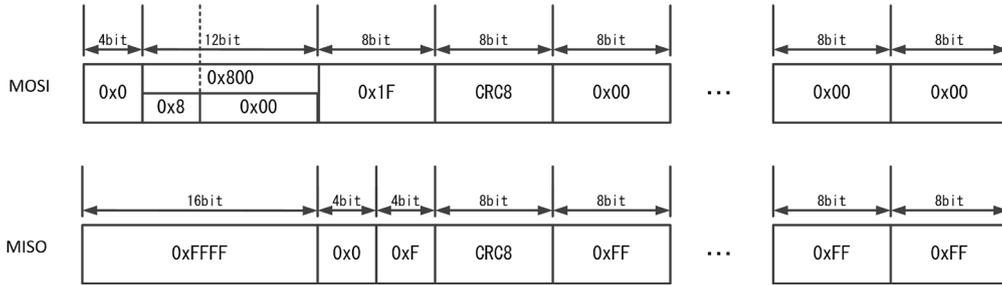
- A[11:0]Address : 対象のアドレスを指定します。
入力範囲：0x000 ~ 0x7FF
アクセス可能な領域は、“5.1.1 メモリマップ”を参照してください。
- N[7:0]Byte Length : 読み込むバイト数を指定します。入力範囲：0x01 ~ 0x20 (1 ~ 32)
- CRC8 : 「0x0」、「Address」、「Byte Length」のCRC8 値

(*) MISO

- A[11:0]Address(echo) : 読み込んだ対象アドレスのエコーバックデータ
- N[7:0]Byte Length(echo) : 読み込んだバイト数のエコーバックデータ
- CRC_Ans : CRC 判定。CRC 正常：0x00 CRC 異常：0xFF
- Read Data(A+0 ~ 31) : 読み込んだデータ
- CRC8 : 「0x0(echo)」、「Address(echo)」、「Byte Length(echo)」、「CRC_Ans」、「Read Data(A+0) ~ (A+N-1)」のCRC8値

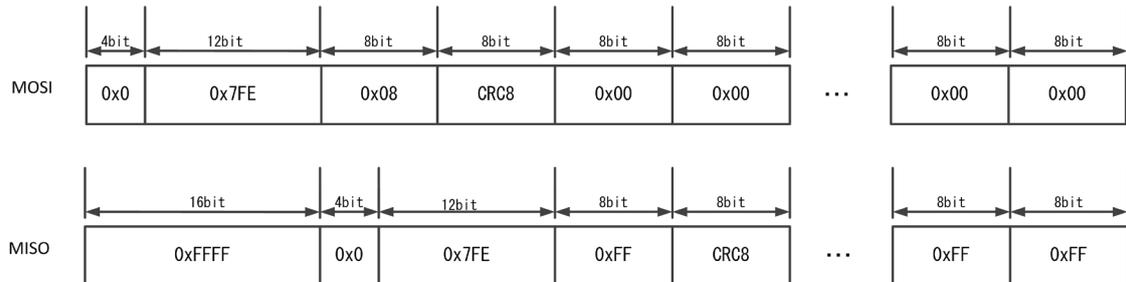
Byte_Read (Cmd No. : 0x0) のエラー例

例1 MOSIの対象アドレスが範囲外(0x800)を指定した場合



アドレスの入力範囲は 0x000 から 0x7FF のため、MISO は 0x800 以上のデータを検知した時点で 0xF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

例2 MOSIに指定した領域(対象アドレス+ Byte Length)がアクセス可能な範囲を超えた指定を行った場合



対象アドレス (0x7FE) + Byte Length (0x08) は、アクセス可能な範囲 (0x000 ~ 0x7FF) を超えてしまうため、MISO は検知した (Byte Length) 時点で 0xFF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

4.5 Byte_Write (Cmd No. : 0x1)

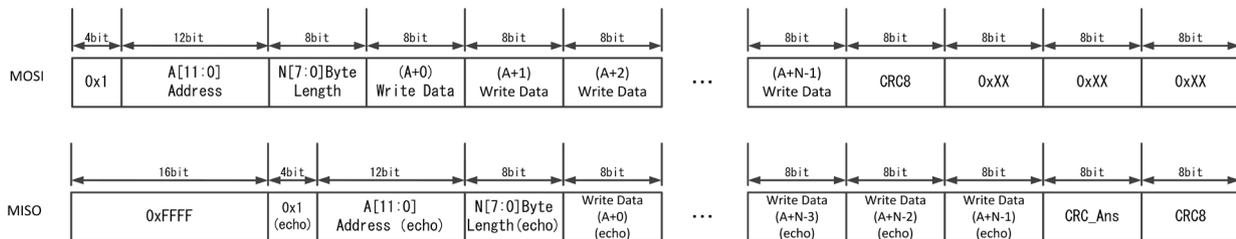
指定したアドレスにデータを書き込みます。書き込むバイト数 (Byte Length) の最大値は 32 バイトです。

MOSI における CRC8 は、Cmd No. (0x1) から Byte Length までの 8 ビット単位の CRC8 となります。また、MISO における CRC8 は、Cmd No. (0x1) から Write Data (A+N-1) までの 8 ビット単位の CRC8 となります。ただし、MOSI の CRC8 が正しくなかった場合は CRC_Ans に 0xFF が返され、#SPI-CS 端子が Hi にされるまで "0xFF" が続きます。このときのコマンドは受け付けません。

また、指定したアドレスや Byte Length が規定外のデータであった場合や指定した領域 (対象アドレス + Byte Length) がアクセス可能な範囲を超えた指定を行った場合には、エラーを検知した時点で 0xF (0xFF) と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで "0xFF" が続きます。このときのコマンドは受け付けません。

CUnet 動作中に本コマンドを使用して自己占有エリア以外の GM エリアに対して書き込みを行った場合、ライトプロテクトされていますのでデータ書き込みはできません。また、その時の SPI コマンドのエラーは発生しません。

<フォーマット仕様>



(*) MOSI

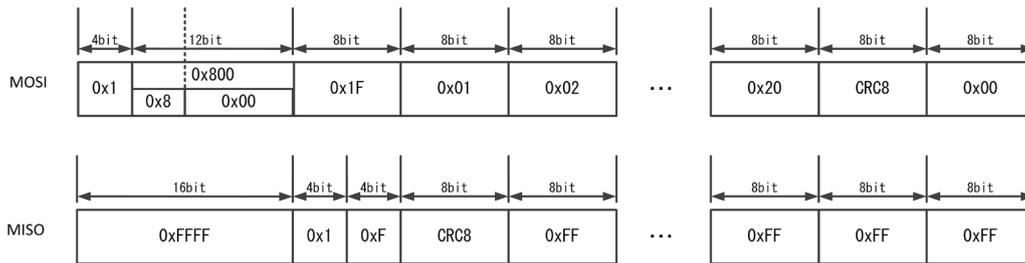
- A[11:0]Address : 対象のアドレスを指定します。
入力範囲：0x000 ~ 0x7FF
アクセス可能な領域は、“5.1.1 メモリマップ”を参照してください。
- N[7:0]Byte Length : 書き込むバイト数を指定します。入力範囲：0x01 ~ 0x20 (1 ~ 32)
- Write Data(A+0~31) : 書き込みデータ
- CRC8 : 「0x1」、「Address」、「Byte Length」、「Write Data(A+0 ~ 31)」の CRC8値

(*) MISO

- A[11:0]Address(echo) : 書き込んだ対象アドレスのエコーバックデータ
- N[7:0]Byte Length(echo) : 書き込んだバイト数のエコーバックデータ
- Write Data(A+0~31)(echo) : 書き込んだデータ
- CRC_Ans : CRC 判定。CRC 正常：0x00 CRC 異常：0xFF
- CRC8 : 「0x1 (echo)」、「Address(echo)」、「Byte Length(echo)」、「Write Data(A+0) ~ (A+N-1) (echo)」、「CRC_Ans」の CRC8値

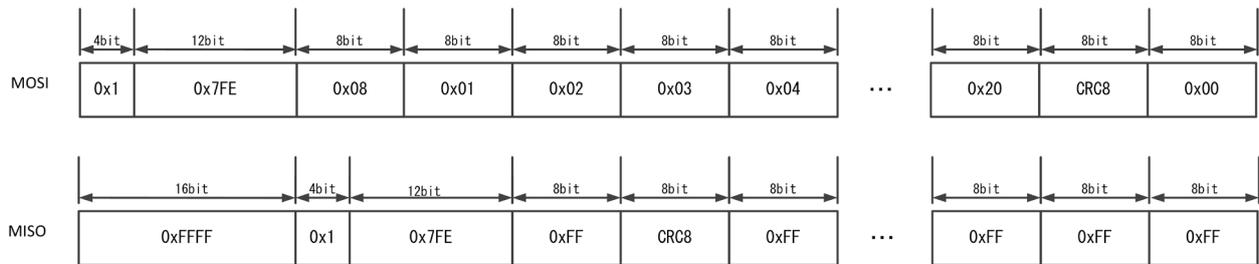
Byte_Write (Cmd No.: 0x1) のエラー例

例1 MOSIの対象アドレスが範囲外(0x800)を指定した場合



アドレスの入力範囲は 0x000 から 0x7FF のため、MISO は 0x800 以上のデータを検知した時点で 0xF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

例2 MOSIに指定した領域(対象アドレス+ Byte Length)がアクセス可能な範囲を超えた指定を行った場合



対象アドレス (0x7FE) + Byte Length (0x08) は、アクセス可能な範囲 (0x000 ~ 0x7FF) を超えてしまうため、MISO は検知した (Byte Length) 時点で 0xFF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

4.6 GM-HP_Read (Cmd No. : 0x2)

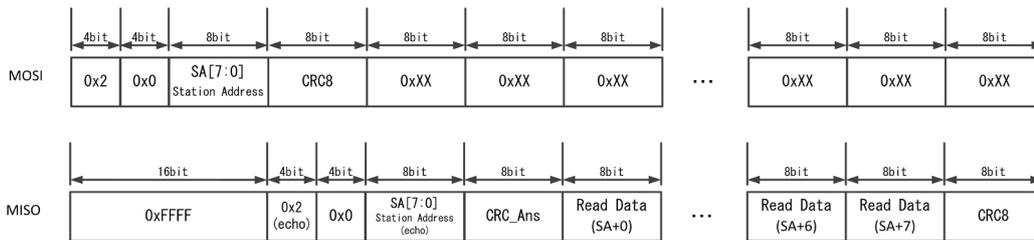
指定した CUnet の GM エリアをハザード防止機能を使用してリードアクセスを行います。

読み込むデータサイズは 8 バイト固定です。

MOSI における CRC8 は、Cmd No. (0x2) から SA[7:0] までの 8 ビット単位の CRC8 となります。また、MISO における CRC8 は、Cmd No. (0x2) から Read Data (SA+7) までの 8 ビット単位の CRC8 となります。

ただし、MOSI の CRC8 が正しくなかった場合は CRC_Ans に 0xFF が返され、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このときのコマンドは受け付けません。

<フォーマット仕様>



(*) MOSI

SA[7:0]Station Address : 対象の SA (Station Address) を指定します。
入力範囲：0x00 ~ 0x3F

CRC8 : 「0x2」、「SA」の CRC8 値

(*) MISO

SA[7:0]Station Address(echo) : 読み込んだ対象 SAのエコーバックデータ

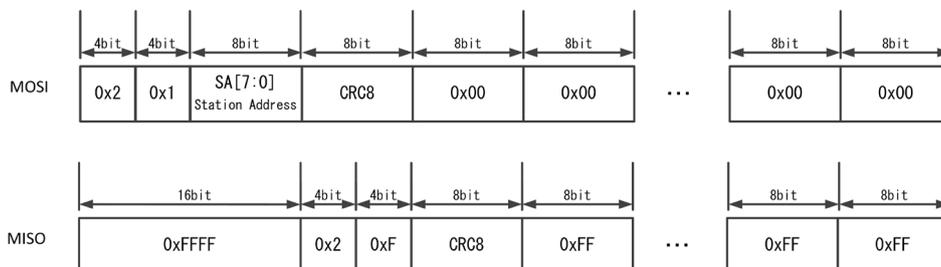
CRC_Ans : CRC 判定。CRC 正常：0x00 CRC 異常：0xFF

Read Data(SA+0~ 7) : 読み込んだデータ

CRC8 : 「0x2(echo)」、「SA(echo)」、「CRC_Ans」、「Read Data(SA+0~ 7)」の CRC8 値

GM-HP_Read (Cmd No. : 0x2) のエラー例

例 MOSI の固定データの位置に異なったデータが入っていた場合



0x2 (Cmd No.) に続く 4 ビットデータに 0x0 以外が入っていた場合 MISO は 0x0 以外のデータを検知した時点で 0xF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

4.7 GM-HP_Write (Cmd No. : 0x3)

指定した CUnet の GM エリアにハザード防止機能を使用してライトアクセスを行います。

書き込むデータサイズは 8 バイト固定です。

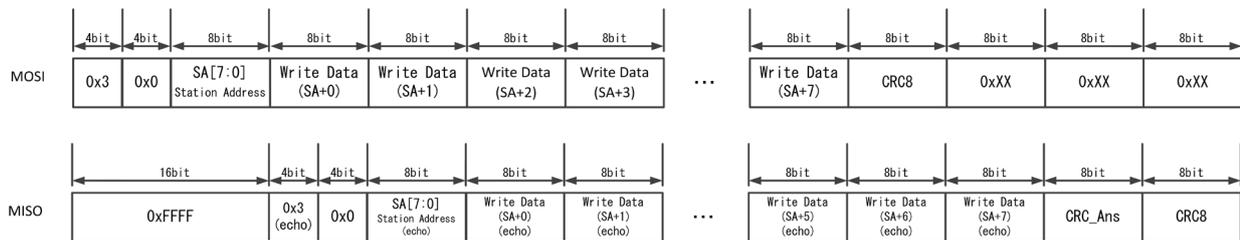
MOSI における CRC8 は、Cmd No. (0x3) から Write Data (SA+7) までの 8 ビット単位の CRC8 となります。

また、MISO における CRC8 は、Cmd No. (0x3) から CRC_Ans までの 8 ビット単位の CRC8 となります。

ただし、MOSI の CRC8 が正しくなかった場合は CRC_Ans に 0xFF が返され、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。このときのコマンドは受け付けません。

CUnet 動作中に本コマンドを使用して自己占有エリア以外の GM エリアに対して書き込みを行った場合、ライトプロテクトされていますのでデータ書き込みはできません。また、その時の SPI コマンドのエラーは発生しません。

<フォーマット仕様>



(*) MOSI

SA[7:0]Station Address : 対象の SA (Station Address) を指定します。
入力範囲 : 0x00 ~ 0x3F

Write Data (SA+0 ~ 7) : 書き込みデータ

CRC8 : 「0x3」、「SA」、「Write Data (SA+0 ~ 7)」の CRC8 値

(*) MISO

SA[7:0]Station Address (echo) : 書き込んだ対象 SA のエコーバックデータ

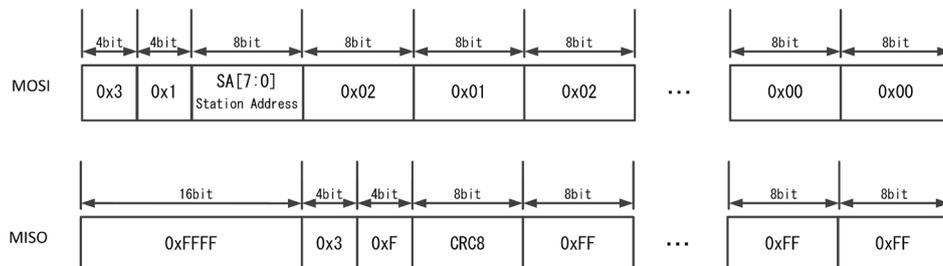
Write Data (SA+0 ~ 7) (echo) : 書き込んだデータのエコーバック

CRC_Ans : CRC 判定。CRC 正常 : 0x00 CRC 異常 : 0xFF

CRC8 : 「0x3 (echo)」、「SA (echo)」、「Write Data (SA+0 ~ 7)」、「CRC_Ans」の CRC8 値

GM-HP_Write (Cmd No. : 0x3) のエラー例

例 MOSI の固定データの位置に異なったデータが入っていた場合



0x3 (Cmd No.) に続く 4 ビットデータに 0x0 以外が入っていた場合 MISO は 0x0 以外のデータを検知した時点で 0xF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで “0xFF” が続きます。

4.8 Flag & GM-HP_Read (Cmd No. : 0x4)

SSR (System Status Register) のリードアクセスと、指定した CUnet の GM エリアをハザード防止機能を使用してリードアクセスを行います。

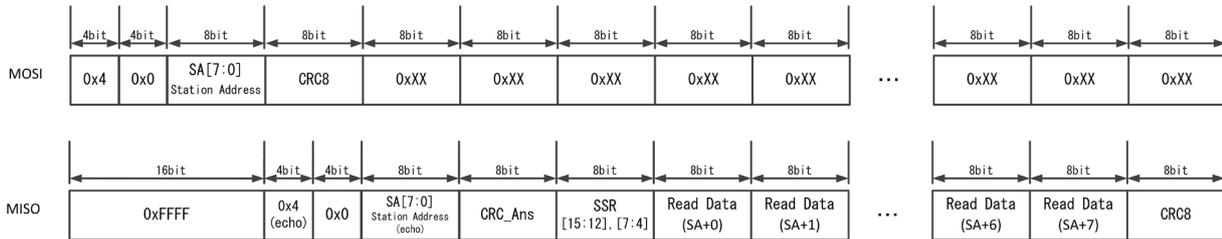
CUnet の {SSR[15:12],[7:4]} の 1bytes に続いて指定したメモリブロックのデータを読み込みます。

読み込むデータサイズは SSR (1 バイト) + メモリブロックデータ (8 バイト) の合計 9 バイト固定です。

MOSI における CRC8 は、Cmd No. (0x4) から SA[7:0] までの 8 ビット単位の CRC8 となります。

また、MISO における CRC8 は、Cmd No. (0x4) から Read Data (SA+7) までの 8 ビット単位の CRC8 となります。ただし、MOSI の CRC8 が正しくなかった場合は CRC_Ans に 0xFF が返され、#SPI-CS 端子が Hi にされるまで "0xFF" が続きます。このときのコマンドは受け付けません。

<フォーマット仕様>



(*) MOSI

SA[7:0]Station Address : 対象の SA (Station Address) を指定します。
入力範囲：0x00 ~ 0x3F

CRC8 : 「0x4」、「SA」の CRC8 値

(*) MISO

SA[7:0]Station Address (echo) : 読み込んだ対象 SA のエコーバックデータ

CRC_Ans : CRC 判定。CRC 正常：0x00 CRC 異常：0xFF

SSR[15:12]、[7:4] : SSR の bit15 ~ 12、bit7 ~ 4 のデータ

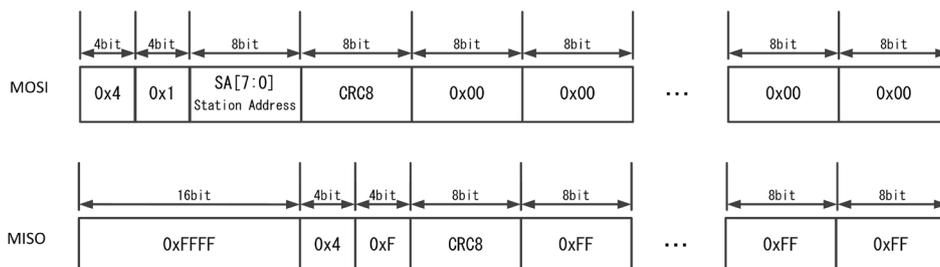
Read Data (SA+0 ~ 7) : 読み込んだデータ

CRC8 : 「0x4 (echo)」、「SA (echo)」、「CRA_Ans」、
「SSR[15:12]、[7:4]」、
「Read Data (SA+0 ~ 7)」の CRC8 値

ビット	略名	機能
b7	SSR bit15	MC Member Care
b6	SSR bit14	NM New Member
b5	SSR bit13	LNG Link group No Good
b4	SSR bit12	LOK Link group Ok
b3	SSR bit7	MSE Mail Send Error
b2	SSR bit6	MR Mail Received
b1	SSR bit5	MGNC Member Group Not Collect
b0	SSR bit4	MGNE Member Group Not Equal

Flag & GM-HP_Read (Cmd No. : 0x4) のエラー例

例 MOSI の固定データの位置に異なったデータが入っていた場合



0x4 (Cmd No.) に続く 4 ビットデータに 0x0 以外が入っていた場合 MISO は 0x0 以外のデータを検知した時点で 0xF と CRC8 を送信し、#SPI-CS 端子が Hi にされるまで "0xFF" が続きます。

4.9 StartUP (Cmd No. : 0xE)

MKY44-SPIの起動時及びリセット解除後に、必ず行う必要があります。

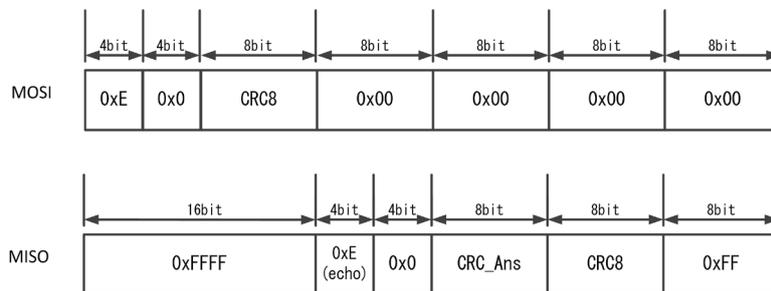
起動時及びリセット解除後、本コマンド以外は無効になります。本コマンド完了後、MISOをHiにします。

StartUP (Cmd No. : 0xE)を受信した際に、全てのコマンド受信を有効とし、以後通常動作を行います。これは、動作中にMKY44-SPIだけがリセットした場合の危険動作を防ぐことが目的です。

本コマンド受信時に於いてMISOを通常にHiとします。ただし、MOSIのCRC8が正しくなかった場合はCRC_Ansに0xFFが返され、#SPI-CS端子がHiにされるまで“0xFF”が続きます。このときのコマンドは受け付けません。

また、規定値以外のデータであった場合には、エラーを検知した時点で0xFとCRC8を送信し、#SPI-CS端子がHiにされるまで“0xFF”が続きます。このときのコマンドは受け付けません。

<フォーマット仕様>



(*) MOSI

CRC8 : 「0xE」、「0x0」のCRC8値

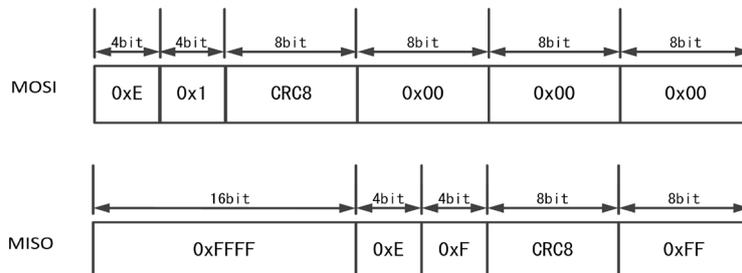
(*) MISO

CRC_Ans : CRC判定。CRC正常：0x00 CRC異常：0xFF

CRC8 : 「0xE (echo)」、「0x0」、「CRC_Ans」のCRC8値

StartUP (Cmd No. : 0xE)のエラー例

例 MOSIの固定データの位置に異なったデータが入っていた場合



0xE (Cmd No.)に続く4ビットデータに0x0以外が入っていた場合MISOは0x0以外のデータを検知した時点で0xFとCRC8を送信し、#SPI-CS端子がHiにされるまで“0xFF”が続きます。

4.10 SPI インターフェース AC タイミング

SPI インターフェースの AC 特性について説明します。

SPI タイミング仕様表を表 4-4 に示します。また、SPI タイミング図を図 4.4 に示します。

表 4-4 SPI タイミング仕様書

パラメータ	略号	条件	Min	Typ	Max	単位
SPI-CLKin LOW 幅	tCKL	-	0.4	-	-	μ s
SPI-CLKin HIGH 幅	tCKH	-	0.4	-	-	μ s
SPI-CLKin 周期	tCKP	-	1	-	-	μ s
#SPI-CS \rightarrow SPI-CLKin 立ち上がり時間	tCSS	-	6	-	-	μ s
SPI-CLKin \rightarrow #SPI-CS 立ち上がり時間	tCSH	-	0.8	-	-	μ s
#SPI-CS 立ち上がり \rightarrow 立ち下り時間	tCSW	-	32(*1)	-	-	μ s
SPI-MOSI セットアップ時間	tDIS	-	0.4	-	-	μ s
SPI-MOSI ホールド時間	tDIH	-	0.4	-	-	μ s
SPI-MISO 出力遅延時間	tDOD	-	-	-	0.8	μ s
SPI-Byte Time	tBT	-	10	-	-	μ s

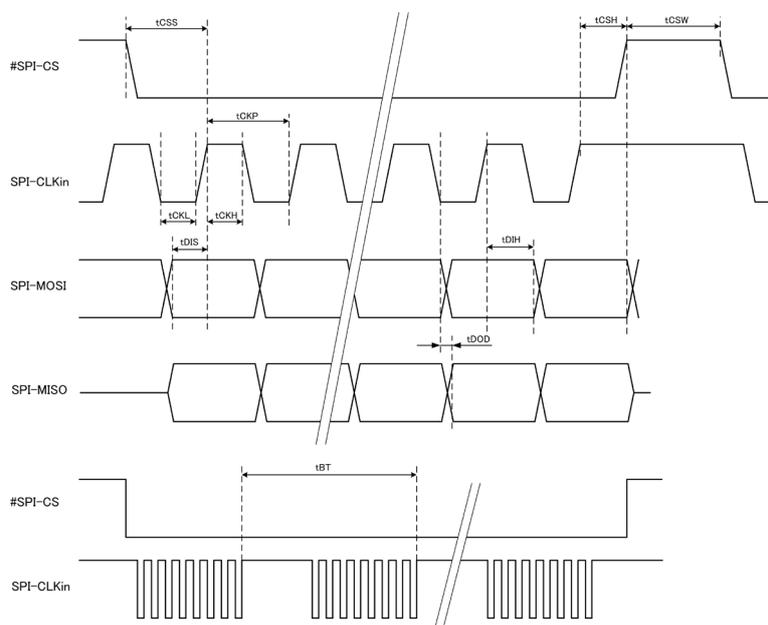


図 4.4 SPI タイミング図



*1: tCSW について、「6.5Byte_Write (Cmd No. : 0x1)」にて INTOSR を含む 8 バイトを超える Byte Length を指定した場合、最小値 100 μ s になります。

第5章 MKY44-SPIのソフトウェア

本章はMKY44-SPIを利用するためのソフトウェアについて記述します。なお本章は、“第3章 MKY44-SPIの接続”の記述に基いたSPI接続によって、ユーザシステムのプログラムからMKY44-SPIへアクセスできる環境が整っていることを前提に記述されています。

5.1 コミュニケーションの起動と停止

本節は、ユーザCPUによるMKY44-SPIの操作について記述します。MKY44-SPIを操作する基本的な項目を以下の順に記述します。

- メモリマップ
- MKY44-SPIの接続確認
- コミュニケーション起動前の設定（イニシャライズ）から起動の操作まで
- 各フェーズへの対応
- 誤操作のプロテクション
- CUnetのサイクルタイム
- サイクル中の詳細タイミング
- ネットワークの停止

5.1.1 メモリマップ

SPI 接続によりユーザ CPU へ接続した MKY44-SPI は、2K バイト（2048 バイト：000H ~ 7FFH）のメモリ領域を占拠します。表 5-1 に、メモリマップを示します。

表 5-1 メモリマップ

アドレス	アクセス対象	Read / Write
000H ~ 1FFH	グローバルメモリ (GM : Global Memory)	Read / Write
200H ~ 2FFH	メール送信バッファ (MSB : Mail Send Buffer)	Read / Write
300H ~ 37FH	CUnet レジスタ (詳細は 6 章 MKY44-SPI レジスタリファレンス参照)	Read / Write
380H	汎用入力 (#Di07 ~ #Di00)	Read
381H	汎用入力 (#Di17 ~ #Di10)	Read
382H	汎用入力 (#Di23 ~ #Di20)	Read
383H ~ 385H	メーカーリザーブエリア	—
386H	汎用出力 (Do7 ~ Do0)	Read / Write
387H ~ 3FFH	メーカーリザーブエリア	—
400H ~ 4FFH	メール受信バッファ 0 (MRB0 : Mail Receive Buff0)	Read / Write
500H ~ 5FFH	メール受信バッファ 1 (MRB1 : Mail Receive Buff1)	Read / Write
600H ~ 7FFH	メーカーリザーブエリア	—


注意事項

メーカーリザーブエリアへのアクセスは Read/Write ともに禁止です。
 アクセスした場合、動作の保証はできません。

5.1.2 MKY44-SPI の SPI 接続確認

ユーザ CPU に MKY44-SPI が正しく接続されている時、Chip Code Register (CCR) をリードすると “MKY44_v0” の ASCII 文字列をリードできます。この文字列をリードすることによって MKY44-SPI の接続を確認できます。

5.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで

本節は、MKY44-SPI リセット処理後におけるコミュニケーション起動までの手順について記述します（図 5.1 参照）。MKY44-SPI の起動時及びリセット処理については、“4.3.5 MKY44-SPI のリセット”を参照してください。

- ① 電源投入後の MKY44-SPI 内部のメモリからは、不定値が読み出せます。300H～3FFH のレジスタ領域を除くメモリ（GM、MSB、MRBO、MRB1）へ“00H”のデータをライトし、ゼロクリアしてください（表 5-1 参照）。
- ② 通信設定を行うため、BCR（Basic Control Register）にステーションアドレス（SA）、占有幅（OWN）、転送レート（BPS）を設定してください。BCR は、ネットワークの稼動中に誤ってライトされないために、SCR（System Control Register）のビット 15（GMM）が“1”の時に限りライトを許可するといったプロテクションが設定されています。このため、ユーザシステムのプログラムによって BCR へ設定値をライトする場合は、以下の手順に従ってください。

(1) SCR（System Control Register）のビット 8（START）が“0”であることを確認してください。

(2) SCR のビット 15（GMM）へ“1”をライトしてください。

(3) BCR（Basic Control Register）のビット 0～5（SA0～5）へステーションアドレス（SA）値を、ビット 6、7（BPS0、BPS1）へ転送レート選択を、ビット 8～13（OWN0～5）へ占有幅（OWN）値をライトしてください。ビット 15 の LFS（Long Frame Select）へは、通常“0”をライトしてください（“5.4.9 フレームオプション [HUB 対応]”参照）。

(4) SCR のビット 15（GMM）へ“0”をライトしてください。

- ③ SCR（System Control Register）のビット 8（START）へ“1”をライトしてください。CUnet のネットワークが起動し、MKY44-SPI はスタートフェーズに入ります。
- ④ SCR（System Control Register）をリードし、ビット 9（RUN）が“1”（MKY44-SPI がランフェーズに移した）であることを確認してください。SCR のビット 9（RUN）が“1”にはならず、ビット 10（CALL）またはビット 11（BRK）が“1”になった場合（ランフェーズ以外の時）は、“5.1.4 各フェーズへの対応”の記述に従ってください。
- ⑤ SCR（System Control Register）のビット 9（RUN）が“1”である時、“グローバルメモリ（GM）を利用するメモリデータの共有”と、“メール送信バッファとメール受信バッファを利用するデータセットのメール送受信による、CUnet のコミュニケーション”が機能します。



参考

MKY44-SPI は、RUN フラグビットが“1”となった時（ランフェーズとなった時）に、割込みトリガを出力することができます。詳細は、“5.5 割込みトリガ発生機能”を参照してください。



注意事項

ただし、②については、BPS0/BPS1 及び #SA5～#SA0 設定状態をハードウェアリセットアクティブ時に端子の状態を認識し、BCR に自動設定しますので省略することが可能です。この時の OWN（自己占有エリア）は 1 です。

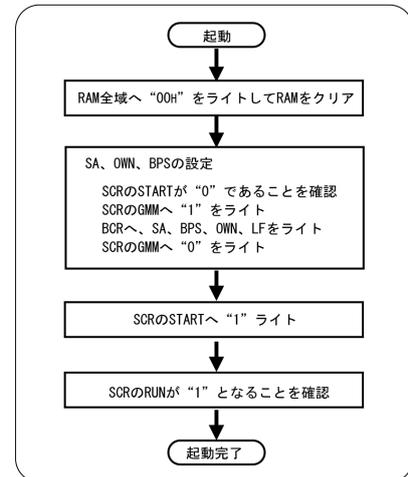


図 5.1 起動のアルゴリズム

5.1.4 各フェーズへの対応

MKY44-SPI は、CUnet プロトコルによって規定されたフェーズの遷移に則り、ネットワークを起動した時からスタートフェーズの“2 または 3 サイクル時間”後に、コールフェーズ、ランフェーズ、ブレイクフェーズのいずれかのフェーズへ遷移します。MKY44-SPI のフェーズは、SCR (System Control Register) の RUN、CALL、BRK ビットに示されるため、ユーザシステムのプログラムが SCR をリードすることによって確認できます (図 5.2 参照)。

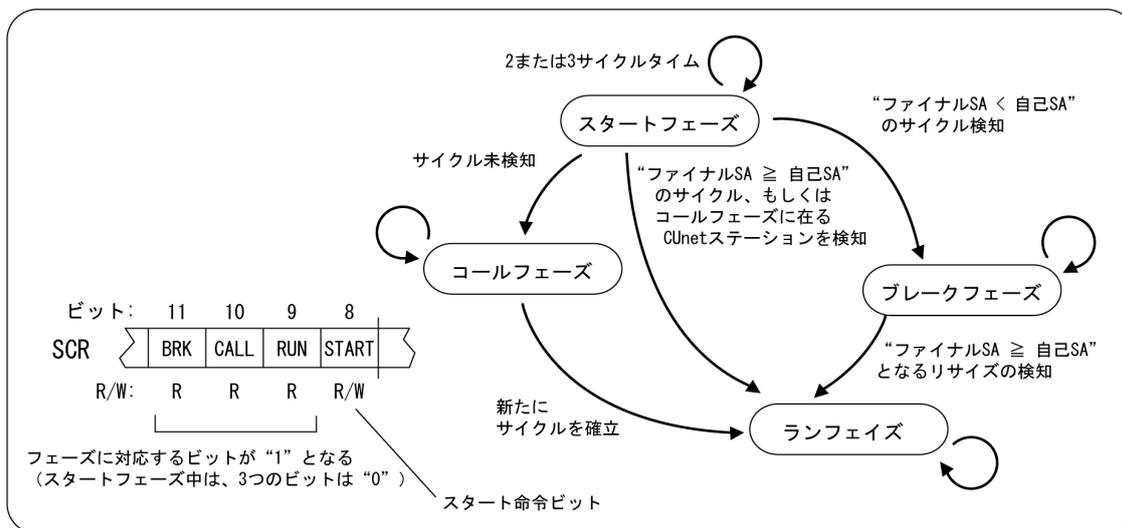


図 5.2 MKY44-SPI のフェーズ遷移と SCR の対応ビット

“ランフェーズ”は、CUnet の通常の稼動状態です。SCR のビット 9 (RUN) が“1”へ遷移します。MKY44-SPI がランフェーズの時、ユーザシステムのプログラムは、以下のコミュニケーションが可能となります。

- ① 他の CUnet ステーションへ伝えたい情報を、グローバルメモリ (GM) の自己ステーションの占有エリアへライトすると、このデータは他の CUnet ステーションのグローバルメモリの同一アドレスへ複写 (Copy) されます。
- ② GM 内の他 CUnet ステーションの占有エリアをリードすることによって、他の CUnet ステーションから複写 (Copy) された情報を参照できます。
- ③ 指定した CUnet ステーションへデータセットのメールを送信できます。
- ④ 自己ステーションへ送信されたデータセットのメールを受信できます。

“コールフェーズ”は、CUnet の接続待ち状態です。SCR のビット 10 (CALL) が“1”へ遷移します。

ネットワークへ接続された自己ステーション以外の全ての CUnet ステーションが起動されていない時に、このフェーズになります。コールフェーズは、他の CUnet ステーションとパケットを送受信できるまで継続します。

“ブレイクフェーズ”は、自己ステーションがサイクルへ参入できない状態です。SCR のビット 11 (BRK) が“1”へ遷移します。ブレイクフェーズは、他の CUnet ステーションがリサイズ操作を実行して、自己ステーションのサイクル参入が許可されるまで継続します。



リサイズに関しては、“5.4.2 サイクルタイムの変更 (リサイズ)”を参照してください。ハードウェアが不安定な CUnet ステーションにおいては、ネットワークの起動のために、スタートフェーズ中において MKY44-SPI が停止してしまう場合があります。このような場合は、“5.1.8.3 停止の特例”を参照し、不安定な CUnet ステーションを改善してください。

5.1.5 誤操作のプロテクション

MKY44-SPIは、ユーザシステムのプログラムによる誤操作のプロテクションを装備しています。MKY44-SPIを操作する際には、以下のプロテクションの存在を認識してください（図5.3参照）。

- ① SCR (System Control Register) の START ビットが“0”である時に限り、SCR の GMM ビットへ“1”をライトすることが可能です。
- ② SCR (System Control Register) の START ビットが“1”の時、グローバルメモリ (GM) は、自己ステーションの占有エリア以外のメモリ領域がライトプロテクトされます。
- ③ BCR (Basic Control Register) は、SCR の START ビットが“0”かつ GMM ビットが“1”である時に限りライト可能です。
- ④ SCR の RUN ビットが“1”である時（ランフェーズ）に限り、メール送受信機能によるデータセットの送信および受信が可能です。

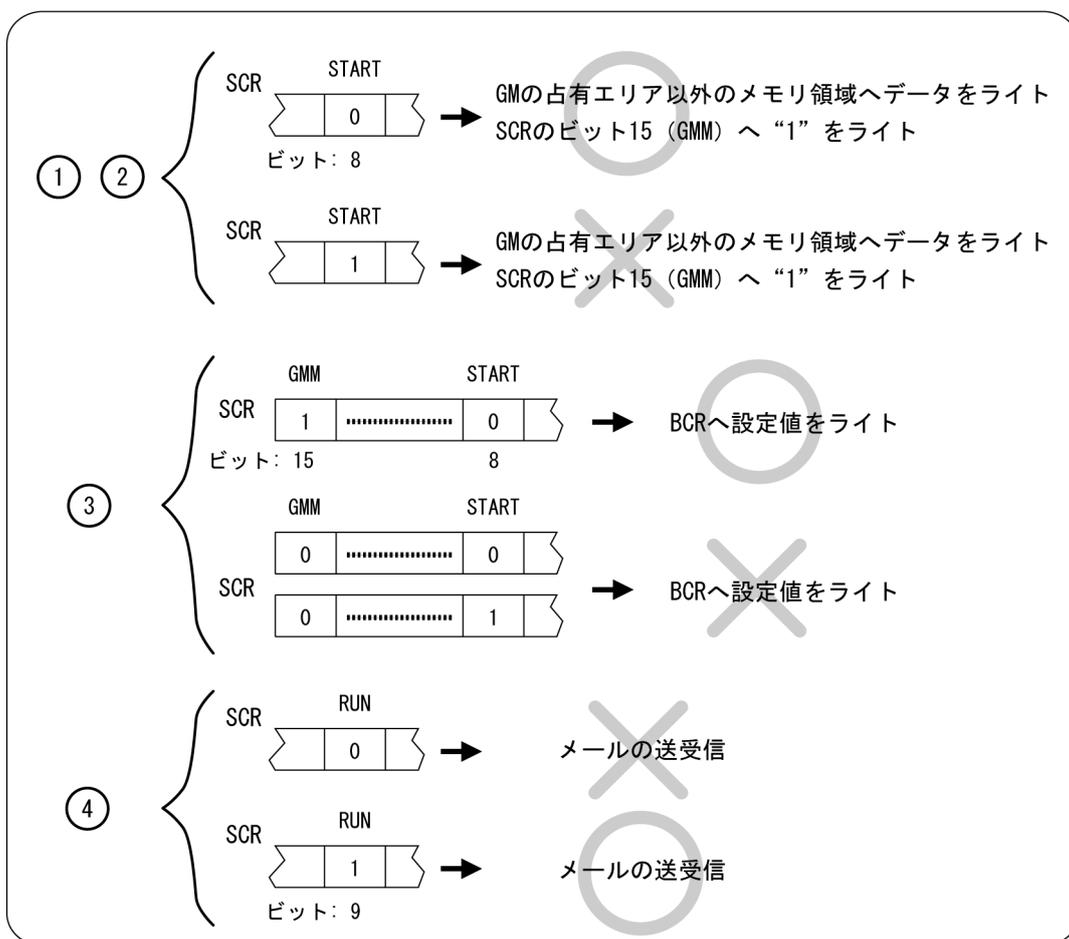


図 5.3 ライトプロテクト



参考

SCR の GMM ビットの詳細については、“5.4.8 GMM (Global Memory Monitor) 機能”を参照してください。

5.1.6 CUnet のサイクルタイム

MKY44-SPI によって構築される CUnet のサイクルタイムは、CUnet プロトコルによって定められた式 5.1 と式 5.2 によって求められます。CUnet のサイクルタイムは、メモリデータ共有の応答速度となります。

式 5.1 $Frame\ Time = (LOF + FS + 1) \times 2 \times TBPS$ [秒]

式 5.2 $Cycle\ Time = Frame\ Time \times (FS + PFC + 1)$ [秒]

例として、FS=03H、LOF=151、PFC=2、転送レート 12Mbps (TBPS = (1/12 × 10⁶) ≒ 83.3ns) におけるフレームタイムおよびサイクルタイムは以下です。

Frame Time = (151 + 3 + 1) × 2 × (1/12 × 10⁶) = 25.833μs

Cycle Time = 25.833μs × (3 + 2 + 1) = 155μs

CUnet においては、LOF (Length Of Frame) は“151”、PFC (Public Frame Count) は“2”の固定数です。

“5.4.9 フレームオプション [HUB 対応]” に記述されたフレームオプションを利用する際は、LOF (Length Of Frame) は“256”の固定数です。

ファイナルステーション (FS : Final Station) の値は、MKY44-SPI のレジスタ群にある、FSR (Final Station Register) に格納されている値です。CUnet における FS の初期値は、“63 (3FH)” です。“5.4.2 サイクルタイムの変更 (リサイズ)” に記述されているリサイズが実行されていない状況において FSR (Final Station Register) に格納されている値は、初期値の“63 (3FH)” です。



参考

式 5.1 と式 5.2 から算出される各 FS 値によるサイクルタイムは、MKY43 ユーザーズマニュアル “付録 1 サイクルタイム一覧” を参照してください。

5.1.7 サイクル中の詳細タイミング

MKY44-SPI においては、フレームの推移によって進行するサイクル中の詳細なタイミングを認識することができます。

ユーザシステムのプログラムがサイクル中の詳細なタイミングを認識したい場合は、SCR (System Control Register) をリードしてください。

SCR のビット 0 ~ 6 (ST0 ~ 6) の値が、ステーションタイム (ST) を示しています (図 5.4 参照)。

MKY44-SPI は、予め所定のレジスタへステーションタイム値を設定しておくことにより、SCR のビット 0 ~ 6 (ST0 ~ 6) の値が設定値と一致した時に、割込みトリガを出力することができます。これを“アラーム”と呼びます。詳細については、“5.5 割込みトリガ発生機能” を参照してください。

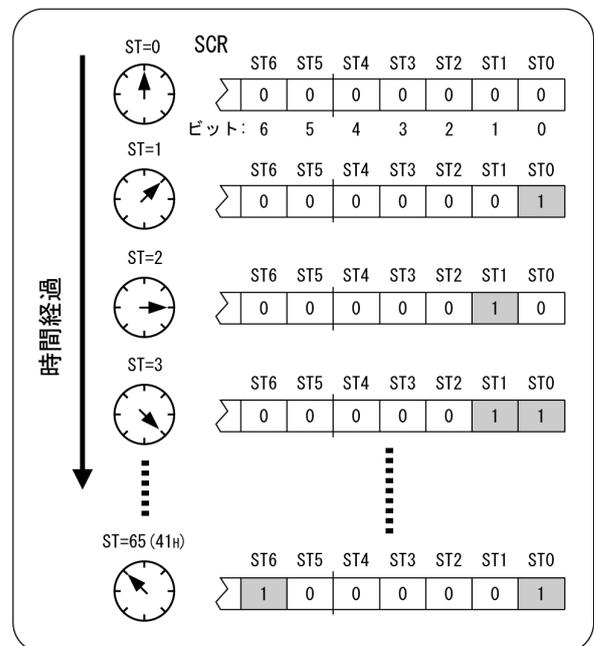


図 5.4 SCR のビット 0 ~ 6 が示すステーションタイム

5.1.8 ネットワークの停止

MKY44-SPI を搭載した CUnet ステーションがネットワーク停止するのは、以下の3つの場合です。

- ① SCR (System Control Register) の START ビットへ、意図的に“0”をライトした。
- ② SNF (Station Not Found) : 自己ステーション以外の CUnet ステーションとのリンクが、32 サイクル連続して1回も成立できなかった。
- ③ OC (Out of Cycle) : 他の CUnet ステーションによるリサイズ操作によって、継続的タイムシェアリングにおける自己ステーションの packets 送信時期を失った。

MKY44-SPI を接続したユーザ CPU 上を走行するユーザシステムのプログラムは、SCR (System Control Register) の START ビットへ“0”をライトすることにより、MKY44-SPI がスタート、コール、ラン、ブレークのどのフェーズにある時も、意図的にネットワークを停止することができます。この操作によるネットワークの停止によって、SCR (System Control Register) の RUN、CALL、BRK ビットも“0”へ遷移します。

これに対し、上記②の SNF (Station Not Found) と③の OC (Out of Cycle) によるネットワーク停止は、MKY44-SPI がランフェーズあるいはブレークフェーズにある時に限り、MKY44-SPI を接続したユーザ CPU 上を走行するユーザシステムのプログラムがいかなるアルゴリズムによって進行している最中であっても発生します。

SNF (Station Not Found) による停止は、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット 13 の SNF が“1”へ遷移します。

OC (Out of Cycle) によるネットワーク停止時には、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット 12 の OC が“1”へ遷移します。

MKY44-SPI は、ネットワークが停止した時に、割込みトリガを出力することができます。詳細については、“**5.5 割込みトリガ発生機能**”を参照してください。

SCR (System Control Register) の SNF ビットおよび OC ビットは、ユーザシステムのプログラムが SCR の START ビットへ“1”をライトした時、あるいはハードウェアリセットアクティブ時に、“0”へクリアされます。



注意事項

MKY44-SPI が OC 停止した場合には、ユーザシステムのプログラムは、**MKY43 ユーザーズマニュアル “付録 3 OC 停止をした場合の処理”** に基づく処理をする必要があります。

5.1.8.1 SNF (Station Not Found) の詳細

SNF (Station Not Found) によるネットワークの停止は、ランフェーズ中における以下の事象により、自己ステーションが孤立してしまった場合に発生します。

- ① ネットワークからの離脱や通信ケーブル断線、レシーバ部品の故障。
- ② 自己ステーション以外の全ての CUnet ステーションが、意図的に停止した。

上記の2つの場合は、他の CUnet ステーションとのリンクは全て不成立です。MKY44-SPI は、いずれの CUnet ステーションともリンクが成立しないサイクルが 32 回連続すると、自己ステーションが孤立してしまったと判定します。この時に、SNF (Station Not Found) 停止します。

MKY44-SPI においては、ブレークフェーズ中に上記①もしくは②の原因によって、いずれの CUnet ステーションからもパケットを受信できないサイクルが 32 回連続した場合にも、SNF (Station Not Found) 停止します。

5.1.8.2 OC (Out of Cycle) の詳細

ランフェーズ中における他の CUnet ステーションによるリサイズ操作によって、自己ステーションの占有エリアをパケット送信できない場合を OC (Out of Cycle) による停止とといいます。

例えば、自己ステーションの SA が “20H” の時に、他の CUnet ステーションが “1FH” へリサイズした場合、サイクルが縮小リサイズされてしまい、自己ステーションが FS 以降になってしまうため、パケット送信のタイミングを失ってしまいます。また、自己ステーションの SA が “20H” であり OWN が “02H” である時に他の CUnet ステーションが “20H” へリサイズした場合も、自己ステーションの占有エリアの一部 (“21H”) をパケット送信するタイミングが失われてしまいます。このような場合に、OC (Out of Cycle) 停止が発生します。このように、自己ステーションの占有エリアをパケット送信できないリサイズを MKY44-SPI が検出した時に、OC (Out of Cycle) 停止します。

5.1.8.3 停止の特例

電源投入直後に電源の不安定な時期が続く CUnet ステーションが存在する場合、以下のシーケンスによってスタート直後にネットワークが SNF (Station Not Found) 停止となる場合があります。以下のシーケンスは、2つの CUnet ステーションによって構築した CUnet における停止シーケンスを示します。

- ① ある CUnet ステーションの START ビットへユーザ CPU が “1” をライト、この CUnet ステーションがコールフェーズになる。
- ② 別の CUnet ステーションも START ビットへ “1” をライトし、上記の CUnet ステーションと両方の CUnet ステーションがランフェーズになる。
- ③ ある CUnet ステーションの電源投入後の安定が遅れ、ハードウェアリセットが再びアクティブとなってしまった場合、START ビットが “0” へ戻る。
- ④ 別の CUnet ステーションは、32 サイクル後に SNF (Station Not Found) 停止する。
- ⑤ ある CUnet ステーションは、再びプログラムが先頭からスタートし、START ビットへ “1” をライトし、コールフェーズになる。
- ⑥ 別の CUnet ステーションは、ネットワークが SNF (Station Not Found) 停止しているのため、再びスタートしない。

この事例のユーザシステムが “12Mbps 運用” の場合、上記①～⑥のシーケンスが進行する所要時間は、80ms 程度であり、電源投入直後に電源の不安定な時期が続くシステムにおいては、このようなケースが発生します。ユーザシステムのプログラムが、ランフェーズになることのみを待っていた場合、プログラムは次のステップへ進むことができなくなってしまいます。

MKY44-SPI を搭載する CUnet ステーションは、電源投入直後から十分に電源が安定した後にハードウェアリセットが解除される構成にしてください。



参考

ユーザシステムのプログラムとしては、ネットワークの SNF 停止や OC 停止を検出でき、かつユーザシステムに適合する処理（例えば再び START ビットへ “1” をライトしネットワークを再起動するなど）を実行するアルゴリズムを推奨します。

5.2 グローバルメモリ (GM) の利用

本節は、CUnet においてデータが共有されるグローバルメモリ (GM) の利用について記述します。

5.2.1 占有エリアについての詳細

MKY44-SPI に搭載されているグローバルメモリ (GM) は、CUnet プロトコルに規定された 8 バイトサイズのメモリブロック (MB) が“64 個”連続して配列された 512 バイトのメモリです。個々のメモリブロックは、基本的に対応するステーションアドレスの CUnet ステーションが占有するエリアです (図 5.5 参照)。

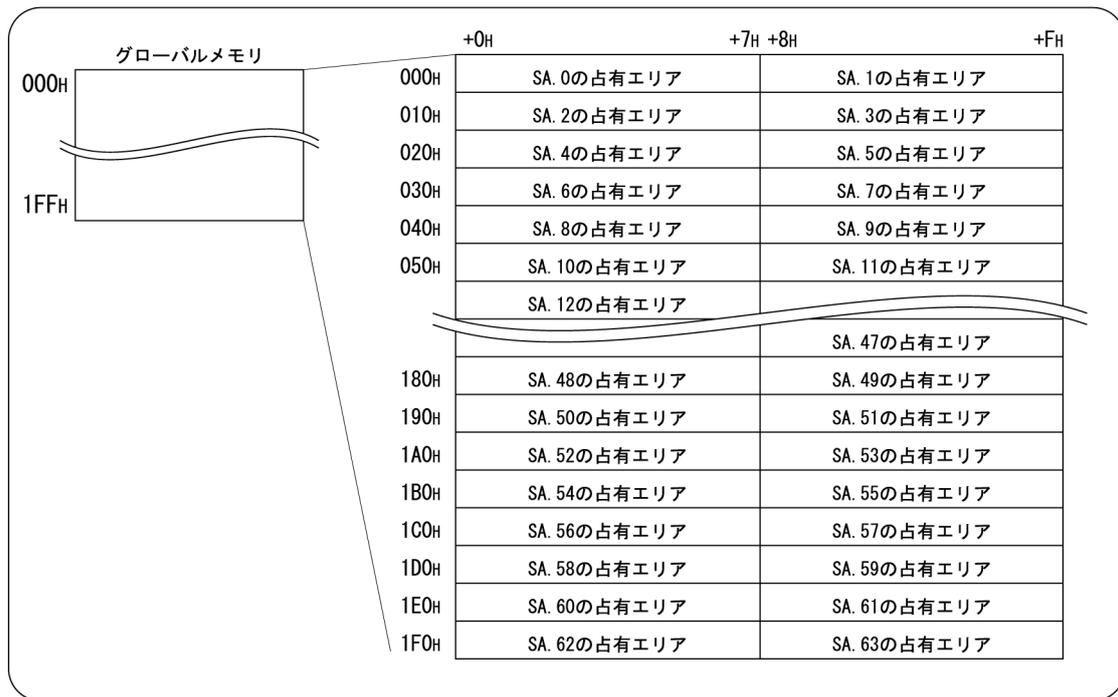


図 5.5 グローバルメモリ

MKY44-SPI は、CUnet プロトコルの“実用性の向上”に規定される占有幅 (OWN width) の設定によって、占有エリアを拡張できます。

占有エリアは、BCR (Basic Control Register) に格納されたステーションアドレス (SA) と占有幅 (OWN width) によって決定します。ステーションアドレス (SA) に対応するメモリブロック (MB) を先頭とする占有幅 (OWN width) 分のメモリブロック (MB) が占有エリアです (図 5.6 参照)。

例えば、SA=6 かつ OWN=2 の MKY44-SPI の占有エリアは、MB=6 ~ 7 (GM : 030H ~ 03FH) の 16 バイトです。

CUnet における占有エリアは、他の CUnet ステーションヘータを送信 (複写) するエリアです。MKY44-SPI においては、占有エリアは常にライト可能ですが、占有エリア以外のグローバルメモリ (GM) は、SCR (System Control Register) の START ビットが“1”の期間中ライトプロテクトされます。このように、CUnet におけるグローバルメモリ (GM) の利用にあたっては、ライト可能なエリアとリードのみに制限されるエリアに明確に分離されるため、同一アドレスへの同時ライトやオーバーライトが発生しません。

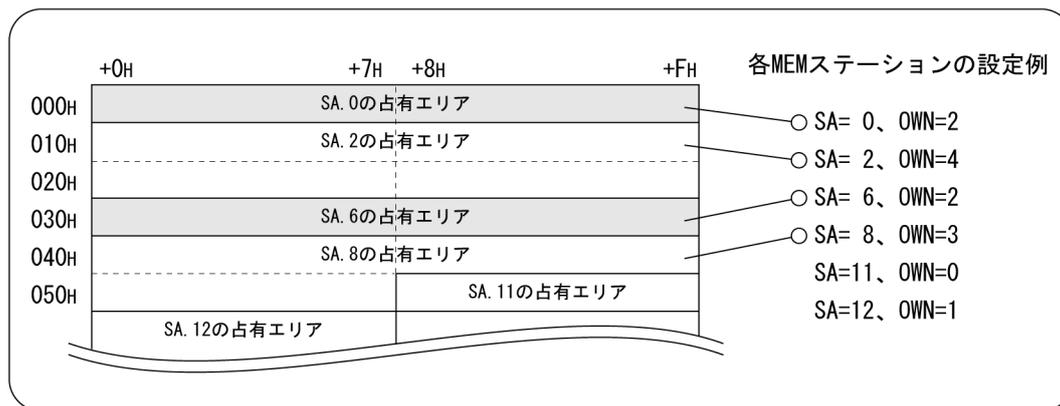


図 5.6 占有エリアの拡張

占有エリアは、CUNet を構成する全ての CUNet ステーションにおいて、重複が禁止されています。例えば、1つの MKY44-SPI の設定が SA=3 かつ OWN=2 の場合、別の MKY44-SPI の設定を SA=4 とすることは禁止です。

“5.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”の②に記載されている設定を実行する際に、占有エリアが重複していることは禁止です。

占有エリアは、(重複が生じない限り) 広く設定することも可能です。例えば、2つの MEM ステーションによって構築する CUNet の場合、それぞれの MEM ステーションに“256 バイト”の占有エリアを持たせることも可能です。

BCR(Basic Control Register)の占有幅(OWN width)の値が“00H”の時、占有幅(OWN width)は“1”として扱われます。また、BCR (Basic Control Register) に格納されている SA 値と OWN 値を加算した値が、“64 (40H)”を超える場合は、“64”を超える値が無視されます。例えば、SA が“62 (3EH)”の場合、OWN が“03H”であっても占有幅は“2”です。SA が“32 (20H)”の場合、OWN が“63 (3FH)”であっても占有幅は“32”です。

5.2.2 データハザードとハザード防止機能

複数のアドレスにわたる文字列などのデータセットをライトしている最中に、別の CUNet ステーションがデータセットをリードすると、途中までライトしたデータとまだライトされずに残っていた古いデータが混合された文字列をリードしてしまう可能性があります。このような現象を“データハザード”(Data hazard)と呼びます。

データハザードは、ユーザ CPU と MKY44-SPI 間でデータを扱う場合に、以下のように発生します (図 5.7 参照)。

- ① MKY44-SPI と接続しているユーザ CPU が、他の CUNet ステーションが占有しているグローバルメモリ (GM) のエリアから 16 ビット幅データをリードする時、“2 回”のアクセスが必要です。
- ② ユーザシステムのプログラムがグローバルメモリへ“2 回”アクセスする際の“1 回目”と“2 回目”の間に、メモリデータの共有動作に基づいた他の CUNet ステーションからのデータ複写 (Copy) によってデータが遷移すると、正しいデータをリードできないタイミングが発生します (図 5.7 : 5634H のリード)。
- ③ この場合のリードデータは、データハザード (Data hazard) が発生した誤ったデータです。

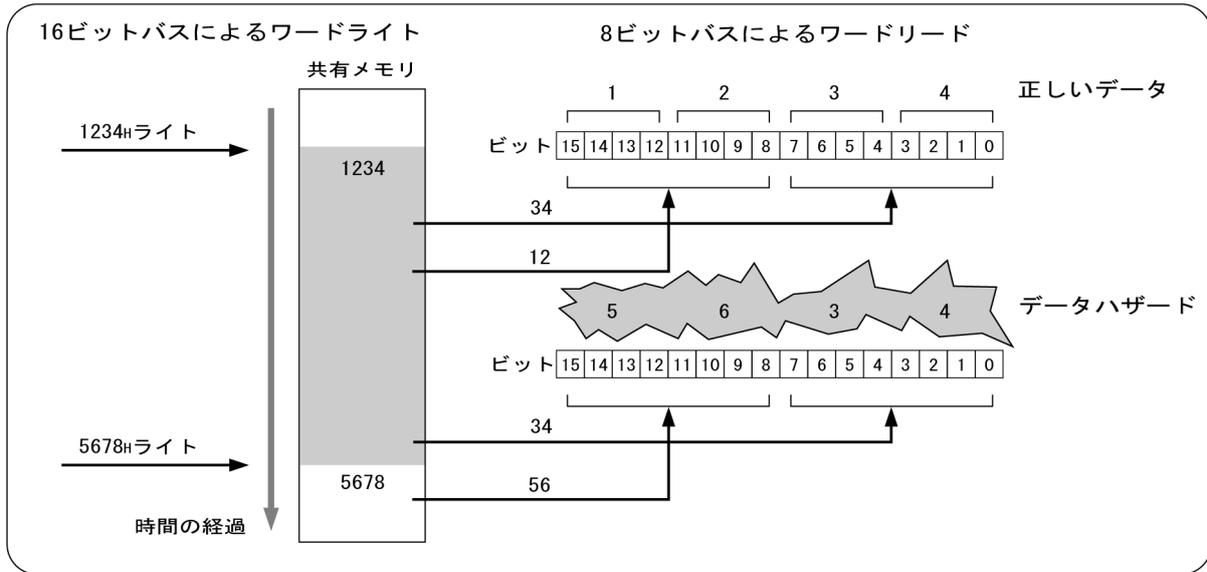


図 5.7 データハザード発生メカニズム

データハザード (Data hazard) は、リードだけではなくライトにおいても発生します (図 5.8 参照)。例えば、ユーザ CPU が MKY44-SPI へ “1234H” をライトする時に “2 回” のライトが必要です。旧データが “ABCDH” の場合、“34H” と “12H” データを 2 回に分けてライトする中間時点において、メモリデータの共有動作に基づいて他の CUnet ステーションへデータが複写 (Copy) されると、これをリードした他の CUnet ステーションは “1234H” でも “ABCDH” でもない (実在しない：データハザードが生じた) “AB34H” を認識してしまいます。

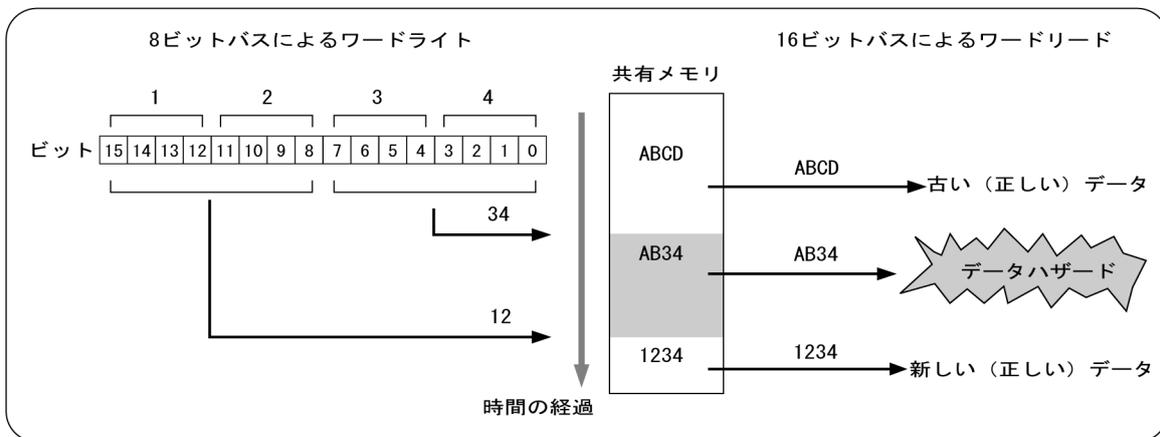


図 5.8 ライト時に発生するデータハザード

MKY44-SPI は、データハザードを回避する機能として、“ハザード防止機能”を装備しています。ハザード防止機能は、1つのメモリブロック (MB) 単位にて一括してリードまたはライトを行います。これによりデータハザードを防止します。

5.2.3 グローバルメモリ (GM) データの品質保証

CUnet プロトコルを搭載した MKY44-SPI は、ネットワークへ接続された全ての CUnet ステーション間においてハンドシェイクされた“複数の CUnet ステーション”対“複数の CUnet ステーション”(N 対 N) のコミュニケーションを保証しています。

この保証された状態は、CUnet プロトコルに定められる通り、レシーブとリンクのステータスによってレジスタに示されています。さらに MKY44-SPI は、ユーザシステムのプログラムが各ステータスを容易に監視可能な機能も装備しています。

本節は、グローバルメモリ (GM) データの品質保証に関連するレジスタやステータス監視機能などについて記述します。



参考

レシーブステータスとリンクステータスの定義については、“CUnet 導入ガイド”の“データの品質保証”を参照してください。

5.2.3.1 レジスタによるステータス表示

MKY44-SPI においては、CUnet プロトコルに定められたレシーブステータスおよびリンクステータスが、RFR (Receive Flag Register) と LFR (Link Flag Register) によって示されます。MKY44-SPI に搭載されている RFR と LFR は、64 ビットのレジスタです (図 5.9 参照)。

最大 64 の CUnet ステーションによる CUnet を構築可能なため、それぞれのレジスタ内のビット 0 はステーションアドレス (SA) =0 とメモリブロック (MB) =0 に、ビット 1 は SA=1 と MB=1 に、ビット 63 は SA=63 と MB=63 に対応します。

ユーザシステムのプログラムが、RFR と LFR をリードし、“1”となっているビットを認識することにより、グローバルメモリのメモリデータ共有の詳細な保証状態を認識することができます。

- ① “占有エリア以外のメモリブロックのデータが、他の CUnet ステーションから複写された最新のデータなのか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることを保証する個々のフラグビット値が格納された RFR (Receive Flag Register) をリードしてください。
- ② “占有エリアのデータを複写できていない CUnet ステーションはあるか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることと、個々の CUnet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複写されたことの、両方を保証する個々のフラグビット値が格納された LFR (Link Flag Register) をリードしてください。

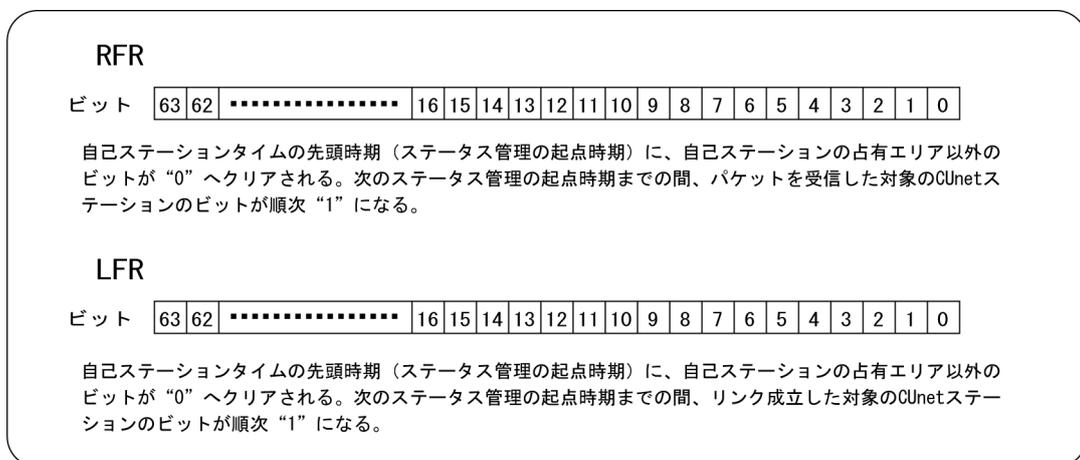


図 5.9 RFR と LFR

5.2.3.2 ステータス管理の起点時期および特例

MKY44-SPIにおいては、継続的タイムシェアリングのサイクルの推移に応じたリアルタイムな状態が、RFRおよびLFRのステータスに反映されます。このため、自己ステーションのステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、“ステータス管理の起点時期”です (図 5.10 参照)。RFR および LFR のステータスは、1回のサイクル毎に管理されます。

このため“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”に記述されている特例を除き、ステータス管理の起点時期に RFR と LFR は“0”へクリアされます。ただし、自己ステーションの占有エリアに対応する RFR および LFR のビットは、SCR (System Control Register) の START フラグが“1”に設定されている間は、“1”に固定されます。

MKY44-SPI は、CUnet プロトコルに規定された機能のほかに、“5.4.8 GMM (Global Memory Monitor) 機能”に記述されるモニタ機能を装備しています。この機能によって、GMM ステーションとして動作する MKY44-SPI においては、自己ステーションのステーションアドレス (SA) は定義されていません。これにより、GMM ステーションにおいては、“ステータス管理の起点時期”が存在しないことになってしまいます。したがって GMM ス

テーションにおいては、“ステータス管理の起点時期”をサイクルの先頭時期 (ステーションタイム = 0) とします。サイクルの先頭時期に、RFR (Receive Flag Register) の全てのビットは“0”へクリアされ、レシーブが成立したビットから順次“1”へ遷移します。また GMM ステーションは他の CUnet ステーションとはリンクされないため、LFR (Link Flag Register) ビットの状況は意味を失い、無効なデータとなります。

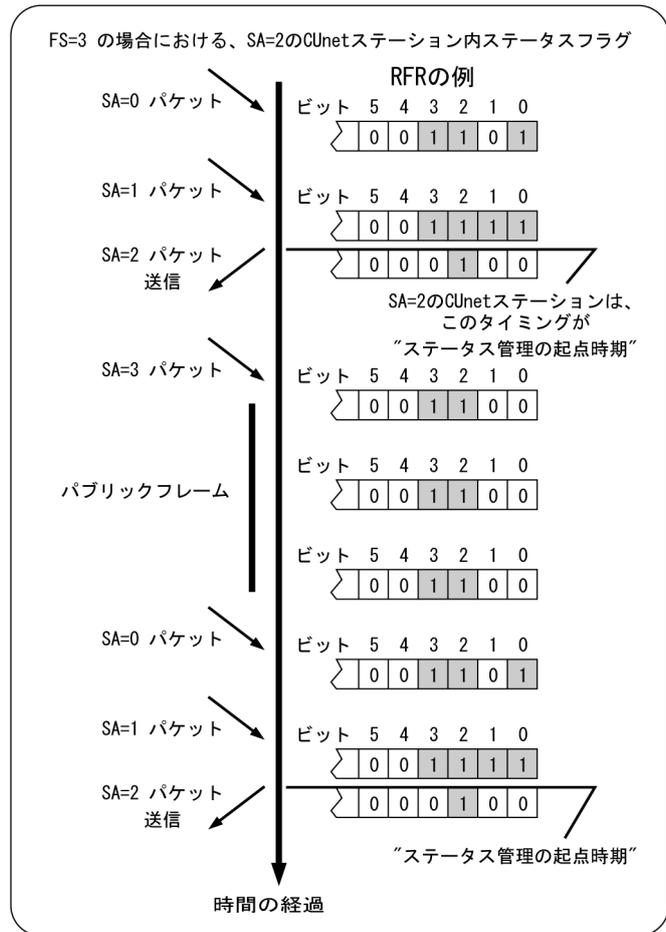


図 5.10 ステータス管理の起点時期

注意事項

“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”に記述されている特殊な場合を除き、RFR および LFR をステータス管理の起点時期の直後にリードした場合、自己ステーションの占有エリア以外のビットからは“0”がリードされます。RFR および LFR のリードは、継続的タイムシェアリングの動作をご理解のうえ、適切な時期に実行してください。

5.2.3.3 LGR (Link Group Register)

LFR (Link Flag Register) のステータスは、継続的に繰り返されるサイクルに応じてダイナミックに遷移します。この遷移は非常に高速です。

例えば転送レート=12Mbps、ファイナルステーション (FS: Final Station) の値が“01H”の場合、フレームタイム (Frame Time) は 25.5 μ s です。したがってステータスも 25.5 μ s 毎に遷移します。ステータスの更新も、1 サイクルタイムの 102 μ s 毎に発生します。

LFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合、ステータスの遷移が非常に高速なためにプログラムが十分に走行できない可能性が生じます。これを解決するため MKY44-SPI は、LFR のステータス監視を容易にするグループ設定の機能を装備しています。

MKY44-SPI は、64 ビット構成の LGR (Link Group Register) を装備しています。

LGR は LFR (Link Flag Register) のステータスを監視します。LGR のビットは LFR のビットに対応します。LGR のビットは、ユーザシステムのプログラムが任意に“1”または“0”をライトできます。

MKY44-SPI は、ステータス管理の起点時期に LFR を一旦“0”へクリアした後、LGR のビットが“1”である対象の LFR ビットを逐次検出し、検出対象の全てのビットが“1”となった場合に“リンク OK”を判定します。

また MKY44-SPI は、サイクルが進行した後の次回のステータス管理の起点時期の直前に、検出対象ビットの何れかが“0”であった場合に“リンク NG (No Good)”を判定します (図 5.11 参照)。

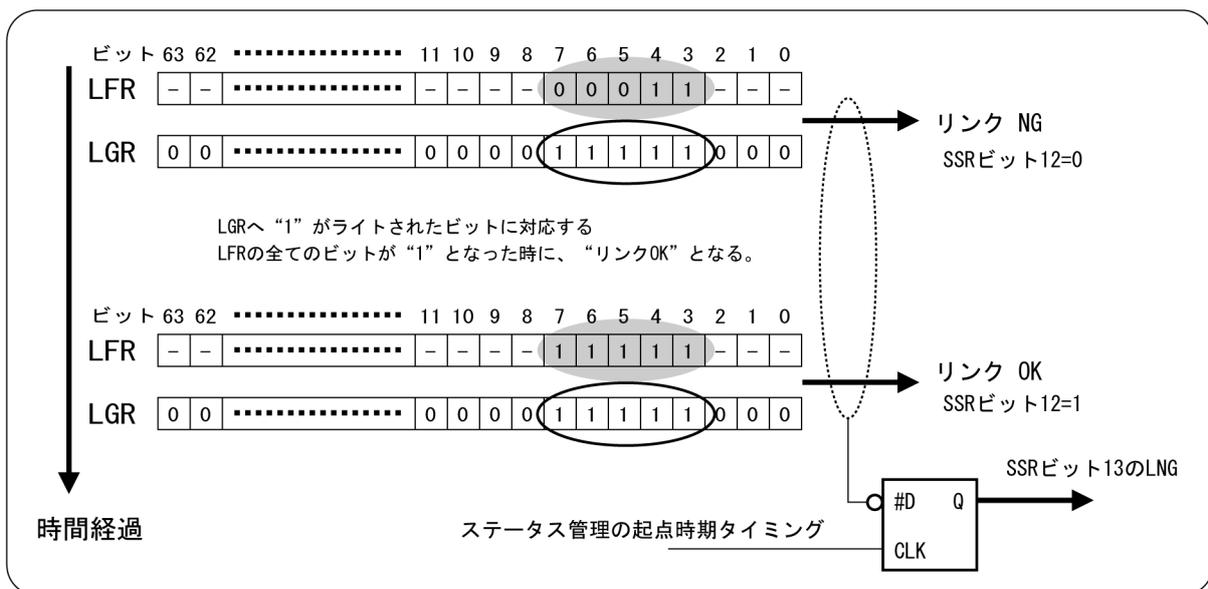


図 5.11 LGR による LFR の監視

この判定結果は、以下の2つの方法によってユーザシステムへ通知されます。

- ① SSR(System Status Register) のビット 13(LNG(Link group No Good)) と、ビット 12(LOK(Link group OK)) に、“1”が真となるフラグビットによって判定結果を示します。
LOK フラグビットは、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”に記述されている特殊な場合を除き、ステータス管理の起点時期に“0”へクリアされます。
LNG フラグビットは、ステータス管理の起点時期に、直前のサイクルにおける結果をサンプルし、このサンプル結果を次の1サイクル維持します (図 5.11 参照)。

- ② MKY43 は、割込みトリガを出力することができます。ユーザシステムのプログラムは、割込みトリガを受け付けることにより“リンク OK”あるいは“リンク NG”の判定を認識することができます。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

以上の記述のように、ユーザシステムのプログラムが、LGR のビットに LFR のステータスを監視する対象ビットを予め設定しておくことにより、LFR のステータスを一括監視することができます。



ユーザシステムのプログラムが、上記の方法によってリンクを監視する場合は、継続的タイムシェアリングの動作をご理解のうえ、適切なタイミングによって SSR (System Status Register) をリードしてください。

5.2.3.4 メンバ

安定した環境による CUnet の稼動においては、CUnet プロトコルに定義される“リンク切れ”、および“5.2.3.3 LGR (Link Group Register)”に記述された管理 (LGR のビットが“1”) を実行している場合の LNG (Link group No Good) は、発生しません。

“リンク切れ”および LNG (Link group No Good) は、“CUnet ステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に発生します。また瞬発的な“リンク切れ”は、CUnet の動作原理である継続的タイムシェアリングによって、次のサイクルによってリカバリされます。

一般的な通信においては、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に、“3回”のリトライ (再送) を実行しても復旧できない場合にエラーとして扱うアルゴリズムが慣例的に用いられます。

MKY44-SPI も、これに準じた管理を簡易に実行できるレジスタと機能を装備しています。それは、64 ビット構成の MFR (Member Flag Register) と MGR (Member Group Register) です。MKY44-SPI においては、この管理形態に用いる概念を“メンバ”と呼びます (図 5.12 参照)。

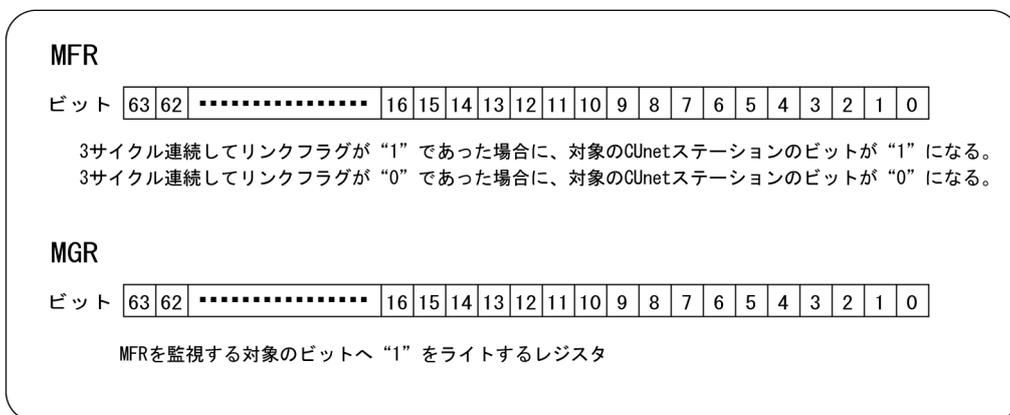


図 5.12 MFR と MGR

5.2.3.5 MFR (Member Flag Register)

MFR (Member Flag Register) は、LFR (Link Flag Register) と同様に、ビット 0 がステーションアドレス (SA) =0 の CUnet ステーションに、ビット 1 が SA=1 の CUnet ステーションに、ビット 63 が SA=63(3FH) の CUnet ステーションに対応します。

MFR のフラグビットも LFR と同様に、ステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、ステータス管理の起点です。

MFR のフラグビットは、ステータス管理の起点時期に 3 回連続した “リンク成立” を認識すると、“1” へ遷移します。その逆に MFR のフラグビットは、MFR が “1” になっている CUnet ステーションにおいて、ステータス管理の起点時期に 3 回連続した “リンク不成立” を認識すると、“0” へ遷移します。このように MFR は、一般的な通信管理に類似した管理機能を装備しています。

ユーザシステムが、“突発的に発生するリンク切れは継続的タイムシェアリングによるサイクルによってリカバリされていれば許容する” 場合に、この MFR をリードすることにより、グローバルメモリのメモリデータ共有のリカバリを含んだ保証状態を認識することができます。また MFR は、“CUnet ステーションの離脱” の管理にも有効です。離脱した CUnet ステーションが生じた場合は、その CUnet ステーションに対応する MFR のビットが “1” から “0” へ遷移します。

5.2.3.6 MGR (Member Group Register)

MFR のステータスは、継続的に繰り返されるサイクルに応じて、ステータス管理の起点時期に更新されます。MKY44-SPI は、MFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合の負担を軽減する機能を装備しています。それは、64 ビット構成の MGR (Member Group Register) です。

MGR は、MFR のステータスを監視します。MGR のビットは、MFR のビットに対応します。MGR のビットへは、ユーザシステムのプログラムが任意に “1” または “0” をライトできます。

MKY44-SPI は、“1 回” のサイクル毎にステータス管理の起点時期の直前に、MGR のビットが “1” である対象の MFR ビットを一括検出し、以下の 2 つを判定します (図 5.13 参照)。

- ① MGR と MFR は一致していない (MGR ≠ MFR)。
- ② MGR 内における “1” のビットに対応する MFR 内のビットに “0” がある (MGR > MFR)。この判定結果は、以下の 2 つの方法によってユーザシステムに通知されます。
 - (1) SSR (System Status Register) のビット 4 (MGNE : Member group Not Equal) と、ビット 5 (MGNC : Member group Not Collect) に、“1” が真となる判定結果を示します。MGNE と MGNC のフラグビットは、ステータス管理の起点時期に更新されます。
 - (2) MKY44-SPI は、割込みトリガを出力することができます。MKY44-SPI は、所定の割込みを設定すると、上記 (1) の SSR のビット 4 (MGNE) もしくはビット 5 (MGNC) が新たに “0” から “1” へ遷移した時に、割込みトリガを出力します。この割込みの設定については、“5.5 割込みトリガ発生機能” を参照してください。



注意事項

MKY44-SPI においては、上記機能は MGR の全てのビットが “0” である時には機能しません。

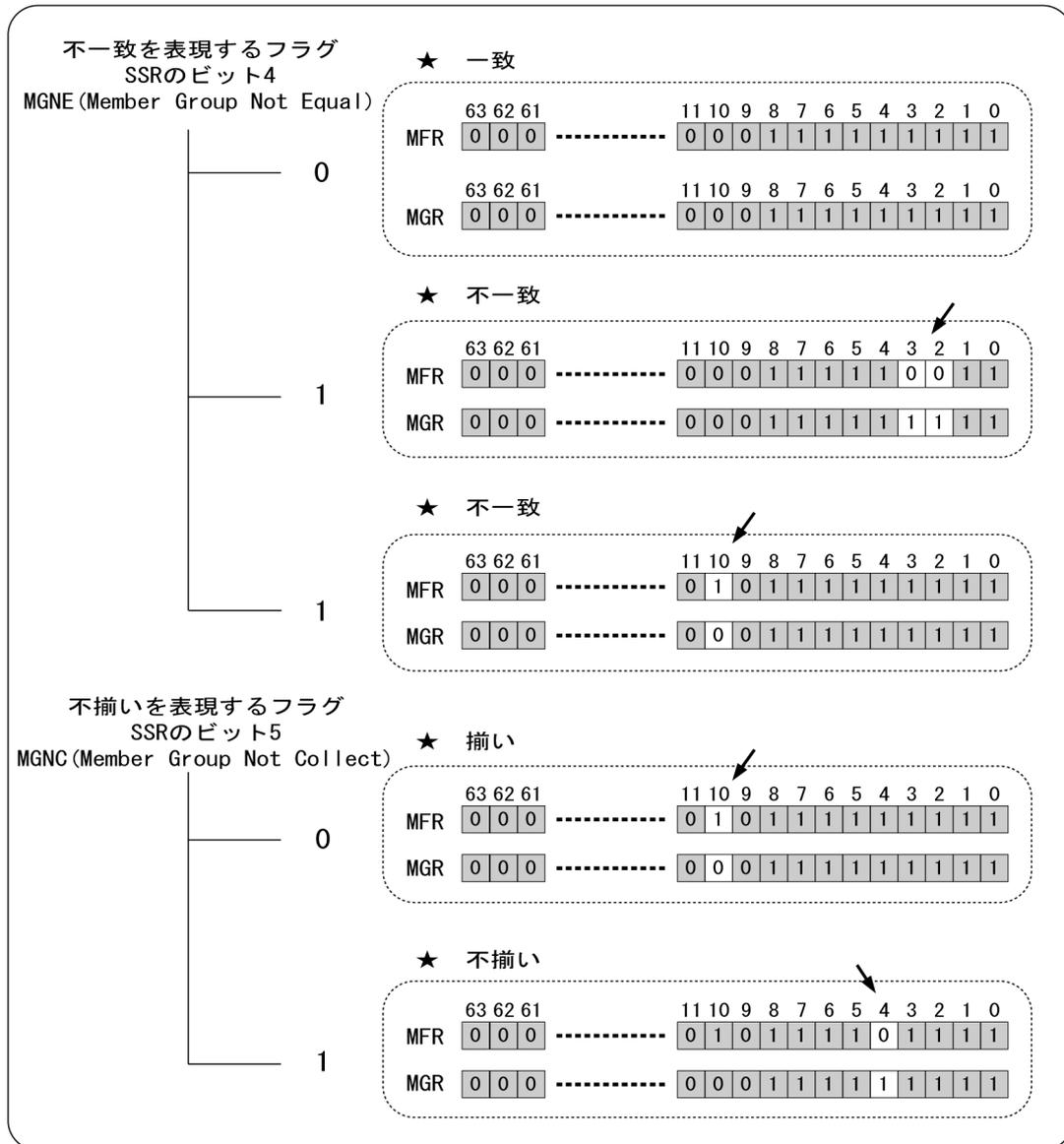


図 5.13 MGR による MFR の監視と SSR のビット状態

上記のように、MFR のステータスを監視する対象の MGR のビットを、ユーザシステムのプログラムが予め“1”にしておくことにより、MFR のステータスを一括監視することができます。

例えばユーザシステムにおいて CUnet ステーションの欠如を監視したい時に、ユーザシステムのプログラム走行中の適切な時期に、定期的に SSR (System Status Register) をリードしてください。

SSR のビット 4 (MGNE : Member group Not Equal) が“0”であれば、MGR へ事前に“1”をライトしたビットに対応する CUnet ステーションは、メンバから離脱していません。また MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外は、メンバとして存在していません。MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外の存在も許容する場合は、SSR のビット 5 (MGNC : Member Group Not Collect) が“0”であることを確認してください。

さらに、(2) に記述された“割込みトリガによる割込みを受けつける”方法によって上記を監視する場合は、ユーザシステムのプログラムによる定期的な SSR (System Status Register) のリードは不要です。

5.2.3.7 メンバの増加と減少検出

MKY44-SPI は、MGR (Member Group Register) のビット状態に関わらず、MFR (Member Flag Register) のビットの遷移を検出する機能も装備しています。それは、SSR (System Status Register) のビット 14 (NM : New Member) とビット 15 (MC : Member Care) です。

NM (New Member) は、MFR のビットが“0”から“1”へ遷移した時 (メンバ増加)、MC (Member Care) は、MFR のビットが“1”から“0”へ遷移した時 (メンバ減少)、判定結果 (“1”が真) をフラグビットによって示します。SSR の NM と MC のビットは、ステータス管理の起点時期に更新されます。この判定結果は、割込みトリガを出力させることもできます。詳細については、“**5.5 割込みトリガ発生機能**”を参照してください。

SSR の NM (New Member) および MC (Member Care) を管理することにより、ユーザシステムのプログラムは、“**5.2.3.6 MGR (Member Group Register)**”に記述された MGR を利用しなくても、メンバを管理することができます。

5.2.4 グローバルメモリのデータ遷移検出機能

MKY44-SPIは、他のCUnetステーションのデータ更新により生じるグローバルメモリのデータ遷移を検出する機能を搭載しています。この機能によって、通常はグローバルメモリをリードせず、データ遷移を検出した時にだけグローバルメモリをリードするといったアルゴリズムによって、ユーザシステムを構築することも可能です。本節は、グローバルメモリのデータ遷移を検出する機能とその利用について記述します。

5.2.4.1 データ遷移検出対象を設定する DRCR

グローバルメモリのデータ遷移を検出するためには、DRCR (Data Renewal Check Register) を操作します。

64ビット構成のDRCR(Data Renewal Check Register)の各ビットは、グローバルメモリを構成しているメモリブロックに対応しています。DRCRのビット0はメモリブロック0に、ビット7はメモリブロック7に、ビット63はメモリブロック63(3FH)にそれぞれ対応します。

DRCRのビットへ予め“1”をライトしておくことにより、対応するメモリブロックのデータ遷移に対して以下の検出結果を得ることができます。

- ① SSR (System Status Register) のビット11 (DR : Data Renewal) フラグビットが“1”へ遷移します。ユーザシステムのプログラムは、SSRのDRフラグビットを監視することにより、グローバルメモリのデータ遷移を認識することができます。
- ② 割込みトリガを出力することができます。ユーザシステムのプログラムは、割込みトリガを受け付けることにより、グローバルメモリのデータ遷移を認識することができます。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

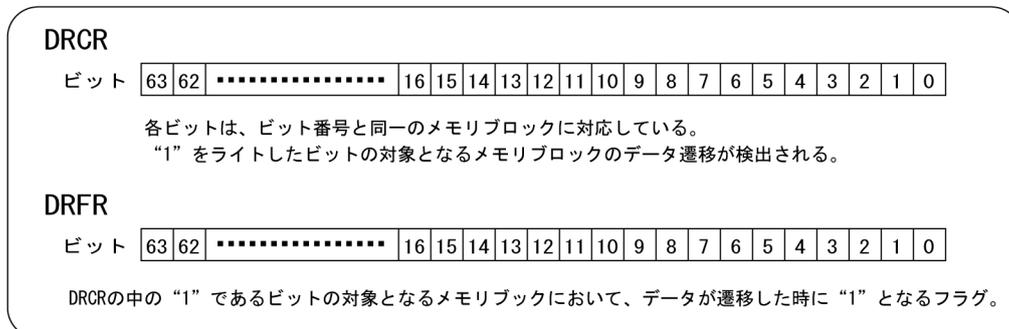


図 5.14 DRCR と DRFR

DRCRの複数のビットへ“1”をライトしておいた場合においても、対応する1つ以上のメモリブロックのデータが遷移した時に、検出結果を得ることができます。この場合にどのメモリブロックのデータが遷移したのかを示すフラグビットもMKY44-SPIに搭載されています。それは、64ビット構成のDRFR (Data Renewal Flag Register) です。DRFRのビット配列も、DRCRと同様にメモリブロックに対応しています(図5.14参照)。DRFRのビットの内、データが遷移したメモリブロックに対応するビットが“1”に設定されます。ユーザシステムのプログラムは、DRFRのフラグビットを認識することにより、データが遷移したメモリブロックを認識することができます。



注意事項

SSRのビット11(DR)およびDRFRは、DRCRに“1”が設定されている場合に限り機能します。自己ステーションが占有しているメモリブロックに対しては(対象のDRCRに“1”が設定されていても)、データ遷移を検出する機能は働きません。

5.2.4.2 DR フラグビットおよび DRFR ビットが“0”から“1”へ遷移するタイミング

SSR (System Status Register) のビット 11 (DR:Data Renewal) および DRFR (Data Renewal Flag Register) の各ビットが“0”から“1”へ遷移するタイミングは、他の CUnet ステーションからのパケットを受信しメモリデータ共有動作に基づくデータ複写 (Copy) のためにグローバルメモリ内のデータが以前と異なる新たなデータに更新された時です (図 5.15 参照)。

5.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング

SSR のビット 11 (DR) および DRFR の各ビットが“1”から“0”へ遷移するタイミングは、MKY44-SPI 利用の環境によって以下の 3 つのいずれかです (図 5.15 参照)。

- ① ITOCR のビット 8 ~ 14 ヘライトされている時刻 (INT1CR の DR ビットが“1”の場合は、IT1CR のビット 8 ~ 14 ヘライトされている時刻) の先頭時期です。“5.5.4 割込みトリガ発生時期指定の注意”および“5.5.5 DR (Data Renewal) 割込みトリガ利用上の注意”に記述されているデータリニューアル割込みの発生タイミングも参照してください。
- ② ただし、“5.5 割込みトリガ発生機能”に記述されているデータリニューアル割込みトリガがアクティブとなった場合は即座に“0”へ遷移せず、一旦フリーズ (その時の状態が継続) します。その後ユーザのレジスタ操作によってデータリニューアル割込みトリガの発生を解除した時点において、その時点の状況が DRFR へ反映されます。詳細については“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。
- ③ “5.4.8 GMM (Global Memory Monitor) 機能”に記述されている SCR (System Control Register) のビット 15 (GMM) が“1”である時は、“1”から“0”へ遷移するタイミングはサイクルの先頭 (ステーションタイム= 0) です。これは、GMM として利用している MKY44-SPI に自己ステーションの時刻が存在しないことに起因します。

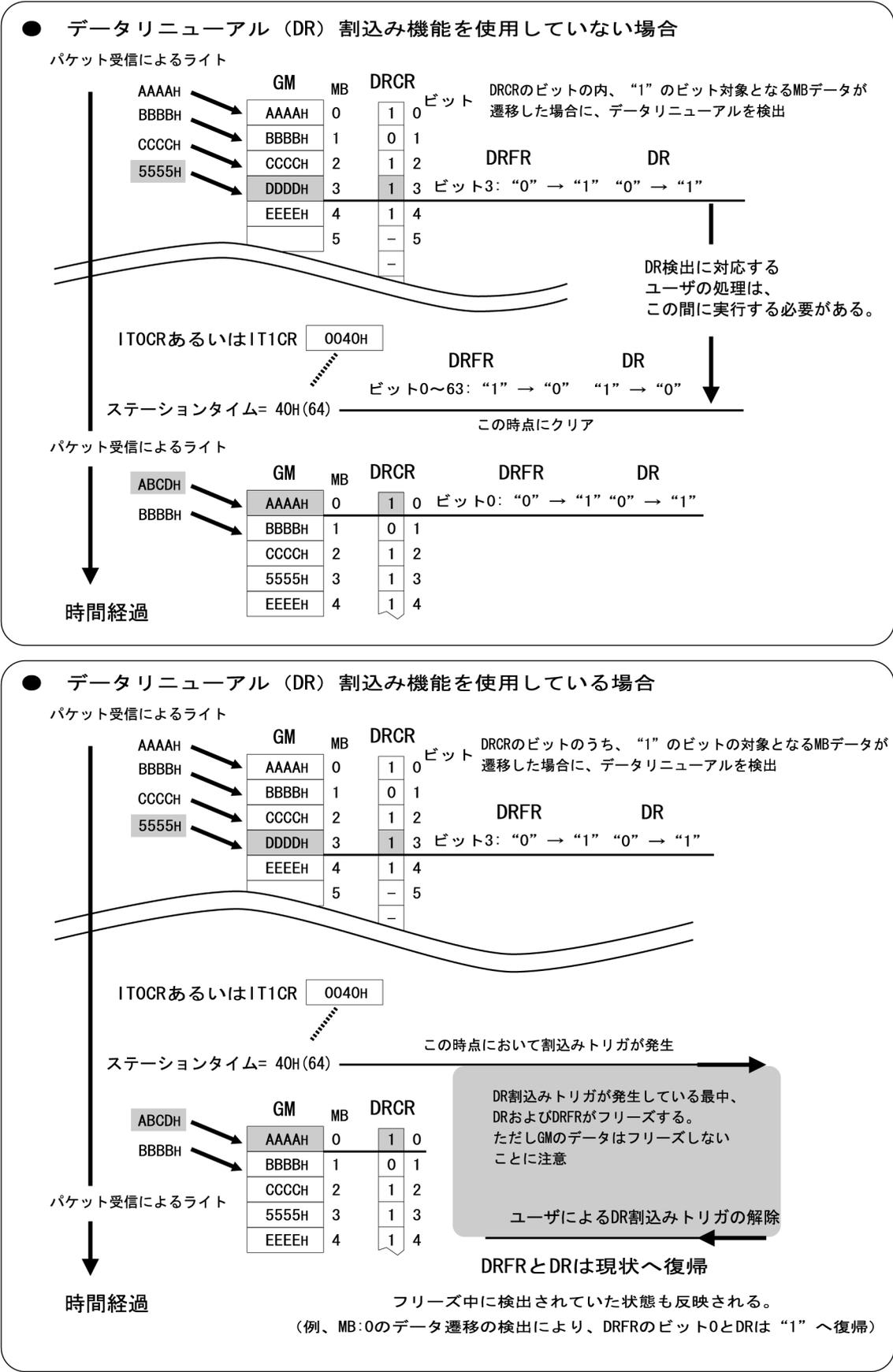


図 5.15 時間経過に対するデータリニューアル検出の概要

5.2.4.4 データ遷移検出機能利用上の注意

CUnet における 1 サイクルタイムは短時間なため、データリニューアルを検出した後のユーザによる処理は、即座に実行してください。データリニューアルを検出した後のユーザによる処理が、次のサイクルによる対象のメモリブロックへのパケット受信までに間に合わなかった場合、次のデータ遷移を検出できない、あるいは検出されてもユーザシステムが反応できない場合が生じます。

データリニューアル（DR）割込みトリガ発生機能を利用する場合にも、上記の事項が問題とならないように、ユーザシステムによる処理を実行してください。また、DR 割込みトリガの発生タイミング（ITOCR ビット 8～14 へ設定する値）を、上記の事項が問題とならないタイミングとなるように（例えばパブリックフレームの先頭時期や、自己ステーションの先頭時期など）設定してください。

5.3 メール送受信機能の利用

本節は、MKY44-SPI のメール送受信機能の利用について記述します。

CUnet プロトコルにおいては、CUnet 専用 IC がメール送受信の全プロトコルを保有することが義務付けられています。CUnet プロトコルによるメール送受信は、ランフェーズにある I/O ステーション以外の CUnet 専用 IC 同士において機能します。

これに基づき MKY44-SPI によるメール送受信は、受信側にエラーが存在せず、送信側にのみエラーが存在します。このことからユーザシステムのプログラムは、メール送受信機能を以下の基本的な操作と処理によって利用できます。

- ① メール受信許可の操作
- ② メール受信時の操作
- ③ メール送信および送信終了後の操作
- ④ メール送信エラーに対する操作

MKY44-SPI は、上記の基本的なメール送受信の操作を補助するレジスタや付帯機能も搭載しています。

5.3.1 メール受信許可の操作

MKY44-SPIは、“5.1.1 メモリマップ”に示される、MRB0 (Mail Receive Buffer 0) とMRB1 (Mail Receive Buffer 1) の2つのメール受信バッファを保有しています。MRB0およびMRB1は、それぞれ256バイトです(図5.16参照)。

MRB0の受信は、MROCR (Mail Receive 0 Control Register) によって許可されます。MRB1の受信は、MR1CR (Mail Receive 1 Control Register) によって許可されます(図5.17参照)。

ユーザシステムのプログラムがMROCRのビット6 (RDY: ReaDY) へ“1”をライトすることにより、MRB0へのメール受信が許可されます。

RDY (ReaDY)は、メールを受信すると“0”へ戻ります。MROCRのビット6 (RDY) へ“1”をライトした時には、受信完了を示すビット7のRCV (ReCeIved) フラグは“0”へ遷移します。

MROCRのRDYが“1”の時に、本ビットへ“0”をライトすることにより、メール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの“0”のライトは無視され、“禁止”を設定することはできません。

MRB0は、MROCRのRDYビットもしくはRCVビットが“1”の時にライトプロテクトされます。

さらにMROCRのRDYビットが“1”の時にMRB0をリードすると、データは常に“OOH”です。

ユーザシステムのプログラムが、MR1CRのビット6 (RDY: ReaDY) へ“1”をライトすることにより、MRB1へのメール受信が許可されます。RDY (ReaDY)は、メールを受信すると“0”へ戻ります。MR1CRのビット6

(RDY) “1”をライトした時に、受信完了を示すMR1CRのビット7のRCV (ReCeIved) フラグは“0”へ遷移します。MR1CRのRDYビットが“1”の時に、“0”をライトすることによりメール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの“0”のライトは無視され、“禁止”を設定することはできません。MRB1は、MR1CRのRDYビットもしくはRCVビットが“1”の時にライトプロテクトされます。さらにMR1CRのRDYビットが“1”の時にMRB1をリードすると、データは常に“OOH”です。

メールによって受信したデータセットは、RDYビットが“1”のバッファへ格納されます。MROCRとMR1CRの両方のRDYビットが“1”の時は、受信したデータセットはMRB0へ格納されます。

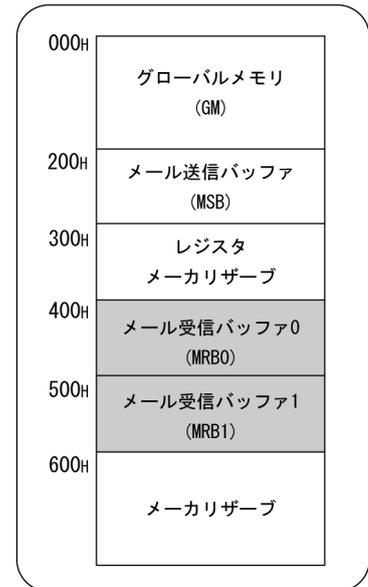


図 5.16 メール受信バッファ

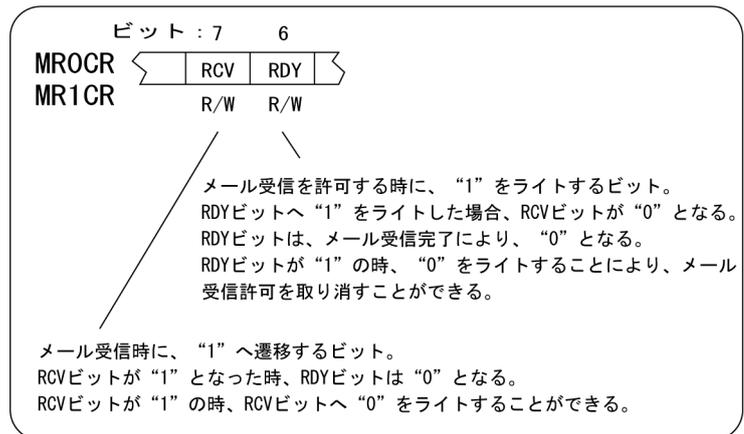


図 5.17 メール受信許可

5.3.2 メール受信時の操作

他の CUnet ステーションからメールによって受信したデータセットを MRBO へ格納した時、MKY44-SPI は以下のよう動作します（図 5.18 参照）。

- ① MROCR のビット 7 (RCV : ReCeIved) を、“1”へ遷移させます。
- ② MROCR のビット 6 (RDY : ReaDY) を、“0”へ遷移させます。
- ③ MROCR のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。
データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MROCR のビット 8 ~ 13 (SRC : SouRCe0 ~ 5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MROCR から送信元の SA およびデータセットのサイズを参照し、かつ、MRBO の先頭からデータセットをリードしなければなりません。なお MROCR のビット 7 (RCV) へは、“0”をライトすることができます。

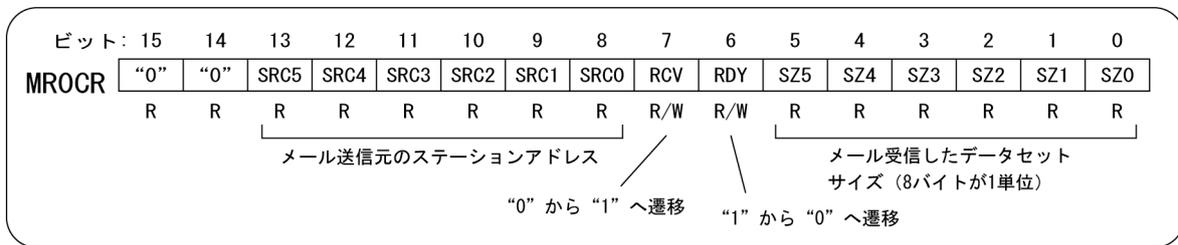


図 5.18 MRBO へデータセットを格納した時の MROCR

他の CUnet ステーションからメールによって受信したデータセットを MRB1 へ格納した時、MKY44-SPI は以下のよう動作します（図 5.19 参照）。

- ① MR1CR のビット 7 (RCV : ReCeIved) を、“1”へ遷移させます。
- ② MR1CR のビット 6 (RDY : ReaDY) を、“0”へ遷移させます。
- ③ MR1CR のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。
データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MR1CR のビット 8 ~ 13 (SRC : SouRCe0 ~ 5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MR1CR から送信元の SA およびデータセットのサイズを参照し、かつ、MRB1 の先頭からデータセットをリードしなければなりません。なお MR1CR のビット 7 (RCV) へは、“0”をライトすることができます。

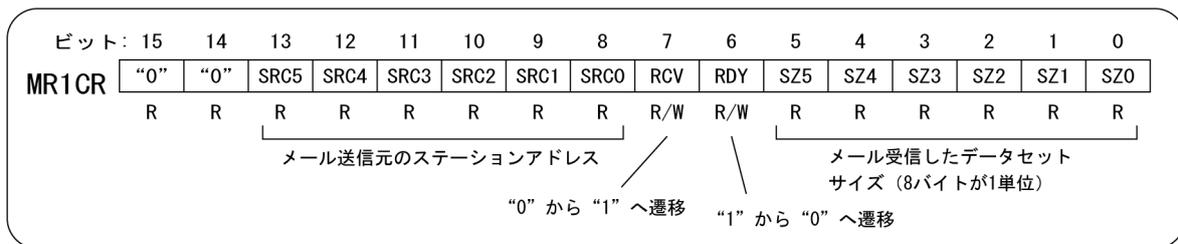


図 5.19 MRB1 へデータセットを格納した時の MR1CR

ユーザシステムがMRB0に対してメール受信後の処理を実行していても、MKY44-SPIはMRB1ヘデータセットを格納することが可能です。同様に、ユーザシステムがMRB1に対してメール受信後の処理を実行していても、MRB0ヘデータセットを格納することが可能です。

MROCRあるいはMR1CRのRCVが“1”の時、SSR (System Status Register) のビット6 (MR: Mail Received) も“1”となります (SSRのMRは、“MROCRのRCV”と“MR1CRのRCV”の論理和が示されるフラグビットです)。
ユーザシステムのプログラムは、“MROCRとMR1CR”のRCVを個別に認識せずとも) SSRのMRを認識することにより、メール受信を認識することが可能です。

MRB0またはMRB1ヘデータセットを格納した時に、割込みトリガを出力させる機能の詳細については、“5.5 割込みトリガ発生機能”を参照してください。

**注意事項**

- ① MKY44-SPIにおいては、MROCRのRCVもしくはRDYビットヘデータをライトすると、MROCRに格納されていたビット0～5 (SiZe: SZ0～5) およびビット8～13 (SRC: SouRCe0～5) の値が、“OOH”ヘクリアされます。MR1CRについても同様です。
- ② MKY44-SPIのMROCRのRDYビットは、SCRのSTARTビットが“1”の時に操作できます。
MKY44-SPIにおいては、MROCRのRDYビットが“1”の時にSCRのSTARTビットが“0”へ遷移すると、MROCRのRDYビットも“0”へ遷移します。MR1CRのRDYビットも同様です。

5.3.3 メール送信の操作、送信終了後の操作

MKY44-SPI は、MSB (Mail Send Buffer) にライトしたデータセットを、特定の1つのステーションアドレスへメールによって送信できます。その手順を以下に示します。

- ① MSCR (Mail Send Control Register) のビット 14 (SEND) が “0” である時に、送信するデータセットを、MSB の先頭アドレスから順にライトします (図 5.20 参照)。
- ② MSCR のビット 15 (ERR:ERRor) が “0” であることを確認してください。ERR フラグビットが “0” でなかった場合は前回のエラーが残っているため、“5.3.4 メール送信エラーに対する操作” を参照して、ERR フラグビットを “0” にしてください。ERR フラグビットが “1” である場合は、下記④に記述された SEND ビットへの “1” のライトも無視されます (図 5.21 参照)。
- ③ メール送信のタイムアウトを設定する場合は、MSLR (Mail Send Limit timeRegister) のビット 0 ~ 12 (LiMit Time: LMT0 ~ 12) へ、サイクルタイムを 1 単位とするユーザアプリケーションによって定めるタイムアウト値 (16 進数: “0004H ~ 1FFFH”) をライトします。

MSLR の初期値が、ハードウェアリセットによって “1FFFH” にセットされているため、ユーザアプリケーションがタイムアウト値を定めない場合は、タイムアウト値をライトする必要はありません。MSLR へライトしたデータはハードウェアリセットがアクティブになるまで維持されるため、メール送信の都度設定する必要はありません。

- ④ MSCR のビット 0 ~ 5 (SiZe: SZ0 ~ 5) へは送信するデータセットのサイズ (16 進数) を、ビット 8 ~ 13 (DeStination: DST0 ~ 5) へは送信する先のステーションアドレス (SA) (16 進数) を、ビット 14 の SEND へは “1” をライトしてください。データセットのサイズは、8 バイトを 1 単位とした値です。例えば、データセットが 34 バイトである場合のサイズは “05H” です。データセットが最大の 256 バイトである場合のサイズは “20H” です。

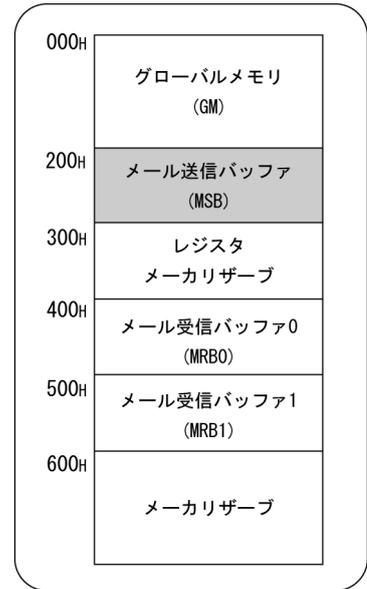


図 5.20 メール送信バッファ

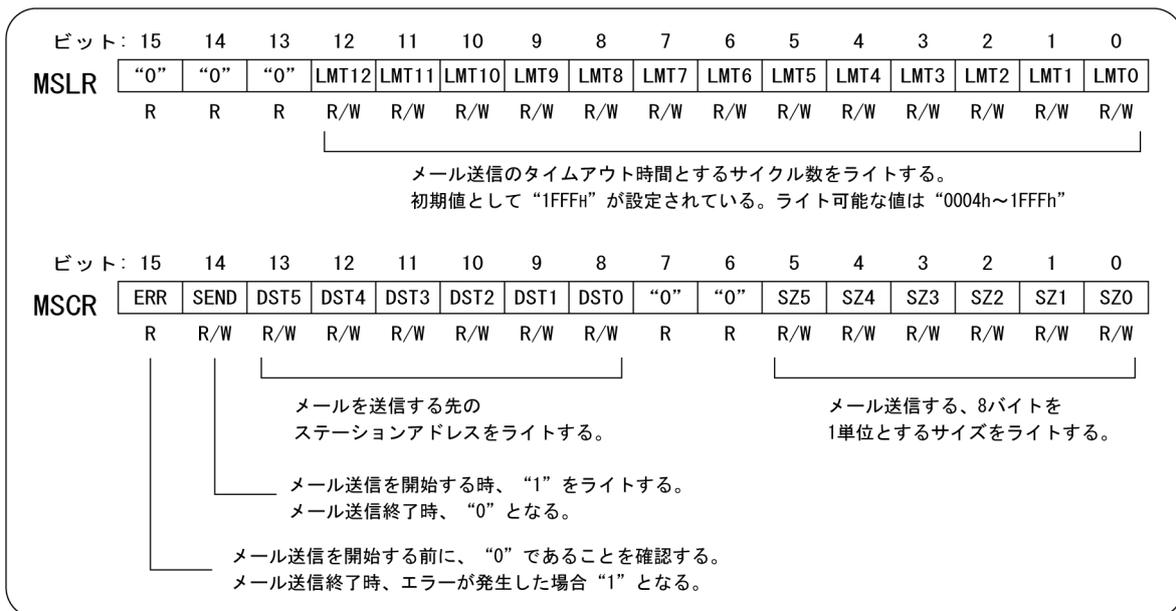


図 5.21 MSLR と MSCR の操作

- ⑤ MKY44-SPIは、MSCRのビット14 (SEND) へ“1”がライトされた直後から、メール送信を開始します。MSB (Mail Send Buffer) は、メール送信中ライトプロテクトされます。またメール送信中に MSB をリードすると、データは“00H”に強制されます。
- ⑥ メール送信が終了すると、MSCRのビット14 (SEND) が“0”へ戻ります。このビットの遷移により、メール送信の終了を認識できます。

MKY44-SPIは、メール送信の終了によって割込みトリガを出力することもできます。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

- ⑦ メール送信終了後は、MSCRのビット15 (ERR:ERRor)を確認してください。ERRフラグビットが“0”の場合、メール送信が正常に終了しています。この場合、MKY44-SPIは送信先ステーションのメール受信バッファヘデータセットを確実に送信できたことを保証します。ERRフラグビットが“1”の場合、“5.3.4 メール送信エラーに対する操作”を参照し、ユーザシステムのプログラムによって、適切に処置してください。

ユーザシステムのプログラムがメール送信の所要時間(送信開始から終了までに要した時間)を参照したい場合は、MSRR (Mail Send Result Register) をリードしてください。MKY44-SPIは、メール送信開始から終了までに要したサイクル数を、メール送信終了時点でMSRRへ格納します。MSRRは次のメール送信が完了するまで、あるいはハードウェアリセットがアクティブになるまでこの値を維持します(図5.22参照)。



図 5.22 MSRR



注意事項

MSCRは自身のビット15 (ERR:ERRor)が“1”である時とSCRのビット9 (RUN)が“0”である時には、ライトプロテクトされています。

5.3.4 メール送信エラーに対する操作

メール送信は、MKY44-SPIに搭載されているCUNetプロトコルによって厳格に送受信手順と品質が管理されています。このため、受信側にはエラーは存在しません。メール送信エラーは、送信側のみ存在します。メール送信に関するエラーとしては、以下の種別があります。

- ① NORDY (destination NOt ReaDY) : 送信先 CUNet ステーションのメール受信バッファが RDY でないため、メールを送信できなかった。
- ② NOEX (destination NOt EXist) : 送信先 CUNet ステーションがネットワークへ接続されていないか、RUN フェーズ以外の状態であるため、メールを送信できなかった。
- ③ TOUT (limit Time OUT) : MSLR (Mail Send Limit time Register) に設定されていたサイクルタイム間に、メールの送信を完了できなかった。
- ④ SZFLT (SiZe FauLT) : MSCR (Mail Send Control Register) のビット 0 ~ 5 (SiZe : SZO ~ 5) へ設定された送信するデータセットのサイズ (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑤ LMFLT (LiMit time FauLT) : MSLR (Mail Send Limit time Register) のビット 0 ~ 12 (Limit Time : LTO ~ 12) へ設定された値 (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑥ STOP (communication STOPped) : メール送信中に自己ステーションが RUN フェーズ以外へ遷移し、メール送信を中断した。

MKY44-SPIは、メール送信が正常に終了できなかった場合、MESR(Mail Error Status Register)へ、エラー発生種別を“1”とするステータスを格納します (図 5.23 参照)。

MESR のビット 0 ~ 5 のいずれかが“1”である時、MSCR (Mail Send Control Register) のビット 15 (ERR : ERRor) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“1”に設定されます。

メール送信が正常に終了できなかった場合、ユーザシステムのプログラムは MESR を参照し、エラー発生種別に応じて適切に処置してください。MESR は、MESR ビット 0 ~ 5 が存在するアドレスへ何らかのデータをライトすることにより、全て“0”へクリアできます。MESR のクリアに伴い MSCR (Mail Send Control Register) のビット 15 (ERR : ERRor) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“0”へ戻ります。

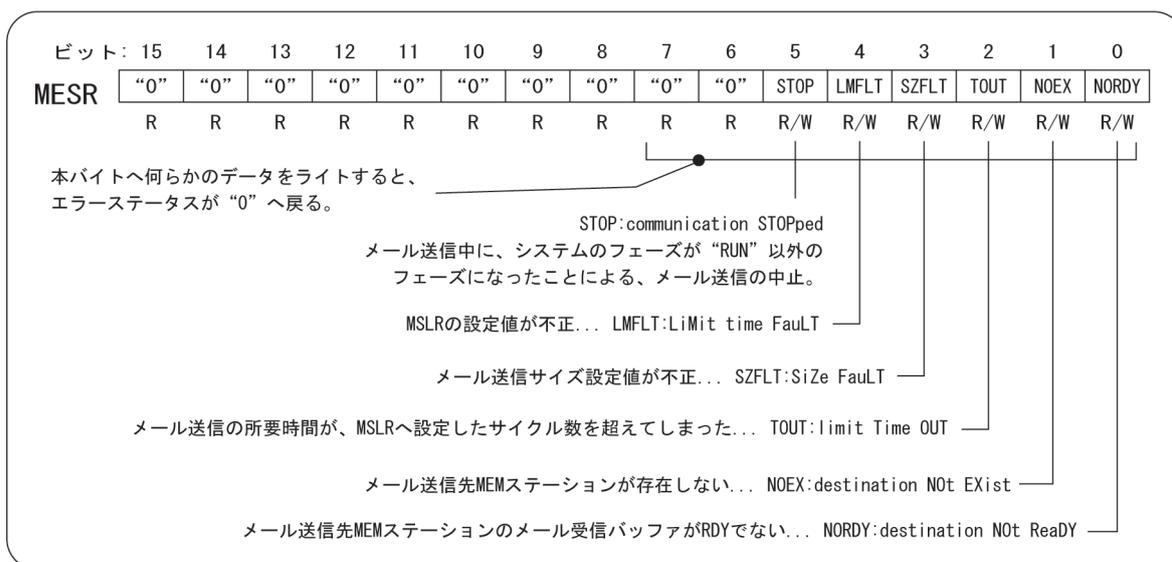


図 5.23 MESR

5.3.5 メール送受信の品質保証

ノイズの侵入や何らかの環境悪化の影響を受けてメールによるパケット送信に支障をきたした場合、CUNet プロトコルを搭載した MKY44-SPI は、再送（リトライ）によってリカバリします。再送は 3 回まで実行します。

3 回の再送を実行してもメールによってパケットを送信できない場合は、NOEX (destination NOt EXist) エラーによって終了します。これにより“送信したメールが行方不明になる(消失する)”,あるいは“データセットの途中欠如やデータセットそのものが消失する”などは発生しません。

メールによって送受信されるデータセットの品質は、メモリデータを共有するパケットと同質に保証されています。これにより一般的に発生しがちなデータ化け現象は、起こりえないシステムになっています。



参考

CUNet プロトコルにおいては、メール送信時にリトライ（再送）が生じた場合であっても、メモリデータの共有動作に一切影響を与えません。

5.3.6 メール送受信における付帯機能

CUNet においては、同時に 2 つの CUNet ステーションがメールを送受信できます。

例えば、SA=1 の MEM ステーションから SA=2 の MEM ステーションへのメールと、SA=3 の MEM ステーションから SA=4 の MEM ステーションへのメールは同時に送受信できます。ただし、SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメール送信が開始された直後に SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメール送信が開始された場合、宛先がメール送受信中のため、先に開始した SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメールが送信されている最中、遅れて開始された SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメールの送信は待たされます。

CUNet においては、複数のメール送信が同時に開始された時の優先権管理機能も保有しています。

CUNet においては、同時に 3 つ以上のメール送信が開始された場合、前方（小さな値）のステーションアドレス (SA) からのメール送信が優先されます。この優先権はローテーションされるため、ステーションアドレス (SA) が前方（小さな値）の CUNet ステーションが間断なくメールを送信した場合も、後方（大きな値）のステーションアドレス (SA) が設定されている MKY44-SPI のメール送信が限りなく待たされるということは発生しません。

5.3.7 メール送受信時間の予測

MKY44-SPI におけるメール送受信の所要時間を予測したい場合は、式 5.3 によって算出できます。但し、2 つ以上の CUNet ステーションが同時期に同一のステーションへメールを送信した場合に発生する待ち時間、およびパケット伝達に支障をきたした場合の再送（リトライ）時間は含まれません。したがって、式 5.3 によって算出できる時間は、ユーザシステムを構想する時点の目安としてご利用ください。

$$\text{式 5.3} \quad \left(\left(\frac{\text{データセットのバイト数} + 7}{8} \right) + 3 \right) \times \text{サイクルタイム} \quad [\text{秒}]$$

下線の部分解は、小数点以下を切捨てした整数です。



参考

例として、転送レートが 12Mbps の 4 つの CUNet ステーションによって稼動するシステム (FS=3) において、250 バイトのメールを送受信する目安の所要時間は、 $\left(\left(\frac{250 + 7}{8} \right) + 3 \right) \times 155\mu\text{s} = 35 \times 155\mu\text{s} = 5.43\text{ms}$ です。

5.3.8 メール送受信時における注意点

ユーザシステムが MKY44-SPI のメール送受信機能を利用する時、以下の点に注意してください。

- ① メールを送信できる宛先は、MEM ステーションに限られます。IO ステーションのアドレスや OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定することはできません。
誤って IO ステーションのアドレスをメールの宛先に指定したメール送信は、NORDY (destination NOt ReaDY) エラーによって終了します。
誤って OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定したメール送信は、NOEX (destination NOt EXist) エラーによって終了します。
- ② 一斉同報 (一般的な RS-232C に用いられる “垂れ流し” と俗称される手法や、LAN 通信における “ブロードキャスト” と称される手法) のメール送信はできません。
- ③ メールの送信および受信のサイズは、8 バイト単位です。



MKY44-SPI は、完全なプロトコルによって、送信の成否が管理されている他にデータの品質も保証しています。このため、MKY44-SPI のプロトコルが保証できないメール送受信方式 (一斉同報) を利用することはできません。

5.4 CUnet システムの詳細な操作や管理

ユーザシステムのプログラムは、MKY44-SPI を操作することによって、以下に示すように CUnet を詳細に操作や管理することができます。

- ① ネットワーク起動前のモニタリング
- ② サイクルタイムの変更 (リサイズ)
- ③ ブレークフェーズの CUnet ステーションの検出と対処
- ④ ジャママー検出と対処
- ⑤ ネットワークの品質管理と表示
- ⑥ PING 命令
- ⑦ 各ステーションのモードを検出する機能
- ⑧ GMM (Global Memory Monitor) 機能
- ⑨ フレームオプション [HUB 対応]

5.4.1 ネットワーク起動前のモニタリング

MKY44-SPI は、ネットワーク起動前（SCR の START ビットが“0”の時）であっても、他の CUnet ステーションからのパケットを受信します。この受信したパケットによって、グローバルメモリのデータ更新やメール受信は実行されませんが、RFR（Receive Flag Register）や FSR（Final Station Register）の更新、および継続的タイムシェアリングにおける他の CUnet ステーションとの同期や校正が実行されます。

これにより、ユーザシステムのプログラムは以下のようなネットワーク起動前のモニタリングを実施することができます。

- ① ネットワーク上にリサイズされたサイクルが稼動していることを認識することができます。
FSR のビット 0～5（FS0～5）に格納されている値が、初期値の 63（3FH）以外の値である場合、リサイズされたサイクルが稼動しています。また FSR の値が自己ステーションの占有エリアよりも小さかった場合、自己ステーションのネットワークを起動した後にブレイクフェーズになることも予知できます。
- ② SCR（System Control Register）のビット 0～6（ST0～6）をリードすることにより、継続的タイムシェアリングの稼動タイミングであるステーションタイム（ST）を認識することができます。
- ③ ステーションタイム（ST）が FSR（Final Station Register）に格納されている値を超えているタイミングの時（パブリックフレームの時期）、RFR（Receive Flag Register）をリードすることにより、自己ステーションの占有エリア以外のビットに“1”のビットが存在すれば、そのビットに対応するステーションアドレスを持つ CUnet ステーションがネットワーク上に稼動していることを認識することができます。



注意事項

他の CUnet ステーションが全く稼動していない状態の時は、上記②において取得できるステーションタイム（ST）は、フリーランの状態であって、他の CUnet ステーションと同期していません。



参考

上記②において取得できるステーションタイム（ST）は、ネットワーク起動後もネットワーク起動前と同様にタイミングの認識に利用できます。

5.4.2 サイクルタイムの変更（リサイズ）

MKY44-SPIは、CUnet プロトコルの“実用性の向上”に規定されるリサイズが可能です。

CUnet プロトコルを搭載したMKY44-SPIによって構築されるCUnetにおいては、ファイナルステーション（FS）の初期値は63（3FH）です。リサイズは、ユーザシステムにおいて64個のフレームを必要としない場合に利用価値があります。

例えばSA=0とSA=1の2つのCUnetステーションしか使用しないユーザシステムの場合、サイクルを構成するSA=2～63のステーションタイム（ST）の間、大きなネットワーク未使用時間が生じます。

そこでファイナルステーション（FS）の値を“1”に変更すれば、最も効率の良いサイクルによる利用が可能となります。

例えば、12Mbps運用の場合、メモリデータ共有の応答速度は、2.365msから102 μ sへと高速になります（**図5.24**参照）。

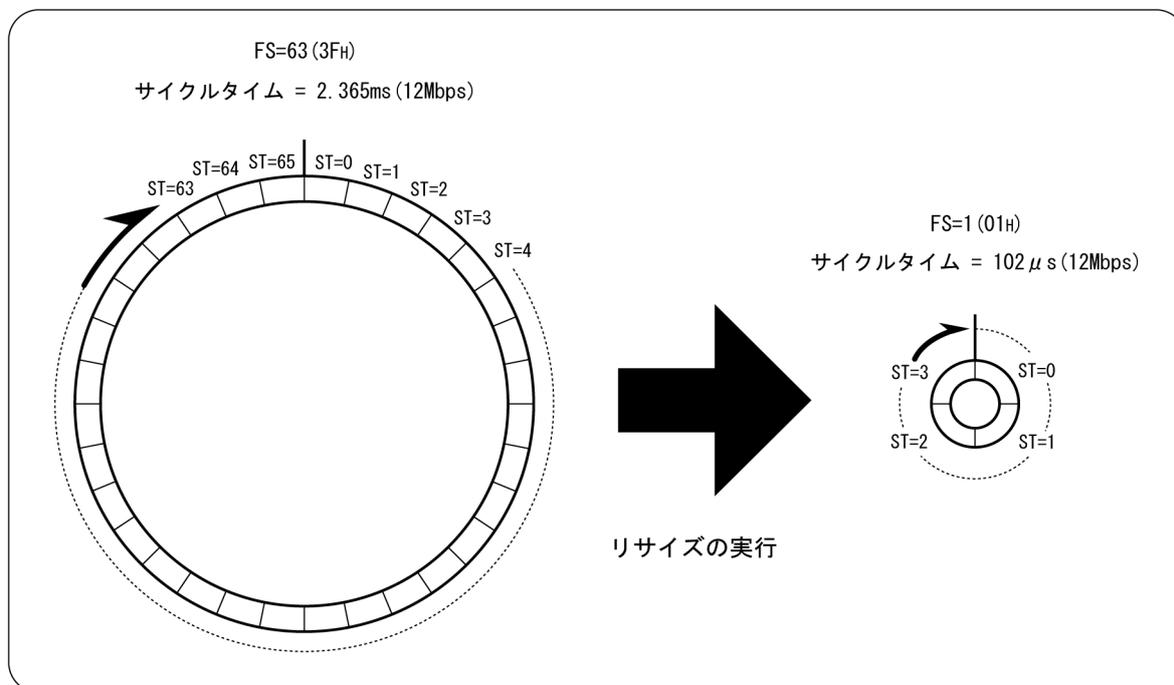


図 5.24 リサイズ

5.4.2.1 リサイズの実行

リサイズは、ユーザシステムのプログラムが NFSR (New Final Station Register) ヘリサイズする新たな FS (Final Station) 値をライトすることによって実行されます。

リサイズの操作時には、NFSR (New Final Station Register) ヘライトする値の拒否や、他の CUnet ステーションとの相関により影響を受ける場合があります。

したがってリサイズを操作する際は、ユーザシステムのプログラムによって以下の手順を実行してください (図 5.25 参照)。

- ① NFSR (New Final Station Register) のビット0~5 (NFS0~5) へ、リサイズする値をライトしてください。
- ② NFSRの値が“00H”へ遷移することを待ちます。リサイズ命令を4回通信ラインへ送信し終わると、NFSRの値が“00H”へ遷移します。
- ③ SSR (System Status Register) をリードし、SSRのビット8 (RO:Resize Overlap) が“0”であることを確認してください。もしROビットが“1”の場合は、“5.4.2.3 リサイズオーバーラップ (RO)”と“5.4.2.4 RO 発生時の注意”を参照して、ユーザシステムによって適切に対処してください。
- ④ SCR (System Control Register) をリードしビット9 (RUN) が“1”であることを確認してください。もしRUN ビットが“0”である場合は、“5.1.8 ネットワークの停止”を参照して、ユーザシステムによって適切に対処してください。
- ⑤ FSR (Final Station Register) をリードし、NFSRへライトした値と同じ値になっていることを確認してください。もし NFSRへライトした値と異なる場合は、再びリサイズ操作を最初から (①から) 行ってください。
- ⑥ リサイズの操作を受信したことによりOC (Out of Cycle) 停止となったCUnetステーションがネットワーク上に存在していた場合、そのCUnet ステーションに対応するLFR (Link Flag Register) およびMFR (Member Flag Register) のビットがリサイズ操作前の状態から数サイクル時間が経過する間に遷移します。“5.2.3 グローバルメモリ (GM) データの品質保証”の節に記述された、LFRやMFRおよびこれらの監視機能によって、ユーザシステムが必要とする他の

CUnetステーションとのリンクが正常であることを確認してください。ユーザシステムが必要とする他のCUnetステーションとのリンクが正常でない場合は、“5.1.8 ネットワークの停止” (特にOCによる停止) を参照して、拡張リサイズを施し、停止したCUnetステーションの参入を促すなど、ユーザシステムによって適切に対処してください。

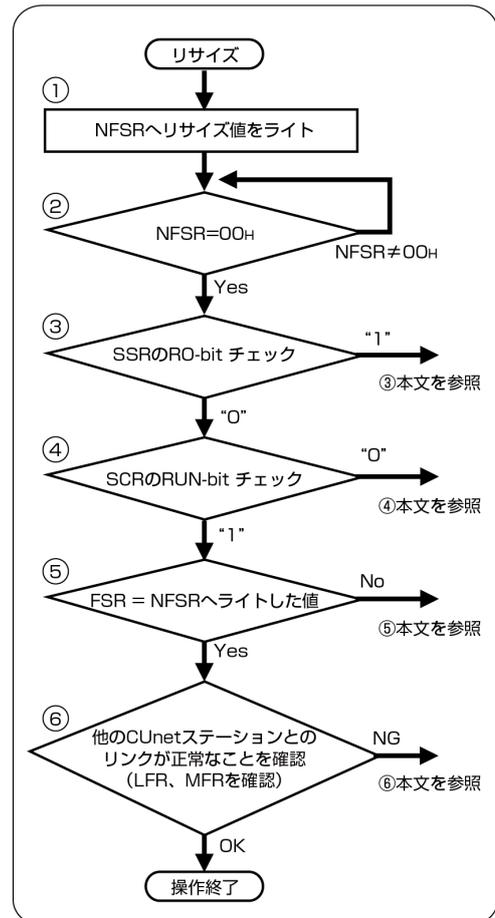


図 5.25 リサイズの実行

CUnet は、いずれか“1”つの CUnet ステーションがリサイズを実行すると、ネットワークへ接続されている全ての CUnet ステーションのファイナルステーション (FS:Final Station) 値が、リサイズした値へ更新されます。この場合、リサイズを実行した当事者以外の MEM ステーションは、FS 値が更新された時に割込みトリガを出力することができます。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

**注意事項**

NFSRの値が“00H”でない期間中のサイクルタイムは、式5.2 (“5.1.6 CUnetのサイクルタイム”参照)の算式と一致しません。ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

**参考**

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます (I/O ステーションからは実行できません)。

MKY40におけるリサイズ操作の場合、MKY40のNFSRの値は自動的に“00H”には戻りません。よって、MKY40におけるリサイズ操作はMKY44-SPIの操作と異なりますのでご注意ください。

5.4.2.2 リサイズの拒否

リサイズの操作において、以下の場合には NFSR (New Final Station Register) へのライトが拒否されます。

- ① MKY44-SPI がランフェーズでない時、NFSR へのライトはプロテクトされます。
- ② 自己ステーションの占有エリアを除外する値がライトされた時、NFSR へのライトはプロテクトされます。
例えば、自己ステーションが“SA=2、OWN=5”に設定されていた場合、占有エリアが“02H ~ 06H”であるため、“06H”以上の値はライト可能ですが、“05H”以下の値は自己ステーションの占有エリアを除外する値となるため拒否されます。

MKY44-SPI は、上記のライトプロテクトによって CUnet の稼動における矛盾の発生を回避しています。

5.4.2.3 リサイズオーバーラップ (RO)

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます。

ただし、複数の MEM ステーションが同時期にリサイズを実行した場合、ステーションアドレスの小さな MEM ステーションのリサイズ命令が優先します。

NFSR (New Final Station Register) にリサイズする値が格納されている最中に優先的なリサイズ命令を受信した MEM ステーションは、SSR (System Status Register) のビット 8 (RO : Resize Overlap) を“1”へ遷移させ、“リサイズオーバーラップ”をユーザシステムのプログラムへ警告します。

リサイズオーバーラップの発生は、ユーザシステムのアルゴリズム自体に矛盾があることを示します。

お客様ご自身が、システムのアルゴリズムを適正化してください。

リサイズオーバーラップの警告 (SSR の RO ビットが“1”) は、ユーザシステムのプログラムが同ビット (SSR の RO ビット) へ“1”をライトすることによって“0”へクリアできます (図 5.26 参照)。

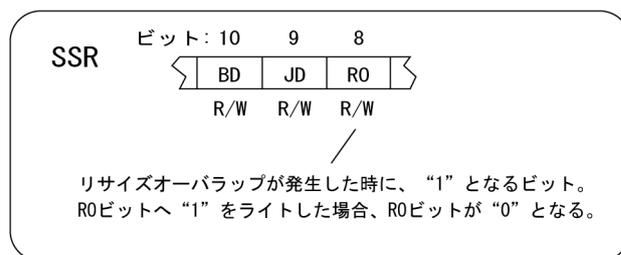


図 5.26 SSR の RO ビット

MKY44-SPI は、SSR のビット 8 (RO) が“1”へ遷移した時に、割込みトリガを出力することができます。

尚、SSR のビット 8 (RO) “1”である期間中に発生した RO においては、割込みは発生しませんので注意してください。詳細は“5.5 割込みトリガ発生機能”を参照してください。



注意事項

リサイズオーバーラップが発生した時に、RO (Resize Overlap) 割込みと RC (Resize Complete) 割込みの両方がイネーブルである場合には、RO 割込みと RC 割込みの両方が同時に発生します。

5.4.2.4 RO 発生時の注意

リサイズオーバーラップが発生した場合は、関係する MEM ステーションの操作タイミングおよびリサイズ命令の優劣によって、リサイズされるファイナルステーション (FS) 値が特定し難くなります。

このような事象を回避するためには、ユーザシステムによっては、以下 2 例のようにリサイズオーバーラップが発生しないアルゴリズムを採用することを推奨します。

- ① リサイズを実行する MEM ステーションを、1 つに特定しておく。
- ② 複数の MEM ステーションがリサイズを実行するユーザシステムの場合は、リサイズを実行する権利の取得を必要とする上位概念 (プログラム) をユーザシステムが保有する。

5.4.3 ブレークフェーズステーションの検出と対処

MKY44-SPIは、ネットワーク起動後にブレークフェーズに入る場合があります。

“5.4.2 サイクルタイムの変更 (リサイズ)”によってファイナルステーション (FS) 値が変更されたサイクルに、FS 値よりも後方 (大きな値) の占有エリアを持つ CUnet ステーションがネットワークを起動した場合と、“5.1.8.2 OC (Out of Cycle) の詳細”に記述された OC (Out of Cycle) 停止した CUnet ステーションが再度ネットワークを起動した場合です。

ブレークフェーズになった CUnet ステーションは、サイクルを構成するパブリックフレームの時期に、他の CUnet ステーションへ向けてブレークパケットを発行して存在をアピールします。

このブレークパケットを受信した MKY44-SPI は、SSR (System Status Register) のビット 10 (BD : Break Detect) を“1”にして、ユーザシステムのプログラムへブレークフェーズの CUnet ステーションが存在することを警告します (図 5.27 参照)。

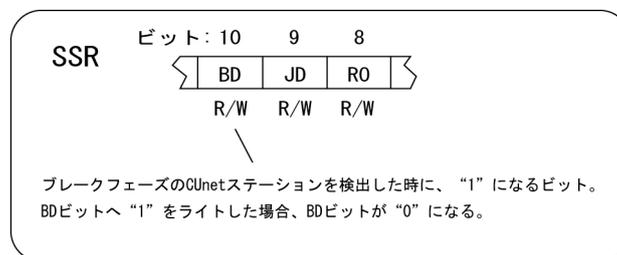


図 5.27 SSR の BD ビット

MKY44-SPI は、SSR のビット 10 (BD) が“1”へ遷移した時に、割込みトリガを出力することができます。

尚、SSR のビット 10 (BD) が“1”である期間中に発生した BD においては、割込みは発生しませんので注意してください。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

SSR のビット 10 (BD) は、“1”をライトすることによりクリアすることができますが、その後にブレークパケットを受信した場合は再度“1”へ遷移します。

割込みトリガを受け付けることにより、または SSR をリードし BD ビットが“1”であることを認識することによって、ブレークフェーズの CUnet ステーションが存在することを認識したユーザシステムのプログラムが、ブレークフェーズの CUnet ステーションをサイクルに加える場合、“5.4.2 サイクルタイムの変更 (リサイズ)”の操作によって、FS 値を変更する拡張リサイズを実施してください。



拡張リサイズを実行する MEM ステーションにとって、この時点においてはブレークフェーズの CUnet ステーションのステーションアドレスや占有幅は不明なため、通常は最大の FS “63 (3FH)” への拡張リサイズを実施することを推奨します。

5.4.4 ジャマー検出と対処

CUnet プロトコルにおいては、ジャマー（Jammer）（何らかの故障や障害を持ったハードウェアによって送信はできるが受信ができない CUnet ステーション）を検出した時、ユーザシステムにジャマーが存在することを警告することが義務付けられています。

MKY44-SPI は、ジャマーを検出した場合に、SSR（System Status Register）のビット 9（JD：Jammer Detect）を“1”にして、ユーザシステムのプログラムへ警告します（図 5.28 参照）。

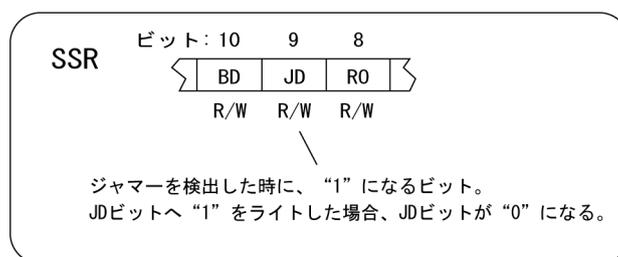


図 5.28 SSR の JD ビット

SSR のビット 9(JD)は、“1”をライトすることによりクリアすることができます。その後にジャマーを検出した場合は、再度“1”へ遷移します。

MKY44-SPI は、SSR のビット 9（JD）が“1”となった時に、割込みトリガを出力することができます。尚、SSR のビット 9（JD）“1”である期間中に発生した JD においては、割込みは発生しませんので注意してください。詳細については“5.5 割込みトリガ発生機能”を参照してください。

割込みトリガを受け付けることにより、または SSR をリードし JD ビットが“1”であることを認識することにより、ジャマーを認識したユーザシステムのプログラムは、ユーザシステムのオペレータあるいは管理者へ警告を発して、オペレータあるいは管理者によるジャマーの撤去、あるいは故障の修復を要求してください。

なお、MKY44-SPI におけるジャマー検出は、全ての CUnet ステーションが何らかの故障や障害を持ったハードウェアでない場合にも、稀にネットワーク起動時の過渡現象（僅かな起動タイミングの相違）によって検出されてしまう場合があります。したがって SSR の JD ビットが“1”であることを検出した場合は、一旦 JD ビットをクリアし、ネットワーク起動後の過渡状態でない状態であってもジャマーが検出されることを確認してから、オペレータあるいは管理者へ警告を発してください。



ジャマーの CUnet ステーションはパケットを受信できないため、ネットワークからジャマーを強制的に停止することはできません。ジャマーは、オペレータあるいは管理者が撤去するか、あるいは故障を修復する必要があります。

5.4.5 ネットワークの品質管理と表示

MKY44-SPIは、ネットワークの品質を管理できる LCARE (Link CARE) と MCARE (Member CARE) の2つの概念を装備しています。

さらに“他の CUnet ステーションとのリンクが安定している”状態を表示できる #MON (MONitor) 端子も装備しています。

本節の理解にあたっては、“5.2.3 グローバルメモリ (GM) データの品質保証”も参照することを推奨します。

5.4.5.1 LCARE 信号出力

安定した環境による CUnet の運用においては、CUnet プロトコルに定義される“リンク切れ”は発生しません。“リンク切れ”は、“CUnet ステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”および“ネットワークが限界性能にある場合”に発生します。したがってユーザシステムが“CUnet ステーションの離脱”を意図的に実行した時に発生する“リンク切れ”以外は、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”と“ネットワークが限界性能にある場合”に特定できます。この“リンク切れ”の発生を管理することにより、ネットワークのハードウェアおよび環境の品質を認識することが可能です。“リンク切れ”は、“LCARE (Link CARE)”とも呼びます。

MKY44-SPIは、“5.2.3.3 LGR (Link Group Register)”に記述されている LGR に格納されているビット状態に関わらず、“LCARE (Link CARE)”が発生した時に #LCARE 端子から所定の時間 Lo となるパルス信号を出力します。この #LCARE 端子へ LED 表示部品を接続しておくことにより、LCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.7 LED 表示用信号 (#MON、#LCARE、#MCARE)”を参照してください。

LCARE の発生回数は、最大 255 回までのカウントが CCTR (Care CounTer Register) のビット 0 ~ 7 (LCC0 ~ 7) に示されます (図 5.29 参照)。CCTR の LCC は、256 回以上をカウントせず、“255 (FFH)”のまま維持します。

ユーザシステムのプログラムが LCARE 発生回数を認識したい場合は、CCTR (Care CounTer Register) のビット 0 ~ 7 (LCC0 ~ 7) をリードしてください。

ユーザシステムのプログラムが LCARE 発生回数のカウントをクリアしたい場合は、CCTR (Care CounTer Register) のビット 0 へ“1”をライトしてください。

#LCARE 端子から出力される Lo パルスの最小時間は、約 52ms であり、LED 表示の点灯を目視可能です。



注意事項

LCARE の発生および #LCARE 端子からの Lo パルス出力は、“5.4.2 サイクルタイムの変更 (リサイズ)”において記述されている縮小リサイズの実行により、以前にリンクが成立していた CUnet ステーションがリンク不能になった場合にも発生します。



図 5.29 CCTR の LCARE 発生回数

5.4.5.2 MCARE 信号出力

CUnet においては、“CUnet ステーションが離脱した時”と“極めて劣悪な環境にシステムがある時”および“ネットワークが限界性能にある場合”に、同一の CUnet ステーションに 3 回連続して“リンク切れ”が発生します。MKY44-SPI においては、“リンク切れ”が 3 回連続した場合を“5.2.3.5 MFR (Member Flag Register)”に記述された MFR が管理しており、“5.2.3.7 メンバの増加と減少検出”に記述された“メンバの減少”と判定されます。

“メンバの減少”は、“MCARE (Member CARE)”とも呼びます。

MKY44-SPI は、“5.2.3.6 MGR (Member Group Register)”に記述されている MGR に格納されているビット状態に関わらず、MCARE が発生した時に #MCARE 端子から所定の時間 Lo となるパルス信号を出力します。

この #MCARE 端子へ LED 表示部品を接続しておくことにより、MCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.7 LED 表示用信号 (#MON、#LCARE、#MCARE)”を参照してください。MCARE は、ユーザシステムが“CUnet ステーションの離脱”を意図的に実行した時に発生する以外、“極めて劣悪な環境にシステムがある時”か“ネットワークが限界性能にある場合”に特定できます。したがってユーザは、MCARE の発生を管理することにより、ネットワークのハードウェアおよび環境の品質程度を認識することが可能です。

MCARE の発生回数は、CCTR (Care ConTer Register) のビット 8～15 (MCC0～7) に最大 255 回まで示されます (図 5.30 参照)。

CCTR の MCC は、256 回以上をカウントせず、“255 (FFH)”のまま維持します。

ユーザシステムのプログラムが MCARE の発生回数を認識したい場合は、CCTR (Care CounTer Register) のビット 8～15 (MCC0～7) をリードしてください。

ユーザシステムのプログラムが MCARE 発生回数のカウントをクリアしたい場合は、CCTR (Care CounTer Register) のビット 8 へ“1”をライトしてください。

#MCARE 端子から出力される Lo パルスの最小時間は、約 52ms であり、LED 表示の点灯を目視可能です。

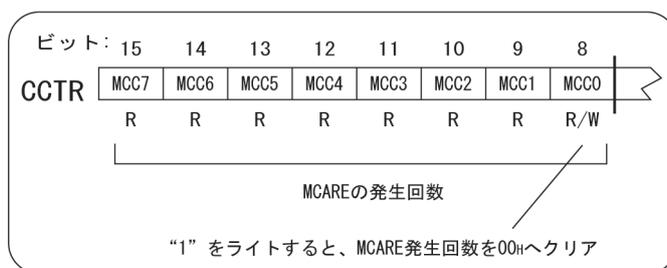


図 5.30 CCTR の MCARE 発生回数



注意事項

MCARE の発生および #MCARE 端子からの Lo パルス出力は、“5.4.2 サイクルタイムの変更 (リサイズ)”において記述されている縮小リサイズの実行により、以前にリンクが成立していた CUnet ステーションがリンク不能になった場合にも発生します。

5.4.5.3 MON 信号出力

MKY44-SPIは、リンクが3回以上連続して成立した場合、“他のCUnetステーションとのリンクが安定している”と判定します。この状態は、“5.2.3.5 MFR (Member Flag Register)”に記述されたMFRによって管理されています。

MKY44-SPIは、MFRの自己ステーション以外のCUnetステーションに対応するビットのいずれかに“1”が格納されている時、#MON端子へLoレベルを出力し、それ以外の状態の時Hiレベルを出力します(図5.31参照)。この#MON端子へLED表示部品をLoレベル出力の時に点灯するように接続しておくことにより、“他のCUnetステーションとのリンクが安定している”状態を目視確認することができます。

LED表示部品の接続については、“3.7 LED表示用信号(#MON、#LCARE、#MCARE)”を参照してください。

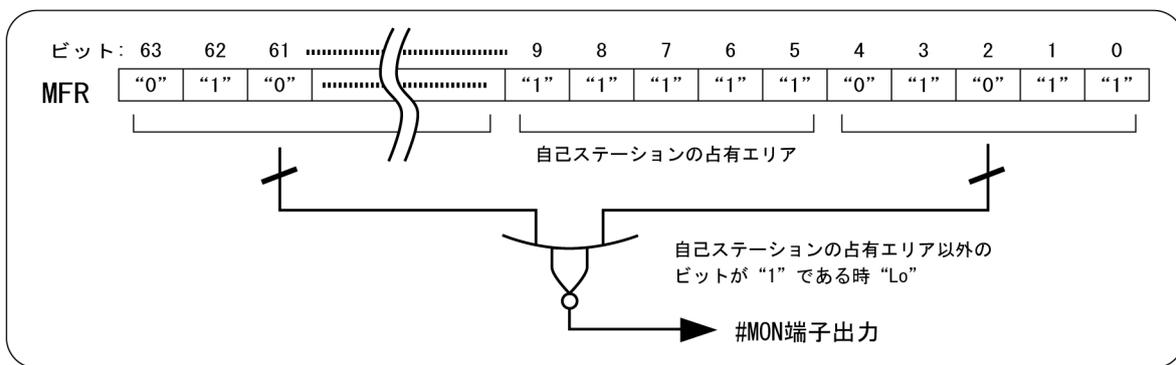


図 5.31 #MON 端子への出力例



注意事項

MKY44-SPIがOC (Out of Cycle) によって停止すると、MFRの状態が保持され#MON端子へのLoレベル出力が継続する場合があります。MKY44-SPIがOC停止した際には、ユーザシステムのプログラムはMKY43ユーザーズマニュアル“付録3 OC停止をした場合の処理”に基づく処理を行なってください。

5.4.6 PING 命令

ランフェーズ中の MKY44-SPI から、ネットワークへ接続された別の CUnet ステーションへ PING 命令を発行することができます。

MKY44-SPI 内部の PING 信号は、ハードウェアリセット後“Hi”レベルを維持しています。

ネットワークから PING 命令を受信した MKY44-SPI は、内部の PING 信号のレベルを“Lo”にします。

ネットワークから PING 命令以外のパケットを受信した MKY44-SPI は、#PING 端子（端子 50）のレベルを“Lo”にします。

PING 命令の受信による割込みトリガをイネーブルにしておくことにより、PING 命令を受信した場合に、MKY44-SPI からユーザ CPU へ割込みトリガを出力させることもできます。詳細については、“5.5 割込みトリガ発生機能”を参照してください。

PING の利用目的は、ユーザシステムにおいて自由に定められます。例えば、ユーザ CPU が暴走してしまった場合などに、この信号によってユーザ CPU をリセットさせるなどの利用に便利です。

MKY44-SPI において、ネットワークへ接続された別の CUnet ステーションへ PING 命令を発行する時は、以下を操作してください（図 5.32 参照）。

- ① QCR (Query Control Register) のビット 0～5 (Target Station : TS0～5) へ、PING 信号の発生先ステーションアドレス (SA) を、ビット 7 (PING) へ“1”をライトしてください。
- ② ネットワークに命令が発行されると、QCR ビット 7 (PING) は“0”へ戻ります。

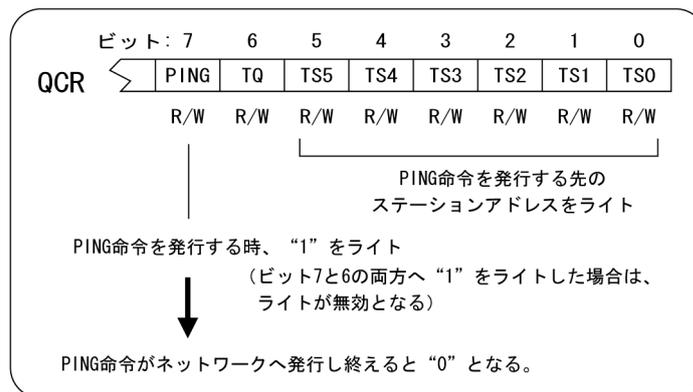


図 5.32 PING 命令の発行



PING 命令は、ネットワークに存在しない CUnet ステーションのステーションアドレスに向けても発行できます。しかし、相手先の PING 信号が遷移したかや端子へ出力されたかは、保証されません。

5.4.7 各ステーションのモードを検出する機能

ユーザシステムは、MKY44-SPI の QCR (Query Control Register) を操作することにより、ステーションアドレスに対応する各 CUnet ステーションのモードを、表 5-2 に示すタイプコードによって認識することができます。ネットワークへ接続された別の CUnet ステーションのモードを調査する操作は、以下の手順です (図 5.33 参照)。

- ① QCR のビット 0 ~ 5 (Target Station : TS0 ~ 5) へ、調査する対象のステーションアドレス (SA) を、ビット 6 (Try Query : TQ) へ “1” をライトしてください。
- ② 調査が完了すると、QCR のビット 6 (Try Query : TQ) が “0” へ戻り、ビット 8 ~ 12 (station TYPE : TYP0 ~ 4) へ表 5-2 に示されるタイプコードが格納されます。
- ③ ユーザシステムのプログラムによって、QCR をリードし、かつビット 6 (TQ) が “0” であることを確認し、QCR のビット 8 ~ 12 (TYP0 ~ 4) のタイプコードを取得してください。

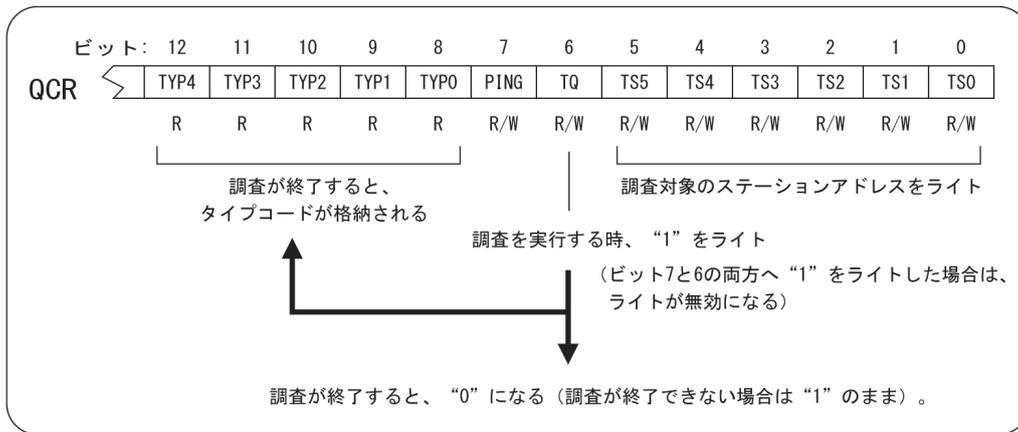


図 5.33 各 MEM ステーションのモード調査

調査対象として指定した CUnet ステーションがネットワークに参加していない場合、QCR のビット 6 (Try Query : TQ) は “0” へ戻らず、“1” から遷移しません。数サイクル時間が経過しても TQ ビットが “0” へ戻らない場合、調査対象として指定した CUnet ステーションは、ネットワークへ接続されていないか、あるいは稼動していません。この場合、TQ ビットへ “0” をライトし、モードの調査を終了させてください。操作を誤って TQ ビットが “1” のままの状態が継続しても、PING 命令を発行できないのみであり、MKY44-SPI の他機能に全く支障を与えません。

表 5-2 タイプコード

QCR ビット 8 ~ 12 へセットされるタイプコード	CUnet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H ~ 1FH	メーカーリザーブ	



注意事項

表 5-2 中の “フレームオプション” については、“5.4.9 フレームオプション [HUB 対応] ” を参照してください。“占有拡張”については、“5.2.1 占有エリアについての詳細” を参照してください。

5.4.8 GMM (Global Memory Monitor) 機能

MKY44-SPIは、他のCUNetステーションと一切リンクせずに、継続的タイムシェアリングに基づいて他のCUNetステーションが送信するパケットを受信するだけの、グローバルメモリデータモニタ（覗き見）機能を装備しています。これを“GMM (Global Memory Monitor)”と呼び、この機能によって稼動しているCUNetステーションを“GMMステーション”と呼びます。

MKY44-SPIをGMMステーションとして利用する場合は、ユーザシステムのプログラムによって以下を操作してください。

- ① SCR (System Control Register) のSTARTビットが“0”であることを確認してください。
- ② SCRのGMMビットへ“1”をライトしてください。

GMMステーションとしての利用を解除する場合は、ユーザシステムのプログラムによって、SCRのGMMビットへ“0”をライトしてください。

GMMステーションになっているMKY44-SPIは、“5.4.1 ネットワーク起動前のモニタリング”に記述されたモニタリングに加え、他CUNetステーション同士において“メモリデータの共有”を実行しているグローバルメモリのデータをモニタリングすることが可能です。

なお、GMMステーションになっているMKY44-SPIには、占有エリアの概念が適用されません。よってステーションアドレス (SA) と占有幅 (OWN width) の設定状態は全て無視されます。

GMMステーションになっているMKY44-SPIのRFR(Receive Flag Register)は、SCRのビット0～6に示されるステーションタイム (ST) が“0”の時に更新され、その後他CUNetステーションからのパケット受信状態が反映されます。このため、ステーションタイム (ST) がFSR (Final Station Register) に格納されている値を超えているタイミングの時 (パブリックフレームの時期) に、RFR (Receive Flag Register) をリードすることにより以下を認識することができます。

- ① “1”のビットが存在すれば、そのビットに対応するステーションアドレスを持つCUNetステーションがネットワーク上に稼動している。
- ② “1”のビットに対応したグローバルメモリのメモリブロックのデータが最新である。

さらに、FSRのビット0～5 (FS0～5) に格納されている値が、初期値の63 (3FH) 以外の場合は、リサイズされたサイクルが稼動していることを認識できます。



参考

GMMステーションは、CUNetプロトコルに定める“最大CUNet専用IC接続可能数”である“64”に含まれません。したがって、ネットワークの電気的実力が許容する限り、GMMステーションをいくつでもネットワークへ接続することができます。

RFRのデータは、逐次高速に変化します。低速なCPU等が上記①を目的としてRFRを参照する場合には、ALM (ALArM) 割込みによるRFRのフリーズを利用すると、静止したRFRを参照することができます (“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”参照)。

5.4.9 フレームオプション [HUB 対応]

MKY44-SPI は、CUnet プロトコルに定められるフレームオプションに対応しています。フレームオプションは、フレーム長定数 (LOF) が“256”となるオプション機能です。フレームオプションによって、CUnet のネットワークへ HUB (通信ケーブル分岐ユニット) を挿入可能となります。

ネットワークに HUB (通信ケーブル分岐ユニット) を挿入した CUnet は、以下のように通信ケーブルの敷設の自由度が高まり、適用可能なユーザシステムを拡張することができます (詳細については、HUB-IC の“**ユーザーズマニュアル**”を参照してください)。

- ① ネットワークの通信ケーブルの総延長を伸ばすことが可能。
- ② ネットワークの通信ケーブルを分岐することが可能。
- ③ 各 CUnet ステーション装置の終端抵抗への配慮を削減できる。
- ④ スター接続が可能となる。
- ⑤ 光ファイバへの対応が容易となる。

5.4.9.1 HUB の挿入可能段数

フレームオプションが設定された CUnet のネットワークにおいて、HUB（通信ケーブル分岐ユニット）の挿入可能段数は、最大 2 段です（図 5.34 参照）。

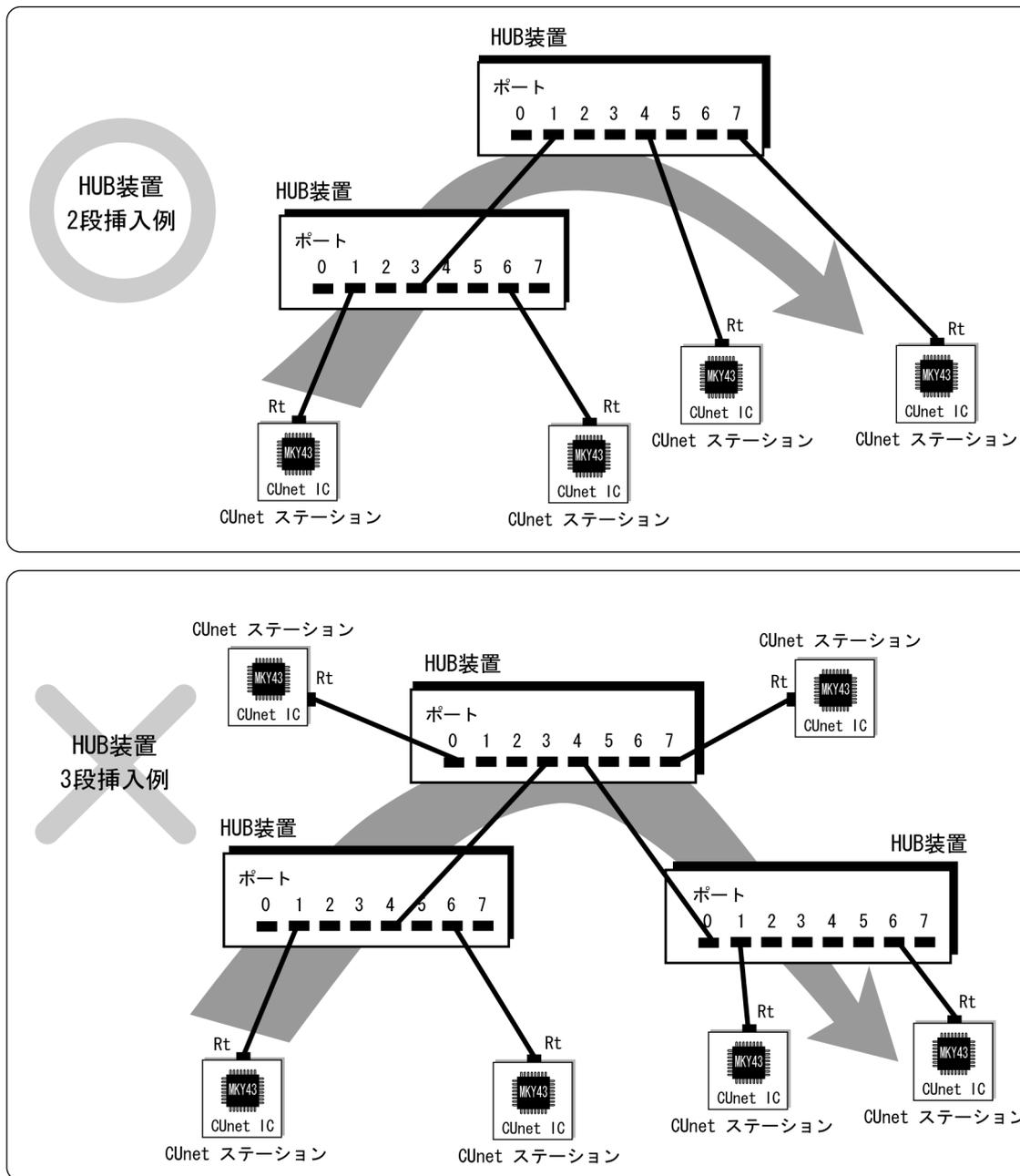


図 5.34 HUB 挿入可能段数

5.4.9.2 フレームオプションの設定

フレームオプションの設定は、“5.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”に記載された操作の②-③の時点において、BCR（Basic Control Register）のビット15（LFS:Long Frame Select）へ“1”をライトしてください（図5.35参照）。

フレームオプションは、ネットワーク起動後に他のCUnetステーションとの相互リンクの過程によって、全てのCUnetステーションへ設定されます。またフレームオプションがセットされ稼動しているネットワークに対して後から接続（あるいは電源投入）されたCUnetステーションへもフレームオプションが自動的に設定されます。このためネットワークへ接続されたいずれか1つ（あるいは複数）のCUnetステーションがBCRのLFSビットへ“1”をライトすることによって、フレーム長定数（LOF）が“256”のサイクルによって稼動するCUnetへ変わります。フレームオプションの設定が完了したMKY44-SPIは、SCR（System Control Register）のビット14（LF:Long Frame）が“1”に設定されます。ユーザシステムのプログラムが、フレームオプションのセット状態を確認したい時は、SCRをリードし、ビット14（LF）が“1”であることを確認してください。

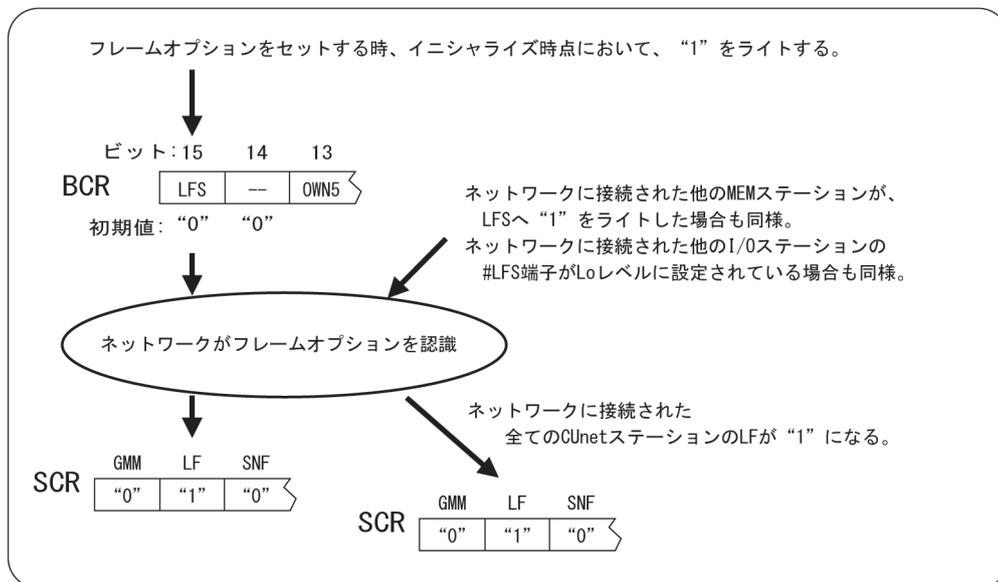


図 5.35 フレームオプションの設定

SCRのLF (Long Frame) が“1”の状態によって稼動するCUnetは、フレーム長定数（LOF:Length Of Frame）が“256”であるため、フレームオプションを利用しない場合に比較して、サイクルタイムが長い時間となります（“5.1.6 CUnetのサイクルタイム”参照）。


注意事項

SCRのLF (Long Frame) を、MKY44-SPIのハードウェアリセット以外の方法によってクリアすることはできません。またSCRのLFが“1”であるMEMステーションとリンクする全てのCUnetステーションは、SCRのLFへ“1”が設定されます。

したがって、一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全てのCUnet専用ICに対してハードウェアリセットがアクティブとなる操作を必要とします。

ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

5.5 割込みトリガ発生機能

MKY44-SPI は、ユーザ CPU の割込みトリガ端子へ信号を供給できる出力端子（#INTO 端子）を装備しています。本節は、割込みトリガ発生機能の操作と、割込みトリガ出力に付帯する MKY44-SPI の動作について記述します。

5.5.1 #INTO 端子の操作

#INTO 端子の割込みトリガ発生機能は、ユーザシステムのプログラムによる以下の操作によって、利用できます（図 5.36 参照）。

- ① INTOCR (INTerrupt 0 Control Register) は、#INTO 端子の機能を“イネーブル”に設定するためのレジスタです。INTOCR に備えられた割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットに“1”をライトし、#INTO 端子の機能を“イネーブル”にしてください。
- ② INTOCR によってイネーブルが設定された割込み発生要因が生じると、INTOCR と同一ビット配列を持つ INTOSR (INTerrupt 0 Status Register) に発生したステータス“1”が維持され、#INTO 端子から Lo レベルが出力されます。
- ③ ユーザシステムのプログラムは、INTOSR をリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。
- ④ ユーザシステムのプログラムが割込み処理の対応を終えた後に、該当する要因の INTOSR のビットへ“1”をライトしてください。これにより INTOSR のステータス“1”の維持がクリアされ該当ビットが“0”へ戻ります。
- ⑤ #INTO 端子は、INTOSR のビットが全て“0”になると、Hi レベル出力を維持する状態に戻ります。

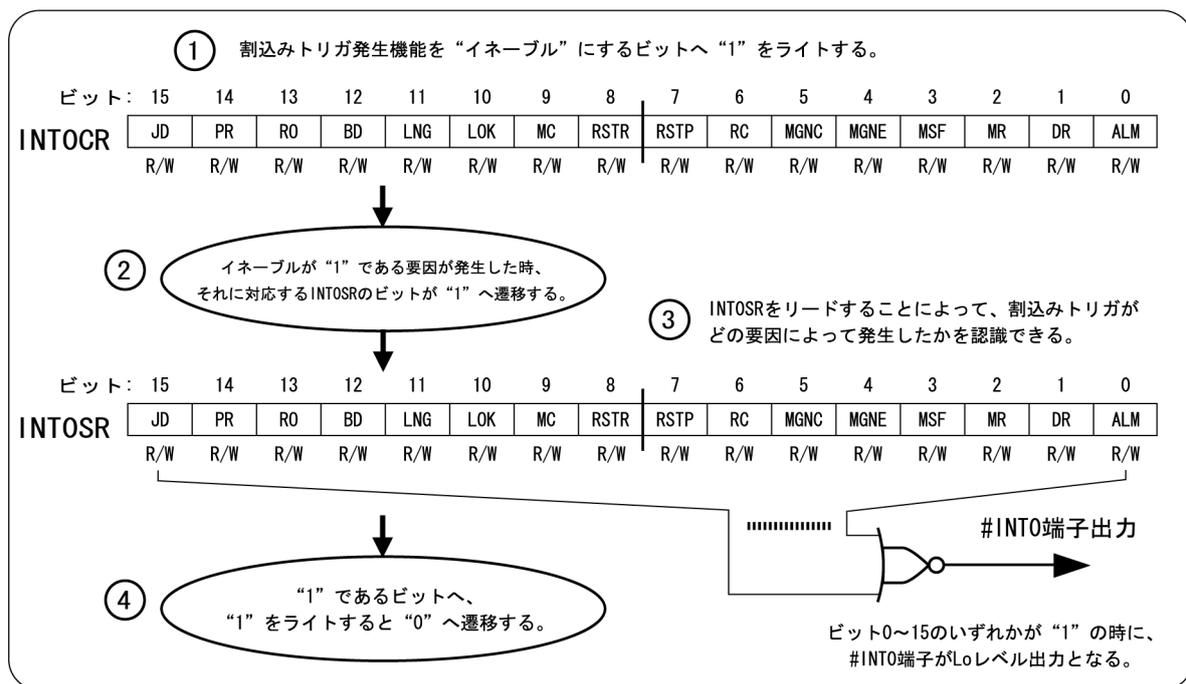


図 5.36 割込みトリガ発生機能

割込み発生要因の ALM (ALaRM) と DR (Data Renewal) は、割込み発生時期をユーザシステムのプログラムによって予め指定しておく必要があります。

#INT0 端子に対するタイミングを指定するレジスタは、ITOCR (Interrupt Timing 0 Control Register) です (図 5.37 参照)。

ITOCR ビット 0 ~ 6 (ALM0 ~ 6) へ、割込み発生要因の ALM (ALaRM) を発生させる場合のステーションタイムをライトしてください。

ITOCR ビット 8 ~ 14 (DR0 ~ 6) へ、割込み発生要因の DR (Data Renewal) を発生させる場合のステーションタイムをライトしてください。

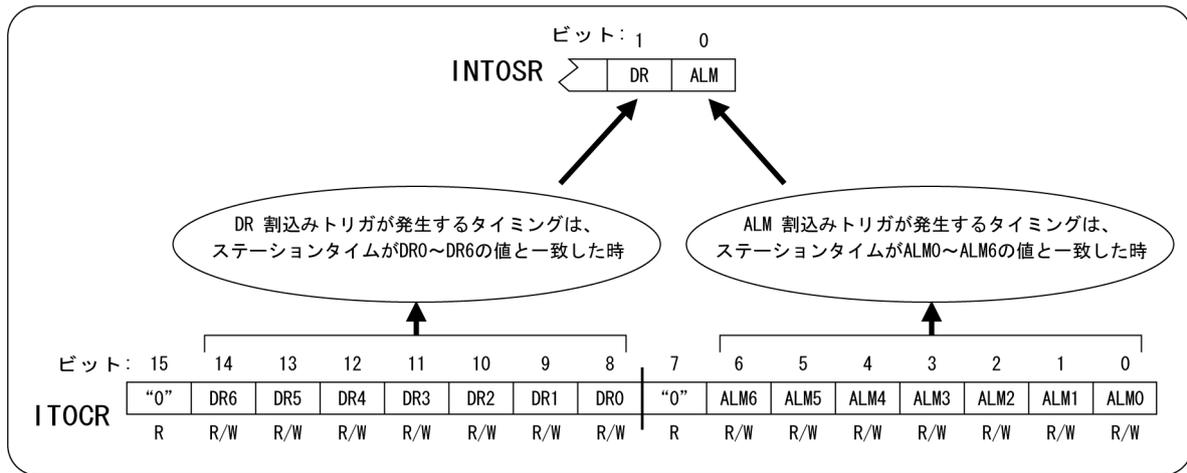


図 5.37 DR 及び ALM 割込みトリガ発生タイミング



参考

INTOSR にステータスが保持されている時に、INTOCR の該当するイネーブルを解除しても INTOSR のステータスはクリアされません。

ハードウェアリセットアクティブ後は、割込み発生要因のイネーブルビットは全て "0" (ディセーブル状態) に初期化されています。

5.5.2 リトリガ機能

割込みトリガ信号を出力する #INTO 端子へ、複数の割込み発生要因を設定することができます。ユーザシステムのプログラムが1つの端子に2つ以上の割込み発生要因を設定して利用する場合は、端子の出力レベルが Hi レベル出力へ戻った直後“5 クロック”を経過すると、再び Lo レベル出力へ遷移する場合があります。これを“リトリガ機能”と呼びます (図 5.38 参照)。以下の場合にリトリガ機能が動作します。

- ① INTOSR に複数のステータスが保持されている時に、その一部をクリアした場合。例えば、INTOSR のデータが“1004H”の時に“1000H”をライトした場合。
- ② INTOSR に保持されているステータスをクリアするためのライトと同時期に、イネーブルが設定された新たな割込み発生要因が生じた場合。例えば、INTOSR のデータが“1000H”の時に“1000H”をライトした同時期に、イネーブルが設定された新たな割込み発生要因“0004H”が生じた場合。

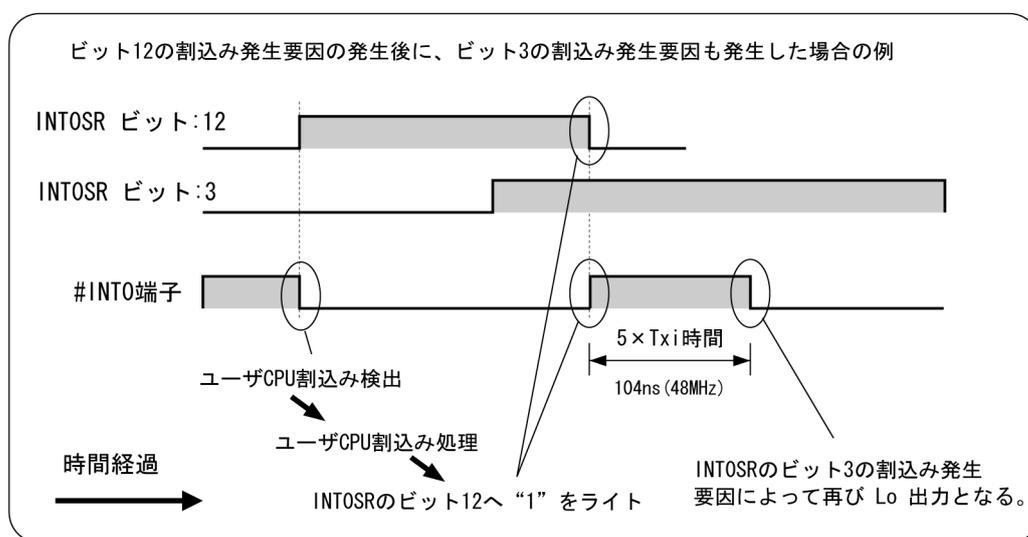


図 5.38 リトリガ機能の動作例

MKY44-SPI が装備しているリトリガ機能により、ユーザ CPU に備えられている割込みコントローラがレベルの変化 (エッジ) を検出するタイプであっても、割込みを取りこぼしません。

ユーザ CPU が備えている割込みコントローラが、CPU からの EOI (End Of Interrupt) コードの発行を受けて次回の割込み発生を有効とするタイプである場合、エッジ検出型かレベル検出型かの違いによって、EOI の発行操作と“5.5.1 #INTO 端子の操作”の④に記述された INTOSR のステータスをクリアする操作の順番を、以下のように考慮しなければなりません。

エッジ検出型：EOI を発行した後に、INTOSR のステータスをクリアする。・・・逆に、EOI の発行前に INTOSR ステータスをクリアした場合、次回の割込み受付が有効になっていない状態のままリトリガ機能によって Hi レベルから Lo レベルへ変化してしまいます。この結果、割込みトリガを取りこぼす可能性があります。

レベル検出型：INTOSR ステータスをクリアした後に、EOI を発行する。・・・逆に、EOI の発行後に INTOSR ステータスをクリアした場合、Lo レベルの状態を再び検出して二重に割込みトリガを受け付けてしまう可能性があります。



割込み処理のアルゴリズムや解除の手順は、ユーザ CPU の種類や周辺ハードウェアを含むユーザシステムに依存します。MKY44-SPI の操作はユーザシステムに適合させてご利用ください。

5.5.3 割込み発生要因

INTOCR (INTerrupt 0 Control Register) が備えているイネーブル操作可能な割込み発生要因は、以下の 16 種類です (表 5-3 参照)。

表 5-3 割込み発生要因

発生要因	ビット	トリガ出力を発生する時 (要件)	参照
ALM : ALarM	0	サイクル中のステーションタイムが、予め ITOCR へ指定した時刻になった時。 この割込みトリガはサイクル毎に毎回発生します。	5.1.7 サイクル中の詳細タイミング
DR : Data Renewal	1	予め DRCR へ設定した検出ビットに対応するグローバルメモリのデータ遷移を検出した場合に限り、かつサイクル中のステーションタイムが予め ITOCR へ指定した時刻になった時。	5.2.4 グローバルメモリのデータ遷移検出機能
MR : Mail Receive	2	他の CUnet ステーションからメールを受信した時。	5.3.2 メール受信時の操作
MSF : Mail Send Finish	3	他の CUnet ステーションへのメール送信が (正常あるいはエラーに関わらず) 終了した時。	5.3.3 メール送信の操作、送信終了後の操作
MGNE : Member Group Not Equal	4	SSR のビット 4 (MGNE) が、"0" から "1" へ遷移した時。	5.2.3.6 MGR (Member Group Register)
MGNC : Member Group Not Collect	5	SSR のビット 5 (MGNC) が、"0" から "1" へ遷移した時。	5.2.3.6 MGR (Member Group Register)
RC : Resize Complete	6	他の CUnet ステーションからのリサイズを受けて自己ステーションのリサイズが完了した時。	5.4.2.1 リサイズの操作
RSTP : Run SToP	7	ネットワーク停止した時。	5.1.8 ネットワークの停止
RSTR : Run STaRt	8	ランフェーズに入った時。	5.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで
MC : Member Change	9	メンバフラグビットの "1" の数が増減した時。	5.2.3.7 メンバの増加と減少検出
LOK : Link group OK	10	ビットが "1" の LGR に対応する LFR ビットの検査によって、"リンク OK" と判定された時。	5.2.3.3 LGR (Link Group Register)
LNG : Link group No Good	11	ビットが "1" の LGR に対応する LFR ビットの検査によって、"リンク NG (No Good)" と判定された時。	5.2.3.3 LGR (Link Group Register)
BD : Break Detect	12	ブレイクフェーズのステーションを検出した時。	5.4.3 ブレイクフェーズステーションの検出と対処
RO : Resize Overlap	13	リサイズオーバーラップが発生した時。	5.4.2.3 リサイズオーバーラップ (RO)
PR : Ping Receive	14	PING 命令を他の CUnet ステーションから受信した時。	5.4.6 PING 命令
JD : Jammer Detect	15	ジャマーを検出した時。	5.4.4 ジャマー検出と対処

5.5.4 割込みトリガ発生時期指定の注意

ITOCR ヘタイミングを設定する値は、“0 ～ 127 (00H ～ 7FH)” ですが、CUnet のサイクルが採用する値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。

したがって、この値を超える数値を ITOCR ヘライトすると、対応する割込みトリガが発生しないため、不適切な値はライトしないでください。

特に、DR (Data Renewal) 発生タイミングは、“5.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”に記述された DRFR の更新タイミングです。このため FSR (Final Station Register) に格納されている値に“2”を加算した値を超える数値をライトした場合、DRFR も更新されなくなります。

5.5.5 DR (Data Renewal) 割込みトリガ利用上の注意

“5.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”に記述された、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが“1”から“0”へ遷移するタイミングは、INTOCR がイネーブルである時は ITOCR ビット 8 ～ 14 へ設定された時刻です。

ただし、INTOCR の DR (Data Renewal) がディセーブルである時は、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが“1”から“0”へ遷移するタイミングは、ITOCR ビット 8 ～ 14 へ設定された時刻です。

5.5.6 割込みトリガ発生に連動するレジスタのフリーズ

MKY44-SPI は、特定の割込みトリガを出力している最中に、特定のレジスタをフリーズ（凍結）します。割込みトリガが MKY44-SPI から出力された後かつ、ユーザシステムの割込み対応プログラムが処理を参照する前に、割込み発生要因に関連する特定のレジスタが更新されてしまうことを、レジスタがフリーズすることによって防ぎます。フリーズ（凍結）するレジスタは MKY44-SPI 内部において二重化されており、ユーザシステムからリード可能な部分のみがフリーズします。よってユーザシステムの割込み対応プログラムが処理終了に伴って特定の割込みトリガのステータスをクリアした時点で、即座にフリーズが解けると同時に現状へ復帰します。フリーズするレジスタと割込み発生要因の対応を、表 5-4 に示します。

表 5-4 フリーズするレジスタ

割込み発生要因	フリーズするレジスタおよびフラグビット
ALM (ALArM) MC (Member Change) LOK (Link group OK) LNG (Link group No Good)	RFR の全ビット LFR の全ビット SSR のビット 12 (LOK)
DR (Data Renewal)	DRFR の全ビット SSR のビット 11 (DR)



MC (Member Change) 割込みが発生しても、MFR (Member Flag Register) はフリーズしません。MFR は、“ステータス管理の起点時期”において更新されますので、MC 割込みによって起動される処理が次の“ステータス管理の起点時期”を超えて MFR を参照しない様、注意してください。

5.5.7 BD、RO、JD 割込み発生について

BD (Break Detect) 割込みにおいては、対象の割込み発生要因ビットが“1”に設定されていても、SSRの検出フラグが“1”である間に要因が発生した場合には、割込みが発生しません。そのためBD割込みの設定においては、最後にSSRの検出フラグも“0”へ設定してください。このことは、RO (Resize Overlap)、JD (Jammer Detect) 割込みにおいても、同様です。

第 6 章 レジスタリファレンス

本章は、MKY44-SPI に搭載されたレジスタのリファレンスを、アドレス順に掲載します（表 6-1 参照）。

本章は、以下の形式によって記述します。

- ① レジスタのアドレスを、16 ビットアクセスの先頭アドレスによって示します。
- ② データビット表現を、16 ビットアクセス表現によって示します。

表 6-1 レジスタ一覧

項目	アドレス値	領域名	レジスタ名	Bit 数	対象機能	ページ
6.1	300H ~ 307H	RFR	Receive Flag Register	64	リンク検出	6-3
6.2	308H ~ 30FH	LFR	Link Flag Register	64		6-4
6.3	310H ~ 317H	MFR	Member Flag Register	64	メンバ検出	6-5
6.4	318H ~ 31FH	DRFR	Data Renewal Flag Register	64	データ遷移検出	6-6
6.5	320H ~ 327H	LGR	Link Group Register	64	リンク検出	6-7
6.6	328H ~ 32FH	MGR	Member Group Register	64	メンバ検出	6-8
6.7	330H ~ 337H	DRCCR	Data Renewal Check Register	64	データ遷移検出	6-9
	338H ~ 33FH	--	Reserved	16	未使用	
6.8	340H	MSLR	Mail Send Limit time Register	16	メール送信	6-10
6.9	342H	MSRR	Mail Send Result Register	16		6-10
6.10	344H	MESR	Mail Error Status Register	16		6-11
6.11	346H	MSCR	Mail Send Control Register	16		6-12
6.12	348H	MROCR	Mail Receive 0 Control Register	16	メール受信	6-13
6.13	34AH	MR1CR	Mail Receive 1 Control Register	16		6-14
6.14	34CH	CCTR	Care CounTer Register	16	システム補助	6-15
	34EH	--	Reserved	16	未使用	
6.15	350H	QCR	Query Control Register	16	システム補助	6-16
6.16	352H	NFSR	New Final Station Register	16	システム	6-17
6.17	354H	FSR	Final Station Register	16		6-17
6.18	356H	BCR	Basic Control Register	16		6-18
6.19	358H	INTOCR	INTerrupt 0 Control Register	16	割込み制御	6-19
	35AH	--	Reserved	16	未使用	
6.20	35CH	ITOCR	Interrupt Timing 0 Control Register	16	割込み制御	6-21
	35EH	--	Reserved	16	未使用	
6.21	360H	INTOSR	INTerrupt 0 Status Register	16	割込み制御	6-22
	362H	--	Reserved	16	未使用	
6.22	364H	SSR	System Status Register	16	システム	6-24
6.23	366H	SCR	System Control Register	16		6-26
6.24	368H ~ 36FH	CCR	Chip Code Register	64		6-28
	370H ~ 37FH	--	Reserved	64	未使用	


注意事項

Reserved (未使用) エリアへのアクセスは Read/Write とともに禁止です。
 アクセスした場合、正しい動作の保証はできません。

6.1 RFR (Receive Flag Register)

アドレス：300H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 15	RFR 14	RFR 13	RFR 12	RFR 11	RFR 10	RFR 9	RFR 8	RFR 7	RFR 6	RFR 5	RFR 4	RFR 3	RFR 2	RFR 1	RFR 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：302H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 31	RFR 30	RFR 29	RFR 28	RFR 27	RFR 26	RFR 25	RFR 24	RFR 23	RFR 22	RFR 21	RFR 20	RFR 19	RFR 18	RFR 17	RFR 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：304H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 47	RFR 46	RFR 45	RFR 44	RFR 43	RFR 42	RFR 41	RFR 40	RFR 39	RFR 38	RFR 37	RFR 36	RFR 35	RFR 34	RFR 33	RFR 32
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：306H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 63	RFR 62	RFR 61	RFR 60	RFR 59	RFR 58	RFR 57	RFR 56	RFR 55	RFR 54	RFR 53	RFR 52	RFR 51	RFR 50	RFR 49	RFR 48
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが、SCR (System Control Register) の START ビット (ビット 8) が “1” である時、最新のサイクルによってライトされていることを保証する個々のレーブステータスが格納されたレジスタです。ビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR の START ビットへ “1” が設定されると “1” へ遷移し、“0” が設定されると “0” へ遷移します。

本レジスタのビットの遷移タイミングの詳細については、“5.2.3 グローバルメモリ (GM) データの品質保証” を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。

詳細については、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ” を参照してください。

6.2 LFR (Link Flag Register)

アドレス：308_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFR 15	LFR 14	LFR 13	LFR 12	LFR 11	LFR 10	LFR 9	LFR 8	LFR 7	LFR 6	LFR 5	LFR 4	LFR 3	LFR 2	LFR 1	LFR 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：30A_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFR 31	LFR 30	LFR 29	LFR 28	LFR 27	LFR 26	LFR 25	LFR 24	LFR 23	LFR 22	LFR 21	LFR 20	LFR 19	LFR 18	LFR 17	LFR 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：30C_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFR 47	LFR 46	LFR 45	LFR 44	LFR 43	LFR 42	LFR 41	LFR 40	LFR 39	LFR 38	LFR 37	LFR 36	LFR 35	LFR 34	LFR 33	LFR 32
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：30E_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFR 63	LFR 62	LFR 61	LFR 60	LFR 59	LFR 58	LFR 57	LFR 56	LFR 55	LFR 54	LFR 53	LFR 52	LFR 51	LFR 50	LFR 49	LFR 48
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが最新のサイクルによってライトされていることと、個々の CUnet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複製されたことの、両方を保証する個々のビットが格納されたレジスタです。ビット 0 がステーションアドレス (SA) 0 およびメモリブロック (MB) 0 へ、ビット 1 が SA1 および MB1 へ、ビット 63 が SA63 および MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR の START ビットへ “1” が設定されると “1” へ遷移し、“0” が設定されると “0” へ遷移します。

本レジスタのビットの遷移タイミングの詳細については、“5.2.3 グローバルメモリ (GM) データの品質保証” を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。

詳細については、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ” を参照してください。

6.3 MFR (Member Flag Register)

アドレス：310_H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 15	MFR 14	MFR 13	MFR 12	MFR 11	MFR 10	MFR 9	MFR 8	MFR 7	MFR 6	MFR 5	MFR 4	MFR 3	MFR 2	MFR 1	MFR 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：312_H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 31	MFR 30	MFR 29	MFR 28	MFR 27	MFR 26	MFR 25	MFR 24	MFR 23	MFR 22	MFR 21	MFR 20	MFR 19	MFR 18	MFR 17	MFR 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：314_H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 47	MFR 46	MFR 45	MFR 44	MFR 43	MFR 42	MFR 41	MFR 40	MFR 39	MFR 38	MFR 37	MFR 36	MFR 35	MFR 34	MFR 33	MFR 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：316_H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 63	MFR 62	MFR 61	MFR 60	MFR 59	MFR 58	MFR 57	MFR 56	MFR 55	MFR 54	MFR 53	MFR 52	MFR 51	MFR 50	MFR 49	MFR 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] 3回連続した“リンク成立”を認識すると“1”が設定され、3回連続した“リンク不成立”を認識すると“0”が設定される、個々のメンバ状態が格納されるレジスタです。ビット0がステーションアドレス(SA)0へ、ビット1がSA1へ、ビット63がSA63へ対応します。

本レジスタのビットは、自己ステーションのステーションアドレス(SA)と一致するステーションタイム(ST)の先頭時期(ステータス管理の起点時期)に更新されます。

本レジスタのビットは、SCR(System Control Register)のSTARTビットが“0”の時およびSCR(System Control Register)のGMMビットが“1”の時に、全てのビットが“0”を維持します。

6.4 DRFR (Data Renewal Flag Register)

アドレス：318H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRFR 15	DRFR 14	DRFR 13	DRFR 12	DRFR 11	DRFR 10	DRFR 9	DRFR 8	DRFR 7	DRFR 6	DRFR 5	DRFR 4	DRFR 3	DRFR 2	DRFR 1	DRFR 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：31AH

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRFR 31	DRFR 30	DRFR 29	DRFR 28	DRFR 27	DRFR 26	DRFR 25	DRFR 24	DRFR 23	DRFR 22	DRFR 21	DRFR 20	DRFR 19	DRFR 18	DRFR 17	DRFR 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：31CH

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRFR 47	DRFR 46	DRFR 45	DRFR 44	DRFR 43	DRFR 42	DRFR 41	DRFR 40	DRFR 39	DRFR 38	DRFR 37	DRFR 36	DRFR 35	DRFR 34	DRFR 33	DRFR 32
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

アドレス：31EH

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRFR 63	DRFR 62	DRFR 61	DRFR 60	DRFR 59	DRFR 58	DRFR 57	DRFR 56	DRFR 55	DRFR 54	DRFR 53	DRFR 52	DRFR 51	DRFR 50	DRFR 49	DRFR 48
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] DRCR (Data Renewal Check Register) へ設定されているメモリブロックに対して、データ遷移検出の結果を示すレジスタです。DRFR のビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ、それぞれ対応します。データ遷移を検出したメモリブロックに対応するビットが“1”を維持します。本レジスタのビットが遷移するタイミングの詳細については、“5.2.4 グローバルメモリのデータ遷移検出機能”を参照してください。

本レジスタのビットの状態は、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

本レジスタの機能は、MKY44-SPI が GMM (Global Memory Monitor) ステーションとして動作している時も有効です。

6.5 LGR (Link Group Register)

アドレス：320H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LGR 15	LGR 14	LGR 13	LGR 12	LGR 11	LGR 10	LGR 9	LGR 8	LGR 7	LGR 6	LGR 5	LGR 4	LGR 3	LGR 2	LGR 1	LGR 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：322H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LGR 31	LGR 30	LGR 29	LGR 28	LGR 27	LGR 26	LGR 25	LGR 24	LGR 23	LGR 22	LGR 21	LGR 20	LGR 19	LGR 18	LGR 17	LGR 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

アドレス：324H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LGR 47	LGR 46	LGR 45	LGR 44	LGR 43	LGR 42	LGR 41	LGR 40	LGR 39	LGR 38	LGR 37	LGR 36	LGR 35	LGR 34	LGR 33	LGR 32
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

アドレス：326H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LGR 63	LGR 62	LGR 61	LGR 60	LGR 59	LGR 58	LGR 57	LGR 56	LGR 55	LGR 54	LGR 53	LGR 52	LGR 51	LGR 50	LGR 49	LGR 48
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

- [機能説明] LFR (Link Flag Register) のステータスの監視対象となるビットを設定するレジスタです。
 本レジスタのビットは、LFR (Link Flag Register) のビットに対応します。
 本レジスタのビットへ“1”を設定してリンク監視対象の CUnet ステーションを設定することにより、
 任意の CUnet ステーションのリンクステータスを一括監視することが可能となります。

6.6 MGR (Member Group Register)

アドレス：328_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MGR 15	MGR 14	MGR 13	MGR 12	MGR 11	MGR 10	MGR 9	MGR 8	MGR 7	MGR 6	MGR 5	MGR 4	MGR 3	MGR 2	MGR 1	MGR 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：32A_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MGR 31	MGR 30	MGR 29	MGR 28	MGR 27	MGR 26	MGR 25	MGR 24	MGR 23	MGR 22	MGR 21	MGR 20	MGR 19	MGR 18	MGR 17	MGR 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

アドレス：32C_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MGR 47	MGR 46	MGR 45	MGR 44	MGR 43	MGR 42	MGR 41	MGR 40	MGR 39	MGR 38	MGR 37	MGR 36	MGR 35	MGR 34	MGR 33	MGR 32
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

アドレス：32E_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MGR 63	MGR 62	MGR 61	MGR 60	MGR 59	MGR 58	MGR 57	MGR 56	MGR 55	MGR 54	MGR 53	MGR 52	MGR 51	MGR 50	MGR 49	MGR 48
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W															

[機能説明] MFR (Member Flag Register) のステータスの監視対象となるビットを設定するレジスタです。本レジスタのビットは、MFR (Member Flag Register) のビットに対応します。
本レジスタのビットへ“1”を設定してメンバグループを設定することより、任意の CUnet ステーションのメンバステータスを一括監視することが可能となります。

6.7 DRCR (Data Renewal Check Register)

アドレス：330H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRCR 15	DRCR 14	DRCR 13	DRCR 12	DRCR 11	DRCR 10	DRCR 9	DRCR 8	DRCR 7	DRCR 6	DRCR 5	DRCR 4	DRCR 3	DRCR 2	DRCR 1	DRCR 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス：332H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRCR 31	DRCR 30	DRCR 29	DRCR 28	DRCR 27	DRCR 26	DRCR 25	DRCR 24	DRCR 23	DRCR 22	DRCR 21	DRCR 20	DRCR 19	DRCR 18	DRCR 17	DRCR 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

アドレス：334H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRCR 47	DRCR 46	DRCR 45	DRCR 44	DRCR 43	DRCR 42	DRCR 41	DRCR 40	DRCR 39	DRCR 38	DRCR 37	DRCR 36	DRCR 35	DRCR 34	DRCR 33	DRCR 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

アドレス：336H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRCR 63	DRCR 62	DRCR 61	DRCR 60	DRCR 59	DRCR 58	DRCR 57	DRCR 56	DRCR 55	DRCR 54	DRCR 53	DRCR 52	DRCR 51	DRCR 50	DRCR 49	DRCR 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

[機能説明] グローバルメモリのデータ遷移を検出する機能を利用する際に、データ遷移を検出したいメモリブロック (MB) に対応するビットを予め設定するレジスタです。“1”をライトしたビットが検出の対象です。DRCRのビット0がMB0に、ビット7がMB7に、ビット63がMB63にそれぞれ対応します。本レジスタの機能は、MKY44-SPIがGMM (Global Memory Monitor) ステーションとして動作している時も有効です。



注意事項

自己ステーションが占有しているメモリブロックに対しては、対象のDRCRに“1”が設定されていても、データ遷移を検出する機能は動きません。

6.8 MSLR (Mail Send Limit time Register)

アドレス：340H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	LMT 12	LMT 11	LMT 10	LMT 9	LMT 8	LMT 7	LMT 6	LMT 5	LMT 4	LMT 3	LMT 2	LMT 1	LMT 0
初期値：	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[機能説明] メール送信のタイムアウト値を設定するレジスタです。

本レジスタのLMT0～12 (LiMit Time) ビットへは、サイクルタイムを1単位とする、ユーザシステムが定めるタイムアウト値 (16進数：“0004H～1FFFH”) をライトしてください。

本レジスタは、MSCR (Mail Sned Control Register) のビット 14 (SEND) が“1” (メール送信中) の場合は、ライトプロテクトされます。

本レジスタへは、ハードウェアリセットがアクティブになると、初期値として 1FFFH が設定されます。本レジスタの値が“0000H～0003H”である時にメール送信開始操作を行なった場合には、LMFLT (LiMit time FauLT) エラーが発生し、メールは送信されません。

6.9 MSRR (Mail Send Result Register)

アドレス：342H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	RLT 12	RLT 11	RLT 10	RLT 9	RLT 8	RLT 7	RLT 6	RLT 5	RLT 4	RLT 3	RLT 2	RLT 1	RLT 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] メール送信に要した所要時間が格納されるレジスタです。

メール送信終了時に、メール送信の開始から終了までに要した所要時間となるサイクル数 (16進数) が、RLT0～12 (ResuLt Time) ビットへ設定されます。

本レジスタは、次のメール送信の終了まで値を維持します。

6.10 MESR (Mail Error Status Register)

アドレス：344_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	STOP	LMFLT	SZFLT	TOUT	NOEX	NORDY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- [機能説明] メール送信の開始以後、メール送信エラーが発生した場合のエラー内容を示すレジスタです。
 メール送信エラーの発生種別に対応するビットが“1”へ遷移します。
 ビット0～5が存在するアドレスへ、任意のデータをライトすることにより、全てのビットは“0”へクリアされます。

●ビット説明

NORDY (destination NOt ReaDY) ビット (ビット0)

- [機能] 本ビットは、送信先の受信バッファが受信許可されていなかったことによるメール送信エラーの発生を示します。

NOEX (destination NOt EXist) ビット (ビット1)

- [機能] 本ビットは、MSCR (Mail Send Control Register) に設定した送信先の CUnet ステーションが存在しなかったことによるメール送信エラーの発生を示します。

TOUT (limit Time OUT) ビット (ビット2)

- [機能] 本ビットは、MSLR (Mail Send Limit time Register) に設定されているサイクル回数を経過してもメール送信が完了しなかったことによるメール送信エラーの発生を示します。

SZFLT (SiZe FauLT) ビット (ビット3)

- [機能] 本ビットは、MSCR (Mail Send Control Register) に設定したメール送信サイズが不正値であったことによるメール送信エラーの発生を示します。

LMFLT (LiMit time FauLT) ビット (ビット4)

- [機能] 本ビットは、MSLR (Mail Send Limit time Register) に設定した値が不正であったことによるメール送信エラーの発生を示します。

STOP (communication STOPped) ビット (ビット5)

- [機能] 本ビットは、メール送信中のネットワーク停止によるメール送信エラーの発生を示します。

6.11 MSCR (Mail Send Control Register)

アドレス：346H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERR	SEND	DST5	DST4	DST3	DST2	DST1	DST0	---	---	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W						

[機能説明] MSB (Mail Send Buffer) ヘライトしたデータセットのメール送信をコントロールするレジスタです。

●ビット説明

SZ0～5 (send SiZe) ビット (ビット0～5)

[機能] 本ビットへは、メール送信用のデータセットのサイズを設定します。

SEND ビット (ビット 14) へ “1” をライトする以前かあるいは同時に、メール送信用データセットのサイズ (16 進数) をライトしてください。データセットのサイズは、8 バイトを 1 単位とした値です。

例えば、データセットが 34 バイトである場合のサイズは “05H” です。データセットが最大の 256 バイトである場合のサイズは “20H” です。

サイズの値に、誤って “00H” もしくは、“21H～3FH” を設定した場合には、SZFLT (SiZe FauLT) エラーが発生し、メールは送信されません。

DST0～5 (DeSTination station address) ビット (ビット8～13)

[機能] 本ビットへは、メールを送信する宛先のステーションアドレスを設定します。

SEND ビット (ビット 14) へ “1” をライトする以前かあるいは同時に、メールを送信する宛先のステーションアドレス (16 進数) をライトしてください。

SEND (mail SEND) ビット (ビット14)

[機能] 本ビットは、メール送信を開始します。

メール送信を開始する時に、本ビットへ “1” をライトしてください。

本ビットは、ERR ビット (ビット 15) が “1” である場合、ライトプロテクトされます。

本ビットは、メール送信が終了 (正常な終了あるいはエラー発生による中断) した場合、“0” へクリアされます。

本ビットが “1” の時 (メール送信中) は、MSB へのライトはプロテクトされます。また本ビットが “1” の時に MSB をリードした場合に、リードによって読み出されるデータは “00H” です。

ERR (mail send ERRor) ビット (ビット15)

[機能] 本ビットは、メール送信がエラー終了したことを示します。

本ビットは、メール送信時にエラーが発生した時、“1” へ遷移します。

MESR (Mail Error Status Register) の全ビットが “0” へクリアされると、本ビットも “0” へクリアされます。

6.12 MROCR (Mail Receive 0 Control Register)

アドレス：348H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRCO	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

【機能説明】 MRBO (Mail Receive Buffer 0) に対応するメール受信をコントロールするレジスタです。

●ビット説明

SZ0～5 (receive SiZe) ビット (ビット0～5)

【機能】 本ビットへは、MRBO がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

RDY (receive ReaDY) ビット (ビット6)

【機能】 本ビットへは、MRBO のメール受信許可を設定します。

本ビットは、SCR の START ビットが“1”の時に操作できます。

本ビットへ“1”をライトすることにより、MRBO のメール受信を許可します。

本ビットが“0”の時は、MRBO のメール受信を禁止します。

MRBO へのメール受信中は、本ビット値を“1”から“0”へ設定することはできません。このため、“0”をライトした際は、本ビットをリードしてビットの状態を確認してください。

本ビットへ“1”をライトすると、RCV ビットへは強制的に“0”が設定されます。

本ビットが“1”の時は、MRBO へのライトはプロテクトされます。また本ビットが“1”の時に MRBO をリードした場合に、リードによって読み出されるデータは“00H”です。

本ビットが“1”の時に、SCR の START ビットが“0”へ遷移すると、本ビットも“0”へ遷移します。

RCV (ReCeIved) ビット (ビット7)

【機能】 本ビットは、メールの受信完了を示します。

本ビットは、メールの受信完了により“1”へ遷移します。本ビットが“1”になると同時に、RDY ビット (ビット6) が“0”へ遷移します。RDY ビットへ“1”をライトすると、本ビットへは“0”が設定されます。

また、RDY ビットへ“1”をライトせずに直接本ビットへ“0”をライトすることによって、本ビットを強制的に“0”にすることも可能です。

本ビットが“1”の時は、MRBO へのライトはプロテクトされます。

SRCO～5 (SouRCe station address) ビット (ビット8～13)

【機能】 本ビットへは、MRBO へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

6.13 MR1CR (Mail Receive 1 Control Register)

アドレス：34AH

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRC0	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

【機能説明】 MRB1 (Mail Receive Buffer 1) に対応するメール受信をコントロールするレジスタです。

●ビット説明

SZ0～5 (receive SiZe) ビット (ビット0～5)

【機能】 本ビットへは、MRB1 がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。
本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

RDY (receive ReaDY) ビット (ビット6)

【機能】 本ビットへは、MRB1 のメール受信許可を設定します。
本ビットは、SCR の START ビットが“1”の時に操作できます。
本ビットへ“1”をライトすることにより、MRB1 のメール受信を許可します。
本ビットが“0”の時は、MRB1 のメール受信を禁止します。
MRB1 のメール受信中は、本ビット値を“1”から“0”へ設定することはできません。このため、“0”をライトした際は、本ビットをリードしてビットの状態を確認してください。
本ビットへ“1”をライトすると、RCV ビットへは強制的に“0”が設定されます。
本ビットが“1”の時は、MRB1 へのライトはプロテクトされます。また本ビットが“1”の時に MRB1 をリードした場合に、リードによって読み出されるデータは“00H”です。
本ビットが“1”の時に、SCR の START ビットが“0”へ遷移すると、本ビットも“0”へ遷移します。

RCV (ReCeIved) ビット (ビット7)

【機能】 本ビットは、メールの受信完了を示します。
本ビットは、メールの受信完了により“1”へ遷移します。本ビットが“1”になると同時に、RDY ビット (ビット6) が“0”へ遷移します。RDY ビットへ“1”をライトすると、本ビットへは“0”が設定されます。
また、RDY ビットへ“1”をライトせずに直接本ビットへ“0”をライトすることによって、本ビットを強制的に“0”にすることも可能です。
本ビットが“1”の時は、MRB1 へのライトはプロテクトされます。

SRC0～5 (SouRCe station address) ビット (ビット8～13)

【機能】 本ビットへは、MRB1 へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。
本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

6.14 CCTR (Care Counter Register)

アドレス：34CH

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCC 7	MCC 6	MCC 5	MCC 4	MCC 3	MCC 2	MCC 1	MCC 0	LCC 7	LCC 6	LCC 5	LCC 4	LCC 3	LCC 2	LCC 1	LCC 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

[機能説明] LCARE 信号および MCARE 信号の発生回数が格納されるレジスタです。

●ビット説明

LCC0～7 (Link Care Counter) ビット (ビット0～7)

[機能] 本ビットへは、LCARE 信号の発生回数が格納されます。
 本ビットによって、LCARE 信号の発生回数 (16 進数) がカウントされます。
 発生回数は、“FFH” までカウントすると、“FFH” の値を維持します。
 本ビットは、LCC0 ビット (ビット0) へ“1”をライトすることにより、カウント値を“00H”へクリアできます。

MCC0～7 (Member Care Counter) ビット (ビット8～15)

[機能] 本ビットへは、MCARE 信号の発生回数が格納されます。
 本ビットによって、MCARE 信号の発生回数 (16 進数) がカウントされます。
 発生回数は、“FFH” までカウントすると、“FFH” の値を維持します。
 本ビットは、MCC0 ビット (ビット8) へ“1”をライトすることにより、カウント値を“00H”へクリアできます。

6.15 QCR (Query Control Register)

アドレス：350H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	TYP4	TYP3	TYP2	TYP1	TYP0	PING	TQ	TS5	TS4	TS3	TS2	TS1	TS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【機能説明】 PING 機能および他の CUnet ステーションのモードを検出する機能（クエリ）をコントロールするレジスタです。

●ビット説明

TS0 ～ 5 (Target Station) ビット (ビット0 ～ 5)

【機能】 本ビットへは、PING およびクエリの対象とするステーションアドレスを設定します。

TQ (Try Query) ビット (ビット6)

【機能】 本ビットは、クエリの実施を操作します。

本ビットへ“1”をライトすることによって、TS0 ～ TS5 ビットへ設定したステーションアドレスの CUnet ステーションに対してクエリを実施します。クエリ完了後に本ビットは“0”へリセットされます。

対象の CUnet ステーションが存在しない場合は、本ビットは“1”のままになります。数サイクル時間が経過しても本ビットが“0”へリセットされない場合は、本ビットへ“0”をライトしてクエリを終了させてください。

本ビットと PING ビットの両方が“1”となるデータのライトはプロテクトされます。

PING (PING) ビット (ビット7)

【機能】 本ビットは、PING 命令の発行を操作するビットです。

本ビットへ“1”をライトすることにより、TS0 ～ TS5 ビットへ設定したステーションアドレスの CUnet ステーションに対して PING 命令を送信します。送信完了後に本ビットは、“0”へ遷移します。

本ビットと、TQ ビットの両方が“1”となるデータのライトはプロテクトされます。

TYP0 ～ 4 (station TYPE) ビット (ビット8 ～ 12)

【機能】 本ビットへは、他の CUnet ステーションのモードを検出する機能（クエリ）が完了した時に、表 6-2 のタイプコードが設定されます。

表 6-2 クエリ完了によるタイプコード

ビット8～12へセットされるタイプコード	CUnet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H～1FH	メーカーリザーブ	

6.16 NFSR (New Final Station Register)

アドレス：352_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	NFS5	NFS4	NFS3	NFS2	NFS1	NFS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

[機能説明] リサイズを操作する時に、新たな FS (Final Station) 値をライトするレジスタです。

本レジスタの NFS0 ~ 5 (New Final Station) ビットへ、16 進数の NFS (New Final Station) 値をライトすることにより、リサイズが実行されます。

本レジスタへのライトは、本デバイス (MKY44-SPI) がランフェーズでない時は無視されます。また本レジスタへのライト値が、自己ステーションの占有エリアを除外する値である時にも無視されます (“5.4.2.2 リサイズの拒否” を参照)。

本レジスタは、リサイズ命令を 4 回通信ラインへ送信し終わると、“00H” へ遷移します。本レジスタは、リサイズオーバーラップが発生した場合、およびネットワーク停止した場合も、“00H” へ遷移します。リサイズ操作の詳細については、“5.4.2 サイクルタイムの変更 (リサイズ)” を参照してください。

6.17 FSR (Final Station Register)

アドレス：354_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	FS5	FS4	FS3	FS2	FS1	FS0
初期値：	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] 16 進数の FS (Final Station) 値が FS0 ~ 5 (Final Station) ビットへ格納される、リード専用のレジスタです。

6.18 BCR (Basic Control Register)

アドレス：356H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFS	---	OWN5	OWN4	OWN3	OWN2	OWN1	OWN0	BPS1	BPS0	SA5	SA4	SA3	SA2	SA1	SA0
初期値：	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

[機能説明] CUnet を構築する MKY44-SPI の基本設定が格納されるレジスタです。

本レジスタは、SCR (System Control Register) の GMM ビット (ビット 15) が “1” の時のみライトが可能です。

●ビット説明

SA0 ~ 5 (Station Address) ビット (ビット 0 ~ 5)

[機能] 本ビットは、ステーションアドレス (SA) を設定します。

BPS0, 1 (BPS) ビット (ビット 6, 7)

[機能] 本ビットは、転送レートを設定します。

各ビット値と転送レートの関係を、表 6-3 に示します。

表 6-3 各ビット値と転送レート

ビット 7:BPS1	ビット 6:BPS0	転送レート
1	1	12Mbps
1	0	6Mbps
0	1	3Mbps
0	0	未使用

OWN0 ~ 5 (OWN width) ビット (ビット 8 ~ 13)

[機能] 本ビットへは、占有幅 (OWN width) のブロック数を設定します。

LFS (Long Frame Select) ビット (ビット 15)

[機能] 本ビットは、MKY44-SPI のフレームオプションを設定します。

本ビットへ “1” をライトすることにより、フレームオプションが設定されます。

フレームオプションに関する詳細については、“5.4.9 フレームオプション [HUB 対応] ” を参照してください。



OWN0 ~ OWN5 ビットにすべて “0” を書き込んだ場合、OWN0 ビットが “1” になります。

6.19 INTOCR (INTerrupt 0 Control Register)

アドレス：358H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

[機能説明] #INT0 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INTOCR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT0 端子の機能がイネーブルになります。

●ビット説明

ALM (ALArM) ビット (ビット0)

[機能] 本ビットは、サイクル中のステーションタイムが予め ITOCR (Interrupt Timing 0 Control Register) へ指定した時刻になったことによる割込みトリガ発生をイネーブルにします。

DR (Data Renewal) ビット (ビット1)

[機能] 本ビットは、予め ITOCR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (DataRenewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出による割込みトリガ発生をイネーブルにします。

MR (Mail Receive) ビット (ビット2)

[機能] 本ビットは、メール受信完了による割込みトリガ発生をイネーブルにします。

MSF (Mail Send Finish) ビット (ビット3)

[機能] 本ビットは、メール送信 (正常あるいはエラーに関わらず) 終了による割込みトリガ発生をイネーブルにします。

MGNE (Member Group Not Equal) ビット (ビット4)

[機能] 本ビットは、“MGR ≠ MFR” の判定結果による割込みトリガ発生をイネーブルにします。

MGNC (Member Group Not Collect) ビット (ビット5)

[機能] 本ビットは、“MGR > MFR” の判定結果による割込みトリガ発生をイネーブルにします。

RC (Resize Complete) ビット (ビット6)

[機能] 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより、自己ステーションのリサイズ完了による割込みトリガ発生をイネーブルにします。

RSTP (Run SToP) ビット (ビット7)

[機能] 本ビットは、ネットワーク停止による割込みトリガ発生をイネーブルにします。

RSTR (Run STaRt) ビット (ビット 8)

[機能] 本ビットは、ランフェーズへ遷移したことによる割込みトリガ発生をイネーブルにします。

MC (Member Change) ビット (ビット 9)

[機能] 本ビットは、MFR (Member Flag Register) の内、“1” であるビット数の増減による割込みトリガ発生をイネーブルにします。

この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (LinkFlag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

LOK (Link group OK) ビット (ビット 10)

[機能] 本ビットは、“リンク OK” の判定結果による割込みトリガ発生をイネーブルにします。

この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (LinkFlag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

LNG (Link group No Good) ビット (ビット 11)

[機能] 本ビットは、“リンク NG (No Good)” の判定結果による割込みトリガ発生をイネーブルにします。

この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (LinkFlag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

BD (Break Detect) ビット (ビット 12)

[機能] 本ビットは、他の CUnet ステーションから送信されるブレイクパケット受信による割込みトリガ発生をイネーブルにします。

RO (Resize Overlap) ビット (ビット 13)

[機能] 本ビットは、リサイズオーバーラップによる割込みトリガ発生をイネーブルにします。

PR (Ping Receive) ビット (ビット 14)

[機能] 本ビットは、他の CUnet ステーションからの PING 命令受信による割込みトリガ発生をイネーブルにします。

JD (Jammer Detect) ビット (ビット 15)

[機能] 本ビットは、ジャマー検出による割込みトリガ発生をイネーブルにします。

6.20 ITOCR (Interrupt Timing 0 Control Register)

アドレス：35C_H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	DR6	DR5	DR4	DR3	DR2	DR1	DR0	---	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

[機能説明] #INT0 端子の割込みトリガ発生機能における、DR (Data Renewal) 割込みトリガ発生タイミング、および ALM (ALarM) 割込みトリガ発生タイミングのそれぞれを設定するレジスタです。それぞれの割込みトリガは、設定値とステーションタイムが一致した時点で発生します。

●ビット説明

ALM0 ~ 6 (ALarM) ビット (ビット0 ~ 6)

[機能] 本ビットは、ALM (ALarM) の割込み発生要因による割込みトリガの発生タイミングを設定します。本ビットは、“0 ~ 127(00H ~ 7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に “2” を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値をライトしないでください。

DR0 ~ 6 (Data Renewal) ビット (ビット8 ~ 14)

[機能] 本ビットは、DR (Data Renewal) の割込み発生要因による割込みトリガの発生タイミングを設定するビットです。本ビットへは、“0 ~ 127(00H ~ 7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に “2” を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値はライトしないでください。

6.21 INTOSR (INTerrupt 0 Status Register)

アドレス：360H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

- 【機能説明】 #INT0 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。
- #INT0 端子の出力レベルは、本レジスタのビットが全て“0”になると、Hi レベル出力を維持する状態へ戻ります。
- 本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください（“0”をライトしても無視されます）。

●ビット説明

ALM (ALArM) ビット (ビット0)

- 【機能】 本ビットは、サイクル中のステーションタイムが予め ITOCR (Interrupt Timing 0 Control Register) へ指定した時刻になったことにより割込みトリガが発生したことを示します。
- DR (Data Renewal) ビット (ビット1)

DR (Data Renewal) ビット (ビット1)

- 【機能】 本ビットは、予め ITOCR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出によって割込みトリガが発生したことを示します。

MR (Mail Receive) ビット (ビット2)

- 【機能】 本ビットは、メール受信完了によって割込みトリガが発生したことを示します。

MSF (Mail Send Finish) ビット (ビット3)

- 【機能】 本ビットは、メール送信（正常あるいはエラーに関わらず）終了によって割込みトリガが発生したことを示します。

MGNE (Member Group Not Equal) ビット (ビット4)

- 【機能】 本ビットは、MGR ≠ MFR 判定結果によって割込みトリガが発生したことを示すビットです。

MGNC (Member Group Not Collect) ビット (ビット5)

- 【機能】 本ビットは、“MGR > MFR” の判定結果によって割込みトリガが発生したことを示します。

RC (Resize Complete) ビット (ビット6)

- 【機能】 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより自己ステーションのリサイズ完了による割込みトリガが発生したことを示します。

RSTP (Run SToP) ビット (ビット7)

- 【機能】 本ビットは、ネットワーク停止によって割込みトリガが発生したことを示します。

RSTR (Run STaRt) ビット (ビット8)

[機能] 本ビットは、ランフェーズへ遷移したことによって割込みトリガが発生したことを示します。

MC (Member Change) ビット (ビット9)

[機能] 本ビットは、MFR (Member Flag Register) の“1”であるビット数の増減によって割込みトリガが発生したことを示します。

LOK (Link group OK) ビット (ビット10)

[機能] 本ビットは、“リンク OK”の判定結果によって割込みトリガが発生したことを示します。

LNG (Link group No Good) ビット (ビット11)

[機能] 本ビットは、“リンク NG (No Good)”の判定結果によって割込みトリガが発生したことを示します。

BD (Break Detect) ビット (ビット12)

[機能] 本ビットは、他の CUnet ステーションから送信されるブレイクパケットを受信したことによって割込みトリガが発生したことを示します。

RO (Resize Overlap) ビット (ビット13)

[機能] 本ビットは、リサイズオーバーラップが発生したことによって割込みトリガが発生したことを示すビットです。

PR (Ping Receive) ビット (ビット14)

[機能] 本ビットは、他の CUnet ステーションからの PING 命令を受信したことによって割込みトリガが発生したことを示します。

JD (Jammer Detect) ビット (ビット15)

[機能] 本ビットは、ジャマー検出によって割込みトリガが発生したことを示します。

6.22 SSR (System Status Register)

アドレス：364_H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC	NM	LNG	LOK	DR	BD	JD	RO	MSE	MR	MGNC	MGNE	---	---	---	---
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

[機能説明] ネットワークの稼動における各種ステータスが格納されるレジスタです。本レジスタの一部ビットの更新時期となる、“ステータス管理の起点時期”については、“5.2.3.2 ステータス管理の起点時期および特例”を参照してください。

●ビット説明

MGNE (Member Group Not Equal) ビット (ビット4)

[機能] 本ビットは、MGRのいずれかのビットが“1”である時に、“MGR ≠ MFR”を示します。
本ビットへは、“ステータス管理の起点時期”において、MGR (Member Group Register) のビットの状態とMFR (Member Flag Register) のビットの状態が一致していない場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MGNC (Member Group Not Collect) ビット (ビット5)

[機能] 本ビットは、MGRのいずれかのビットが“1”である時に、“MGR > MFR”を示します。
本ビットへは、“ステータス管理の起点時期”において、MGRが“1”である対象のMFR内のいずれかのビットが“0”である場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MR (Mail Received) ビット (ビット6)

[機能] 本ビットは、メール受信の完了を示します。
本ビットへは、MRB0 (Mail Receive Buffer 0) またはMRB1 (Mail Receive Buffer 1) へメールによるデータセットの受信が完了した時、“1”が設定されます。
MROCR (Mail Receive 0 Control Register) およびMR1CR (Mail Receive 1 Control Register) の両方のRCV (ReCeived) ビットが“0”へクリアされると、本ビットも“0”にクリアされます。

MSE (Mail Send Error) ビット (ビット7)

[機能] 本ビットは、メール送信がエラー終了したことを示します。
本ビットへは、メール送信時にエラーが発生した時、“1”が設定されます。MESR (Mail Error Status Register) 全てのビットが“0”へクリアされると、本ビットも“0”へクリアされます。

RO (Resize Overlap) ビット (ビット8)

[機能] 本ビットは、“リサイズオーバーラップ検出”を示します。
本ビットへは、自己ステーションのリサイズ操作が、他のCUNetステーションのリサイズ操作と重複したことにより無効になった時、“1”が設定されます。本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

JD (Jammer Detect) ビット (ビット9)

[機能] 本ビットは、“ジャマー (Jammer) 検出”を示します。
本ビットへは、ジャマーを検出した時、“1”が設定されます。
本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

BD (Break Detect) ビット (ビット 10)

- [機能] 本ビットは、“ブレークフェーズのCUnetステーション検出”を示します。
本ビットへは、他のCUnetステーションから送信されたブレークパケットを受信した時、“1”が設定されます。本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

DR (Data Renewal) ビット (ビット 11)

- [機能] 本ビットは、“グローバルメモリのデータ遷移検出”を示します。
本ビットへは、DRCR (Data Renewal Check Register) が“1”である対象のメモリブロックのデータ遷移を検出した時、“1”が設定されます。本ビットが“1”から“0”へ遷移するタイミングは、MKY44-SPI利用の環境によって異なるため、“5.2.4.3 DRフラグビットおよびDRFRビットが“1”から“0”へ遷移するタイミング”を参照してください。
本ビットは、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

LOK (Link group OK) ビット (ビット 12)

- [機能] 本ビットは、“リンクOK”の判定を示します。
本ビットへは、LGR (Link Group Register) のビットが“1”である対象のLFR (Link Flag Register) の全ビットが“1”となった場合に、“1”が設定されます。
本ビットは、“ステータス管理の起点時期”に“0”へクリアされます。但し、本ビットは、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“5.5.6 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

LNG (Link group No Good) ビット (ビット 13)

- [機能] 本ビットは、“リンクNG (No Good)”の判定を示します。
本ビットへは、“ステータス管理の起点時期”において、LGRのビットが“1”である対象のLFR内のいずれかのビットが“0”であった場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

NM (New Member) ビット (ビット 14)

- [機能] 本ビットは、“メンバ増加”を示します。
本ビットへは、“ステータス管理の起点時期”において、MFRのいずれかのビットが“0”から“1”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MC (Member Care) ビット (ビット 15)

- [機能] 本ビットは、“メンバ減少”を示します。
本ビットへは、“ステータス管理の起点時期”において、MFRのいずれかのビットが“1”から“0”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

6.23 SCR (System Control Register)

アドレス：366H

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GMM	LF	SNF	OC	BRK	CALL	RUN	START	---	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【機能説明】 CUnet のネットワークをコントロールするレジスタです。

●ビット説明

ST0～6 (Station Time) ビット (ビット0～6)

【機能】 本ビットへは、ステーションタイムが設定されます。
現在のステーションタイム (16 進数) が設定されます。本ビットの値は、サイクルの進行に伴いダイナミックに遷移します。ステーションタイムの詳細については、“5.1.7 サイクル中の詳細タイミング”や“CUnet 導入ガイド”を参照してください。

START (START) ビット (ビット8)

【機能】 本ビットは、ネットワークの起動と停止を制御します。
本ビットへ“1”をライトすると、ネットワークが起動します。
本ビットは、ネットワークの稼動中“1”を維持します。
本ビットが“1”である時に“0”をライトすることにより、意図的にネットワークを停止させることができます。

RUN (RUN phase) ビット (ビット9)

【機能】 本ビットは、本デバイス (MKY44-SPI) のフェーズを示します。
本ビットは、ランフェーズである時“1”を維持します。

CALL (CALL phase) ビット (ビット10)

【機能】 本ビットは、本デバイス (MKY44-SPI) のフェーズを示します。
本ビットは、コールフェーズである時“1”を維持します。

BRK (BReaK phase) ビット (ビット11)

【機能】 本ビットは、本デバイス (MKY44-SPI) のフェーズを示します。
本ビットは、ブレークフェーズである時“1”を維持します。

OC (Out of Cycle) ビット (ビット12)

【機能】 本ビットは、OC (Out of Cycle) によるネットワーク停止を示します。
本ビットへは、OC によってネットワークが停止した場合に“1”が設定されます。
本ビットは、ビット8 (START) へ“1”をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0”へクリアされます。OC に関する詳細については、“5.1.8 ネットワークの停止”を参照してください。

SNF (Station Not Found) ビット (ビット 13)

- [機能] 本ビットは、SNF (Station Not Found) によるネットワーク停止を示します。
本ビットへは、SNF によってネットワークが停止した場合に “1” が設定されます。
本ビットは、ビット 8 (START) へ “1” をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0” へクリアされます。SNF に関する詳細については、“**5.1.8 ネットワークの停止**” を参照してください。

LF (Long Frame) ビット (ビット 14)

- [機能] 本ビットは、フレームオプションの状態を示します。
本ビットは、フレームオプションがセットされた状態の時に “1” を維持します。
フレームオプションに関する詳細については、“**5.4.9 フレームオプション [HUB 対応]**” を参照してください。

GMM (Global Memory Monitor) ビット (ビット 15)

- [機能] 本ビットは、GMM 機能进行操作します。
本ビットへは、ビット 8 (START) が “0” の時のみ、“1” をライト可能です。
本ビットへ “1” をライトすると、本デバイス (MKY44-SPI) が GMM (Global Memory Monitor) ステーションとして動作します。
BCR (Basic Control Register) ヘデータをライトする時は、本ビットが “1” である必要があります。GMM に関する詳細については、“**5.4.8 GMM (Global Memory Monitor) 機能**” を参照してください。

6.24 CCR (Chip Code Register)

アドレス : 368_H

ビット :	15 - 8	7 - 0
	4B _H "K"	4D _H "M"
R/W :	R	R

アドレス : 36A_H

ビット :	15 - 8	7 - 0
	34 _H "4"	59 _H "Y"
R/W :	R	R

アドレス : 36C_H

ビット :	15 - 8	7 - 0
	5F _H "┌"	34 _H "4"
R/W :	R	R

アドレス : 36E_H

ビット :	15 - 8	7 - 0
	30 _H "0"	76 _H "v"
R/W :	R	R

[機能説明] 本レジスタは、CPU から "MKY44_v0" のバイト型 ASCII コードの文字列をリード可能なレジスタです。CUnet 機能の接続状態を確認するために、本レジスタはリードのみが可能です。

第7章 電氣的定格

電氣的定格を表 7-1 に示します。

表 7-1 電氣的定格

(TA=25°C Vss=0V)

項目	記号	条件	最少	標準	最大	単位
保存温度	Tstg	---	-55	---	125	°C
動作周囲温度	Topr	---	-40	---	85	°C
端子電圧 (絶対最大定格)	V _I	---	-0.3	---	V _{DD} +0.3	V
動作電源電圧	V _{DD}	---	3.0	3.3	3.6	V
平均動作電流	V _{DDA}	V _I = V _{DD} OR V _{SS} 、出力解放 XTAL = 4MHz	---	10	20	mA
入出力端子容量	C _{i/o}	V _{DD} = V _I = 0V Ta = 25°C	---	10	---	pF
入力信号の立上り / 立下り時間	T _{ICLK}	XTAL4i 端子 生成済クロック入力時	---	---	5	ns
入力信号の立上り / 立下り時間	T _{IREF}	シュミットトリガ入力	---	---	100	ms

第8章 外形寸法図

外形寸法図を図8.1に示します。

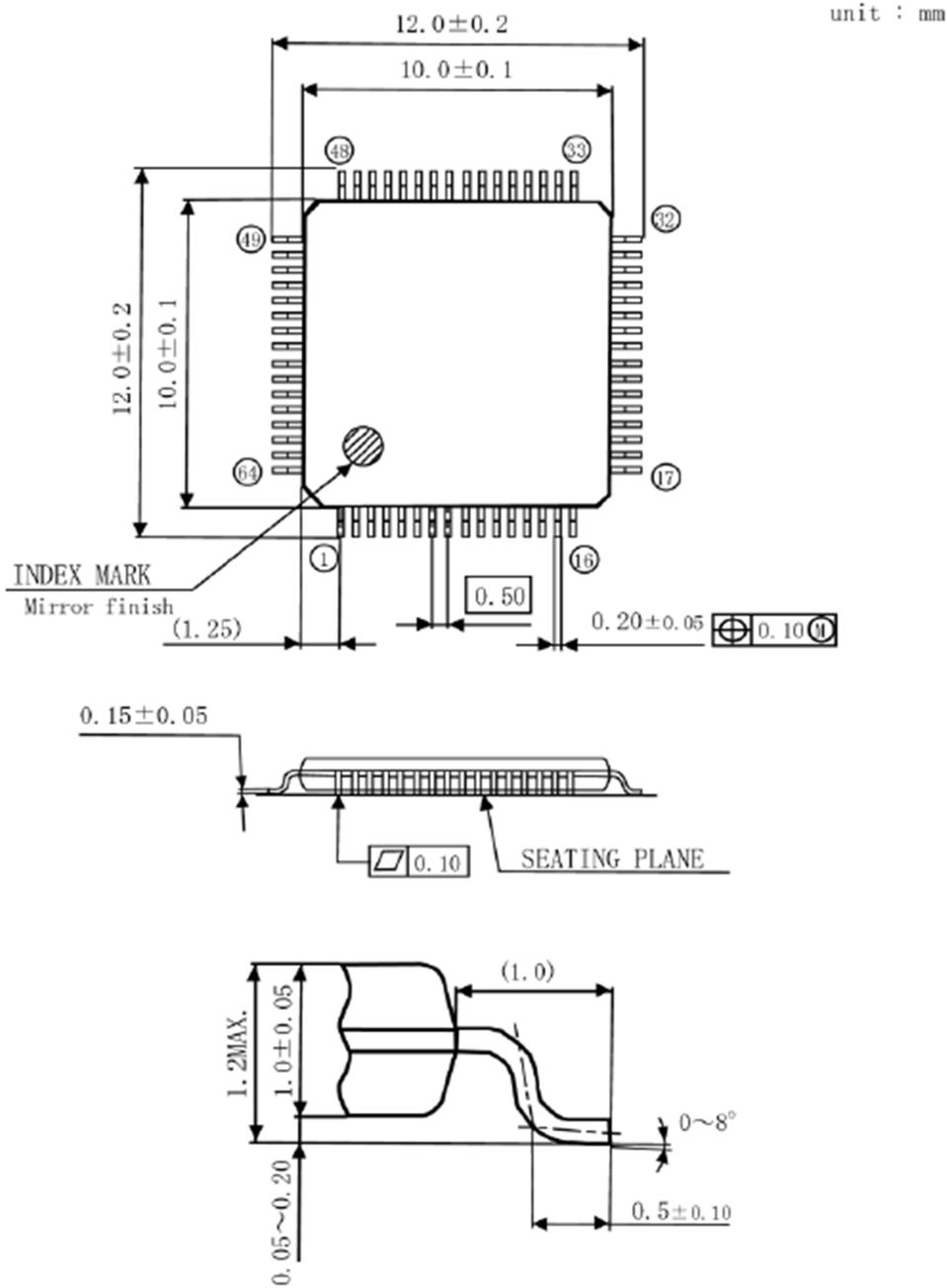


図8.1 外形寸法図

第9章 半田実装推奨条件

半田実装の際の条件と注意事項を示します。

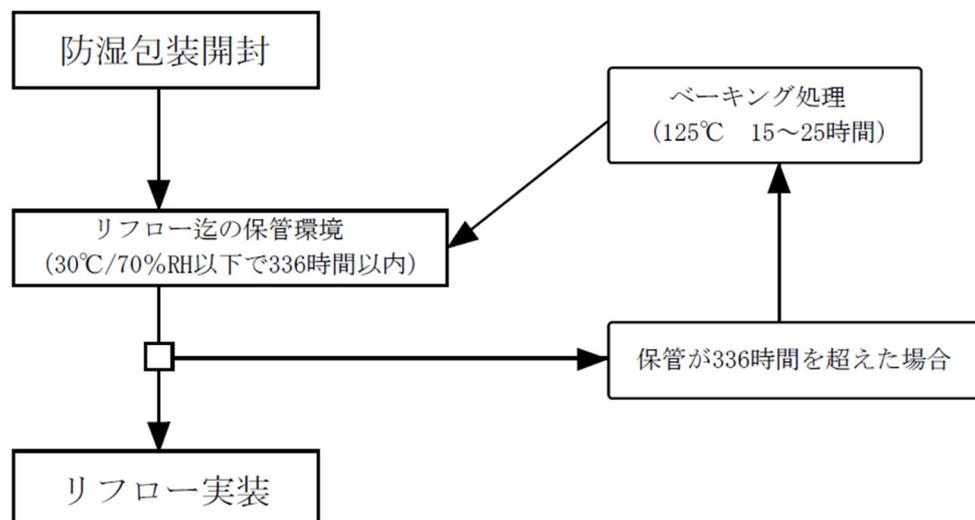
項目	リフロー	手付け半田
ピーク温度 (Tp)	260℃以下	270℃
ピーク温度保持時間	10 秒以下	10 秒以下



注意事項

- (1) 手付け半田法：(こて温度：350℃,3 秒以下) (デバイスリード温度：270℃,10 秒以下)
- (2) 製品の保管環境：吸湿防止の為、 $T_a = 30^\circ\text{C}$ 以下, $\text{RH} = 70\%$ 以内としてください。
- (3) フラックス：無塩素のロジンフラックスを推奨 (洗浄は、十分行ってください)。
- (4) リフロー回数：最大 2 回まで可能。
- (5) 予熱、除冷の実施：「推奨リフロープロファイルV」をご参照ください。
- (6) 超音波洗浄を行う場合、周波数基板形状などによっては、共振を起こしリード強度に影響することがありますので十分注意してください。

防湿包装開封後の保管条件



*リード部の酸化防止の為、ベーキングは 2 回以内としてください。

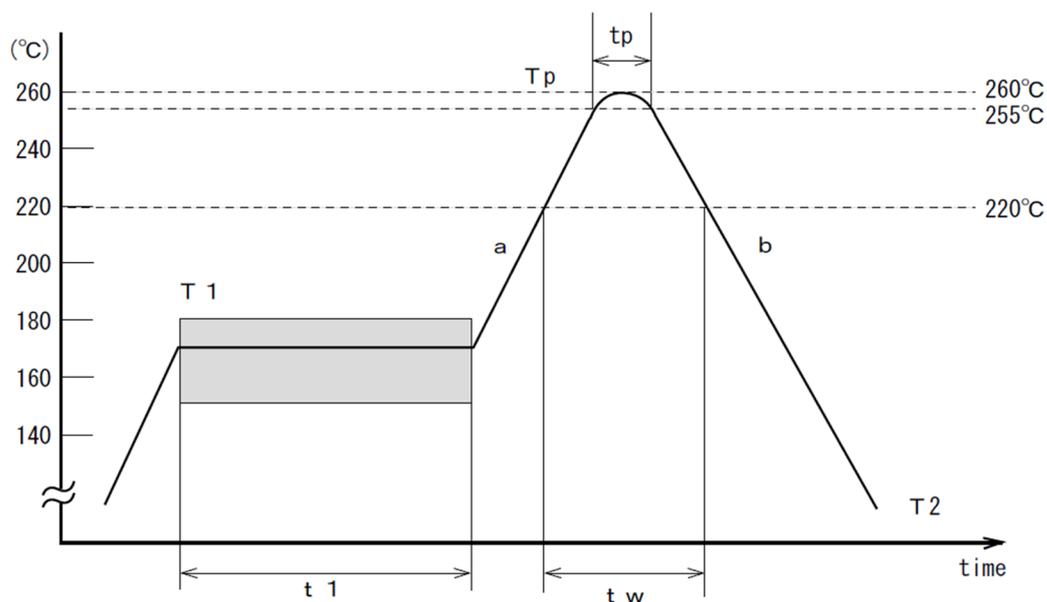
*リフロー温度プロファイルについては、「推奨リフロープロファイルV」をご参照ください。

推奨リフロープロフィールV

本推奨プロフィールは、温風リフロー、赤外線リフローなどに適用します。

- | | |
|----------|-----------------------|
| 1 プリヒート | t1 : 60 ~ 120sec |
| | T1 : 150 ~ 180°C |
| 2 昇温レート | a : 2°C ~ 5°C /sec |
| 3 ピーク条件 | tp : MAX 10sec ± 3sec |
| | Tp : MAX 255°C + 5°C |
| 4 冷却レート | b : 2°C ~ 5°C /sec |
| 5 高温領域 | tw : 220°C ,60sec 以内 |
| 6 取り出し温度 | T2 : ≤ 100°C |

注意 温度 : IC 樹脂表面温度



付録 MKY43 との相違点

MKY44-SPI は、CUnet Family の Station-IC の一品種であり、CUnet の MEM モードで動作します。

CUnet Family Station-IC としての機能や動作は MKY43 とほぼ相違なく利用できますが、一部異なった点があります。実際の利用にあたっては、以下の点にご注意ください。

- 消費電力 60%以上低減
- 動作入力クロック低下 (4MHz 動作) 発振子、発振器両対応
- CPU との接続方式とアクセス時間 (SPI 通信)
- 入出力端子の電気特性 (MKY44-SPI では、5V 入力トレラント機能無し)
- 割り込み出力端子の削減 (1本)
- 汎用入出力端子増設
- CUnet アドレス設定ピンなど増設
- CUnet 転送レート用外部入力クロック廃止
- ハザード防止機能に関するバッファ及びレジスタ制御の削除
- メモリマップ、レジスタマップ一部改訂

表 付-1 レジスタ機能互換一覧

(○：互換あり ×：相違)

アドレス値	領域名	レジスタ名	Bit数	対象機能	MKY43互換	備考
300H~307H	RFR	Receive Flag Register	64	リンク検出	○	
308H~30FH	LFR	Link Flag Register	64	リンク検出	○	
310H~317H	MFR	Member Flag Register	64	メンバ検出	○	
318H~31FH	DRFR	Data Renewal Flag Register	64	データ遷移検出	○	
320H~327H	LGR	Link Group Register	64	リンク検出	○	
328H~32FH	MGR	Member Group Register	64	メンバ検出	○	
330H~337H	DRCR	Data Renewal Check Register	64	データ遷移検出	○	
338H	--	Reserved		未使用	×	MKY43では Read Hazard Control Register 0
33AH	--	Reserved		未使用	×	MKY43では Read Hazard Control Register 1
33CH	--	Reserved		未使用	×	MKY43では Write Hazard Control Register 0
33EH	--	Reserved		未使用	×	MKY43では Write Hazard Control Register 1
340H	MSLR	Mail Send Limit time Register	16	メール送信	○	
342H	MSRR	Mail Send Result Register	16		○	
344H	MESR	Mail Error Status Register	16		○	
346H	MSCR	Mail Send Control Register	16		○	
348H	MROCR	Mail Receive 0 Control Register	16	メール受信	○	
34AH	MR1CR	Mail Receive 1 Control Register	16		○	
34CH	CCTR	Care CounTer Register	16	システム補助	○	
34EH	--	Reserved		未使用	×	MKY43では Utility pin Control Register
350H	QCR	Query Control Register	16	システム補助	○	
352H	NFSR	New Final Station Register	16	システム	○	
354H	FSR	Final Station Register	16		○	
356H	BCR	Basic Control Register	16		○	
358H	INTOCR	INTerrupt 0 Control Register	16	割り込み制御	○	
35AH	--	Reserved		未使用	×	MKY43では INT1CR
35CH	ITOCR	Interrupt Timing 0 Control Register	16	割り込み制御	○	
35EH	--	Reserved		未使用	×	MKY43では IT1CR
360H	INTOSR	INTerrupt 0 Status Register	16	割り込み制御	○	
362H	--	Reserved		未使用	×	MKY43では INT1SR
364H	SSR	System Status Register	16	システム	○	
366H	SCR	System Control Register	16		○	
368H~36FH	CCR	Chip Code Register	64		×	"MKY44_v0" ASCIIコード
370H~377H	--	Reserved		未使用	×	MKY43では RHPB0
378H~37FH	--	Reserved		未使用	×	MKY43では RHPB1
380H		汎用入力#Di07~#Di00	8	汎用入力	新規	
381H		汎用入力#Di17~#Di10	8		新規	
382H		汎用入力#Di23~#Di20	4		新規	
383H~385H		Reserved		未使用	×	MKY43では WHPB0
386H		汎用出力Do07~Do00	8	汎用出力	新規	
387H~3FFH		Reserved		未使用	×	MKY43では WHPB0及び WHPB1

表 付-2 ハードウェア相違点

項目	MKY44-SPI	MKY43
電源電圧	3.3V	3.3V
動作電流 (max)	20mA	75mA
パッケージ	0.5mm pitch 64pin-TQFP ※詳細寸法はユーザーズマニュアル参照	0.5mm pitch 64pin-TQFP
CPU との接続	SPI 接続 (1MHz max) :#SPI-CS/SPI-CLKin/ SPI-MISO/SPI-MOSI	ユーザバス (CPUbus) 接続 (5V トレラント) :A10 ~ 0/D15 ~ 0/#CS/#RD/ #WRL/#WRH/#WB/#SWAP
動作入カクロック	水晶発振子 XTAL4i / XTAL4o 4MHz 水晶発振器 XTAL4i 4MHz	水晶発振器対応 Xi 48MHz (推奨)
割込み端子	#INT0	#INT0/#INT1
汎用入力端子	#Di07 ~ #Di00/ #Di17 ~ #Di10/ #Di23 ~ #Di20	なし
汎用出力端子	Do7 ~ Do0	なし
CUnet アドレス等設定端子 (BCR の初期値読み込み)	#SA5 ~ #SA0/BPS1/BPS0	なし
CUnet 転送レート用 外部入カクロック	なし	EXC 最大12.5MHz
ユーティリティ信号 設定端子	なし	UTY1/UTY2
Cunet 他ステーション からの通知	#PING	UTCR (Utility pin Control Register) の 設定により UTY1 または UTY2
CUnet タイミング通知端子	#CYCT	UTCR (Utility pin Control Register) の 設定により UTY1 または UTY2
HPB (ハザードプロテクション バッファ)	直接制御は不可 SPI コマンドにより使用可	RHPB0 (Read Hazard Protection Buff 0) WHPB0 (Write Hazard Protection Buff 0) RHPB1 (Read Hazard Protection Buff 1) WHPB1 (Write Hazard Protection Buff 1)
メモリマップ	MKY43 と一部異なる	-----
レジスタマップ	MKY43 と一部異なる	-----

ハザード防止機能について

MKY43 では MB (Memory Block) に対し 64 ビットデータを一括でリードまたはライトするための下記バッファやレジスタがあり、これらを制御してハザード防止によるリードライトを実現します。

- RHPB0 (Read Hazard Protection Buff 0)
- RHPB1 (Read Hazard Protection Buff 1)
- RHCR0 (Read Hazard Control Register 0)
- RHCR1 (Read Hazard Control Register 1)
- WHPB0 (Write Hazard Protection Buff 0)
- WHPB1 (Write Hazard Protection Buff 1)
- WHCR0 (Write Hazard Control Register 0)
- WHCR1 (Write Hazard Control Register 1)

MKY44-SPI では、SPI マスタ側の CPU から、SPI コマンドを使用してハザード防止を実行します。

ハザード防止機能を使用するためには、次の SPI コマンドを使用します。

- GM-HP_Read (Cmd No.:0x2)
- GM-HP_Write (Cmd No.:0x3)
- Flag & GM-HP_Read (Cmd No.:0x4)

■開発・製造

株式会社ステップテクニカ

〒 207-0021 東京都東大和市立野 1-1-15

TEL: 042-569-8577

<https://www.steptechnica.com/>

info@steptechnica.com

CUnet

CUnet 専用 IC MKY44-SPI ユーザーズマニュアル

ドキュメント No. : STD_MKY44SPI_V1.5J

発行年月日 : 2024 年 1 月