



**STEP**  
**TECHNICA**

**CUnet**  
**CUnet 専用 IC MKY43**

**ユーザーズマニュアル**

## ご注意

1. 本ガイドに記載された内容は、将来予告なしに変更する場合があります。本製品をご使用になる際には、本ガイドが最新の版数であるかをご確認ください。
2. 本ガイドにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本ガイドに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本ガイドの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておられません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本ガイドの一部または全部を、当社に無断で転載および複製することを禁じます。

## はじめに

本マニュアルは、CUnet 専用 IC の一品種である MKY43 について記述します。

MKY43 の利用および本マニュアルの理解に先駆けて、“CUnet 導入ガイド”を必ずお読みください。

### ●対象読者

- ・ CUnet を初めて構築する方
- ・ CUnet を構築するために、弊社の各種 IC を初めてご利用になる方

### ●読者が必要とする知識

- ・ ネットワーク技術に関する標準的な知識
- ・ 半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

### ●関連マニュアル

- ・ CUnet 導入ガイド
- ・ CUnet テクニカルガイド

### 【注意事項】

本書において記載されている一部の用語は、弊社の Web および営業用ツール（総合カタログ等）において記載されている用語とは異なっています。営業用ツールにおいては、様々な業界において弊社製品をご理解いただけるよう、一般的用語を用いています。

HLS ファミリーおよび CUnet ファミリーに関する専門知識は、技術ドキュメント（マニュアル等）を基にご理解ください。



## 目 次

第 1 章 MKY43 の位置付けと特徴	
1.1 MKY43 における CUnet ステーション (MEM ステーション)	1-3
1.2 MKY43 の特徴	1-4
1.3 I/O ステーションとの接続	1-5
第 2 章 MKY43 ハードウェア	2-3
第 3 章 MKY43 の接続	
3.1 信号端子へ接続可能な電圧レベル	3-4
3.2 駆動クロックとハードウェアリセット信号の供給	3-5
3.2.1 駆動クロックの供給	3-5
3.2.2 ハードウェアリセット信号の供給	3-5
3.3 ネットワークインターフェースの接続	3-6
3.3.1 推奨のネットワーク接続	3-6
3.3.2 RXD、TXE、TXD 端子の詳細	3-6
3.4 転送レートの設定	3-7
3.5 通信ケーブル長の目安	3-8
3.6 ステーションアドレスおよび占有エリアの設定	3-9
3.7 LED 表示用端子の接続	3-9
3.8 UTY1 端子、UTY2 端子の接続	3-10
3.8.1 #CYCT 信号の詳細	3-11
3.8.2 #PING 信号の詳細	3-11
3.9 ユーザバスの接続	3-12
3.9.1 データ格納方式	3-12
3.9.2 #SWAP 端子の働き	3-12
3.9.3 16 ビットユーザバスとの接続	3-13
3.9.4 8 ビットユーザバスとの接続	3-14
3.9.5 アクセスの認識	3-15
3.9.6 アクセスタイムの設計	3-15
3.9.7 MKY43 組込み後のアクセステスト	3-16
3.9.8 CPU への割込みトリガ	3-16

## 第4章 MKY43 のソフトウェア

4.1	コミュニケーションの起動と停止 .....	4-3
4.1.1	メモリマップ .....	4-4
4.1.2	MKY43 の接続確認 .....	4-4
4.1.3	コミュニケーション起動前の設定 (イニシャライズ) から起動まで .....	4-5
4.1.4	各フェーズへの対応 .....	4-6
4.1.5	誤操作のプロテクション .....	4-7
4.1.6	CUnet のサイクルタイム .....	4-8
4.1.7	サイクル中の詳細タイミング .....	4-8
4.1.8	ネットワークの停止 .....	4-9
4.1.8.1	SNF (Station Not Found) の詳細 .....	4-9
4.1.8.2	OC (Out of Cycle) の詳細 .....	4-10
4.1.8.3	停止の特例 .....	4-10
4.2	グローバルメモリ (GM) の利用 .....	4-11
4.2.1	占有エリアについての詳細 .....	4-11
4.2.2	データハザード .....	4-12
4.2.2.1	ハザード防止機能 .....	4-14
4.2.2.2	リード・ハザード・プロテクションの利用方法 .....	4-14
4.2.2.3	ライト・ハザード・プロテクションの利用方法 .....	4-15
4.2.2.4	ハザード防止機能を利用しないデータハザード回避 .....	4-16
4.2.3	グローバルメモリ (GM) データの品質保証 .....	4-17
4.2.3.1	レジスタによるステータス表示 .....	4-17
4.2.3.2	ステータス管理の起点時期および特例 .....	4-18
4.2.3.3	LGR (Link Group Register) .....	4-19
4.2.3.4	メンバ .....	4-20
4.2.3.5	MFR (Member Flag Register) .....	4-21
4.2.3.6	MGR (Member Group Register) .....	4-21
4.2.3.7	メンバの増加と減少検出 .....	4-23
4.2.4	グローバルメモリのデータ遷移検出機能 .....	4-24
4.2.4.1	データ遷移検出対象を設定する DRCR .....	4-24
4.2.4.2	DR フラグビットおよび DRFR ビットが “0” から “1” へ遷移するタイミング .....	4-25
4.2.4.3	DR フラグビットおよび DRFR ビットが “1” から “0” へ遷移するタイミング .....	4-25
4.2.4.4	データ遷移検出機能利用上の注意 .....	4-27
4.3	メール送受信機能の利用 .....	4-28
4.3.1	メール受信許可の操作 .....	4-29
4.3.2	メール受信時の操作 .....	4-30
4.3.3	メール送信の操作、送信終了後の操作 .....	4-32
4.3.4	メール送信エラーに対する操作 .....	4-34
4.3.5	メール送受信の品質保証 .....	4-35
4.3.6	メール送受信における付帯機能 .....	4-35
4.3.7	メール送受信時間の予測 .....	4-35
4.3.8	メール送受信時における注意点 .....	4-36

4.4	CUnet システムの詳細な操作や管理	4-37
4.4.1	ネットワーク起動前のモニタリング	4-38
4.4.2	サイクルタイムの変更 (リサイズ)	4-39
4.4.2.1	リサイズの操作	4-40
4.4.2.2	リサイズの拒否	4-41
4.4.2.3	リサイズオーバーラップ (RO)	4-42
4.4.2.4	RO 発生時の注意	4-42
4.4.3	ブレークフェーズステーションの検出と対処	4-43
4.4.4	ジャマー検出と対処	4-44
4.4.5	ネットワークの品質管理と表示	4-45
4.4.5.1	LCARE 信号出力	4-45
4.4.5.2	MCARE 信号出力	4-46
4.4.5.3	MON 信号出力	4-47
4.4.6	PING 命令	4-48
4.4.7	各ステーションのモードを検出する機能	4-49
4.4.8	GMM (Global Memory Monitor) 機能	4-50
4.4.9	フレームオプション [HUB 対応]	4-51
4.4.9.1	HUB の挿入可能段数	4-52
4.4.9.2	フレームオプションの設定	4-53
4.5	割込みトリガ発生機能	4-54
4.5.1	#INT0 端子の操作	4-54
4.5.2	リトリガ機能	4-56
4.5.3	割込み発生要因	4-57
4.5.4	#INT1 端子の操作	4-58
4.5.5	割込みトリガ発生時期指定の注意	4-58
4.5.6	DR (Data Renewal) 割込みトリガ利用上の注意	4-58
4.5.7	割込みトリガ発生に連動するレジスタのフリーズ	4-59
4.5.8	BD、RO、JD 割込み発生について	4-59

## 第5章 MKY43 のレジスタリファレンス

5.1	RFR (Receive Flag Register)	5-5
5.2	LFR (Link Flag Register)	5-6
5.3	MFR (Member Flag Register)	5-7
5.4	DRFR (Data Renewal Flag Register)	5-8
5.5	LGR (Link Group Register)	5-9
5.6	MGR (Member Group Register)	5-10
5.7	DRCR (Data Renewal Check Register)	5-11
5.8	RHCR0 (Read Hazard Control Register 0)	5-12
5.9	RHCR1 (Read Hazard Control Register 1)	5-12
5.10	WHCR0 (Write Hazard Control Register 0)	5-13
5.11	WHCR1 (Write Hazard Control Register 1)	5-13
5.12	MSLR (Mail Send Limit time Register)	5-14

5.13 MSRR (Mail Send Result Register) .....	5-14
5.14 MESR (Mail Error Status Register) .....	5-15
5.15 MSCR (Mail Send Control Register) .....	5-16
5.16 MR0CR (Mail Receive 0 Control Register) .....	5-17
5.17 MR1CR (Mail Receive 1 Control Register) .....	5-18
5.18 CCTR (Care CounTer Register) .....	5-19
5.19 UTCR (UTility pin Control Register) .....	5-20
5.20 QCR (Query Control Register) .....	5-21
5.21 NFSR (New Final Station Register) .....	5-22
5.22 FSR (Final Station Register) .....	5-22
5.23 BCR (Basic Control Register) .....	5-23
5.24 INT0CR (INTerrupt 0 Control Register) .....	5-24
5.25 INT1CR (INTerrupt 1 Control Register) .....	5-26
5.26 IT0CR (Interrupt Timing 0 Control Register) .....	5-27
5.27 IT1CR (Interrupt Timing 1 Control Register) .....	5-27
5.28 INT0SR (INTerrupt 0 Status Register) .....	5-28
5.29 INT1SR (INTerrupt 1 Status Register) .....	5-30
5.30 SSR (System Status Register) .....	5-32
5.31 SCR (System Control Register) .....	5-34
5.32 CCR (Chip Code Register) .....	5-36
5.33 RHPB0 (Read Hazard Protection Buffer 0) .....	5-37
5.34 RHPB1 (Read Hazard Protection Buffer 1) .....	5-38
5.35 WHPB0 (Write Hazard Protection Buffer 0) .....	5-39
5.36 WHPB1 (Write Hazard Protection Buffer 1) .....	5-40

## 第6章 定格

6.1 電氣的定格 .....	6-3
6.2 AC 特性 .....	6-3
6.2.1 クロック、リセットタイミング .....	6-4
6.2.2 割込みトリガ出力タイミング .....	6-4
6.2.3 #CYCT、#LCARE、#MCARE 出力タイミング .....	6-4
6.2.4 リード/ライトタイミング .....	6-5
6.2.5 転送レートタイミング .....	6-6
6.2.6 外部転送レートクロック (EXC) タイミング .....	6-6
6.3 パッケージ外形寸法 .....	6-7
6.4 半田実装推奨条件 .....	6-8
6.5 リフロー推奨条件 .....	6-8

付録

付録 1	サイクルタイム一覧 .....	付録 -3
付録 2	MKY40 との相違点 .....	付録 -4
付録 3	OC 停止をした場合の処理 .....	付録 -7

## 目 次

図 1.1	MKY43 を搭載した CUnet ステーション (MEM ステーション).....	1-3
図 1.2	4 つの MEM ステーションを接続した CUnet .....	1-4
図 1.3	I/O ステーション.....	1-5
図 1.4	I/O ステーションを接続した CUnet .....	1-5
図 2.1	MKY43 の端子配列 .....	2-3
図 2.2	MKY43 の入出力回路形式における端子電気的特性.....	2-7
図 3.1	リークの生じる接続 .....	3-4
図 3.2	ハードウェアリセット.....	3-5
図 3.3	推奨のネットワーク接続 .....	3-6
図 3.4	LED 表示用端子の接続例 .....	3-9
図 3.5	UTY1 端子、UTY2 端子の制御.....	3-10
図 3.6	エンディアンによるバイトアクセスのアドレス相違.....	3-12
図 3.7	16 ビットユーザバスとの接続.....	3-13
図 3.8	8 ビットユーザバスとの接続.....	3-14
図 4.1	起動のアルゴリズム .....	4-5
図 4.2	MKY43 のフェーズ遷移と SCR の対応ビット .....	4-6
図 4.3	ライトプロテクト .....	4-7
図 4.4	SCR のビット 0 ~ 6 が示すステーションタイム.....	4-8
図 4.5	グローバルメモリ .....	4-11
図 4.6	占有エリアの拡張 .....	4-12
図 4.7	データハザード発生メカニズム.....	4-13
図 4.8	ライトの際に発生するデータハザード.....	4-13
図 4.9	ハザード防止機能を利用したリード操作.....	4-14
図 4.10	ハザード防止機能を利用したライト操作.....	4-15
図 4.11	64 ビットの RFR と LFR.....	4-17
図 4.12	ステータス管理の起点時期.....	4-18
図 4.13	LGR による LFR の監視.....	4-19
図 4.14	64 ビットの MFR と MGR.....	4-20
図 4.15	MGR による MFR の監視と SSR のビット状態.....	4-22
図 4.16	64 ビットの DRCR と DRFR.....	4-24
図 4.17	時間経過に対するデータリニューアル検出の概要.....	4-26
図 4.18	メール受信バッファ .....	4-29
図 4.19	メール受信許可.....	4-29

図 4.20	MRB0 ヘデータセットを格納した時の MR0CR.....	4-30
図 4.21	MRB1 ヘデータセットを格納した時の MR1CR.....	4-30
図 4.22	メール送信バッファ .....	4-32
図 4.23	MSLR と MSCR の操作 .....	4-32
図 4.24	MSRR .....	4-33
図 4.25	MESR .....	4-34
図 4.26	リサイズ .....	4-39
図 4.27	リサイズの操作.....	4-40
図 4.28	SSR の RO ビット .....	4-42
図 4.29	SSR の BD ビット .....	4-43
図 4.30	SSR の JD ビット .....	4-44
図 4.31	CCTR の LCARE 発生回数.....	4-45
図 4.32	CCTR の MCARE 発生回数 .....	4-46
図 4.33	#MON 端子への出力例 .....	4-47
図 4.34	PING 命令の発行 .....	4-48
図 4.35	各 MEM ステーションのモード調査 .....	4-49
図 4.36	HUB 挿入可能段数.....	4-52
図 4.37	フレームオプションの設定.....	4-53
図 4.38	割込みトリガ発生機能.....	4-54
図 4.39	DR および ALM 割込みトリガ発生タイミング.....	4-55
図 4.40	リトリガ機能の動作例 .....	4-56
付図 1	ポーリングによる停止時の処理例 .....	付録 -7
付図 2	割込みを利用した停止時の処理例 (1).....	付録 -8
付図 3	割込みを利用した停止時の処理例 (2).....	付録 -8

**表 目 次**

表 2-1	MKY43 の端子機能 .....	2-4
表 2-2	MKY43 の電氣的定格 .....	2-6
表 3-1	ケーブル長の目安 .....	3-8
表 4-1	メモリマップ .....	4-4
表 4-2	タイプコード .....	4-49
表 4-3	割込み発生要因 .....	4-57
表 4-4	フリーズするレジスタ .....	4-59
表 5-1	レジスター一覧 .....	5-4
表 5-2	UTCR のビット定義 .....	5-20
表 5-3	クエリ完了によるタイプコード .....	5-21
表 5-4	各ビット値と転送レート (48MHz 駆動クロック時) .....	5-23
表 6-1	絶対最大定格 .....	6-3
表 6-2	電氣的定格 .....	6-3
表 6-3	AC 特性測定条件 .....	6-3

# 第 1 章 MKY43 の位置付けと特徴

本章は、CUnet における MKY43 の位置付けと特徴について記述します。

1.1 MKY43 における CUnet ステーション (MEM ステーション) .....	1-3
1.2 MKY43 の特徴 .....	1-4
1.3 I/O ステーションとの接続 .....	1-5



## 第1章 MKY43 の位置付けと特徴

本章は、CUnet における MKY43 の位置付けと特徴について記述します。

MKY43 は、CUnet プロトコルを完全なハードワイヤロジックによって搭載し、CMOS テクノロジを採用した TQFP-64 ピンの CUnet 専用 IC です。MKY43 は、CUnet Family の Station-IC の一品種である MKY40 (5V) の MEM モード機能継承品として開発されました。CUnet Family Station-IC としての機能や動作は MKY40 の MEM モードと相違なく利用できます。

MKY43 には CUnet プロトコルが全てハードウェアで搭載されているため、CUnet のコミュニケーションを利用するユーザは、通信プロトコルなどの煩雑な処理からも解放されます。CUnet のコミュニケーションは極めて高速であり、また、強固な検定技法によって保護されているため、産業機器や装置内部での利用も可能です。MKY43 を利用することによって、より低消費電力かつリーズナブルに CUnet を利用可能となります。MKY43 を搭載した“CUnet ステーション”は、“MEM ステーション”と呼びます。

なお、MKY43 を搭載した CUnet ステーションを、グローバルメモリデータモニタ機能によって稼動する“GMM ステーション”として利用することも可能です（“4.4.8 GMM (Global Memory Monitor) 機能”参照）。

### 1.1 MKY43 における CUnet ステーション (MEM ステーション)

CUnet は、CUnet 専用 IC を搭載した複数のユーザ装置をネットワークによって接続し、ネットワークシステムを構成します。CUnet 専用 IC の MKY43 は、バスインターフェース (BUS-I/F) とネットワークインターフェース (ネットワーク I/F) を装備しています。MKY43 のバスインターフェース (BUS-I/F) を CPU へ接続し、MKY43 のネットワークインターフェース (ネットワーク I/F) をネットワークへ接続することによって CUnet の 1 つの MEM ステーションとしてのユーザ装置を製作することができます (図 1.1 参照)。

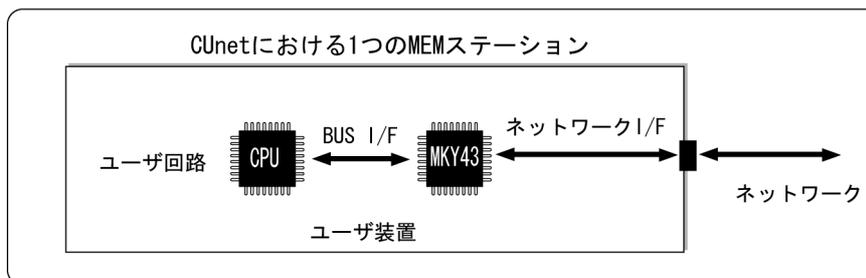


図1.1 MKY43を搭載したCUnetステーション (MEMステーション)

図 1.2 に示す CUnet システムは、4 つの MEM ステーション間において、メモリデータを共有します。各 MEM ステーションの CPU は、MKY43 に搭載されているグローバルメモリ（GM：Global Memory）空間へのリードおよびライトアクセスのみによって、シンプルかつ高速にコミュニケーションすることができます。また、各 MEM ステーションの CPU は、MKY43 に搭載されているメール送信バッファとメール受信バッファを利用して、指定する MEM ステーションへ 256 バイト以内のデータセットをメール送信することもできます。

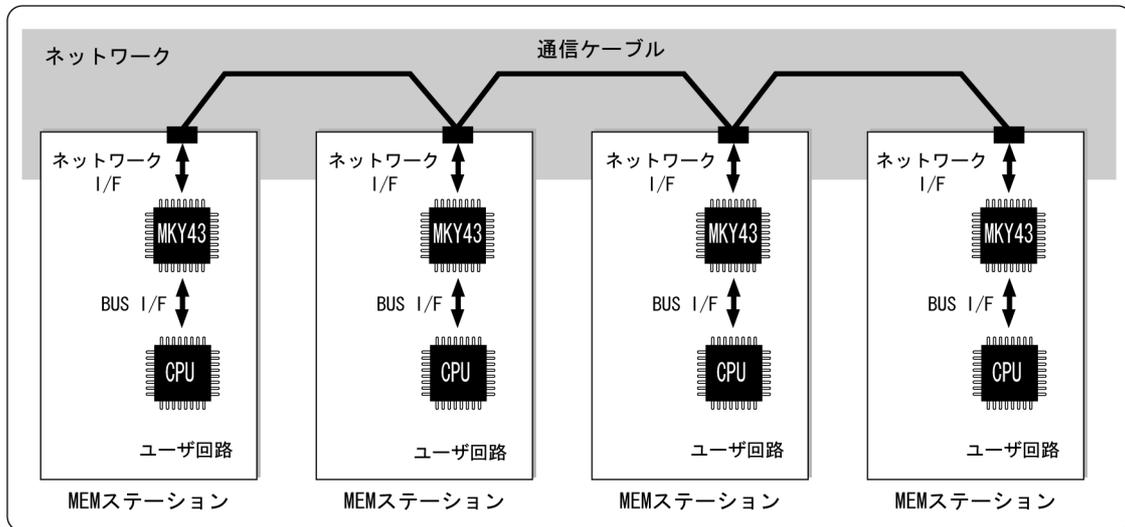


図 1.2 4 つの MEM ステーションを接続した CUnet

## 1.2 MKY43 の特徴

MKY43 は、以下の特徴を備えています。

- ① 最大 64 の CUnet ステーションまで接続できます。
- ② グローバルメモリ（GM：Global Memory）のサイズは 512 バイトです（CUnet におけるメモリのブロックサイズは、8 バイトです。グローバルメモリは、64 メモリブロックから構成されています）。
- ③ MKY43 は、複数のメモリブロックを占有することができます。例えば、2 つの MEM ステーションによって構成される CUnet においてそれぞれの MEM ステーションが 32 メモリブロックを占有した場合、256 バイトずつを占有するデュアルポート RAM のように、グローバルメモリを使うこともできます。
- ④ 標準の転送レートは、12Mbps / 6Mbps / 3Mbps です。
- ⑤ グローバルメモリ（GM：Global Memory）のデータ遷移を検出する割込みの他、各種の割込み発生機能を利用できます。
- ⑥ 256 バイトまでのメールを送信することができます。
- ⑦ 8 ビットバス幅、16 ビットバス幅の CPU へ接続できます。
- ⑧ CUnet ステーション間において扱われるデータは、MKY43 に搭載されている CUnet プロトコルによって、データ化けなどが生じないことが保証されています。



参考

CUnet プロトコルおよびデータの品質保証についての詳細は、“CUnet 導入ガイド”を参照してください。

### 1.3 I/O ステーションとの接続

CUnet システムにおいては、MKY46 などの CUnet 専用 I/O-IC を搭載した I/O ステーション（図 1.3 参照）をネットワークに接続することが可能です。これにより、I/O ステーションの入出力信号を、MEM ステーションに搭載された MKY43 のグローバルメモリ（GM : Global Memory）と、直結させることが可能です。

図 1.4 に示す CUnet システムは、CPU と MKY43 を搭載した 2 つの MEM ステーションと、MKY46 などの CUnet 専用 I/O-IC を搭載した 2 つの I/O ステーションをネットワークによって接続した CUnet です。このシステムにおいて、I/O ステーションの入力ポートの状況を、全ての CPU が MKY43 のグローバルメモリ（GM : Global Memory）から読み出すことが可能です。また CPU が MKY43 の GM ヘデータをライトすることによって、I/O ステーションの出力ポートの状態を設定することも可能です。

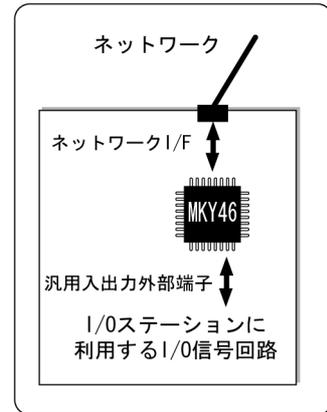


図1.3 I/Oステーション

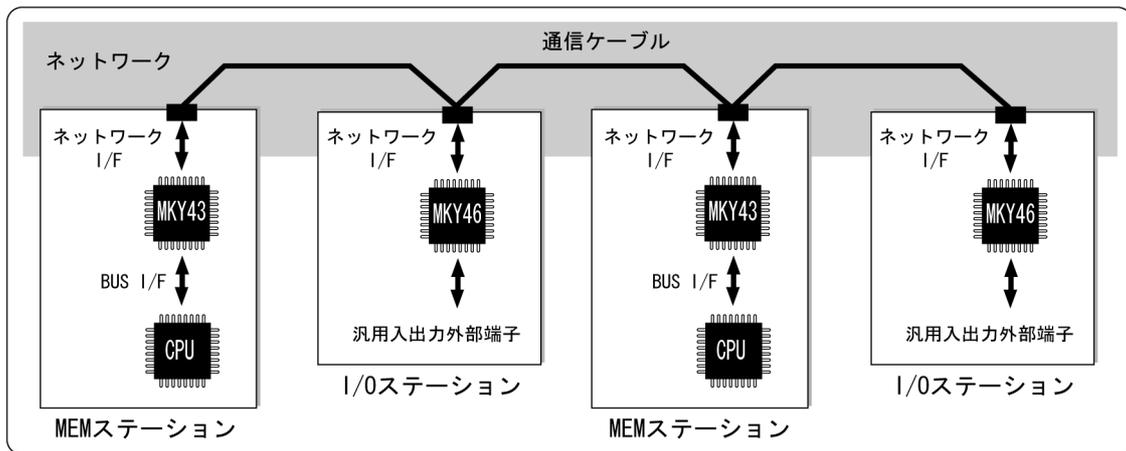


図1.4 I/Oステーションを接続したCUnet



## 第2章 MKY43 ハードウェア

本章は、MKY43 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

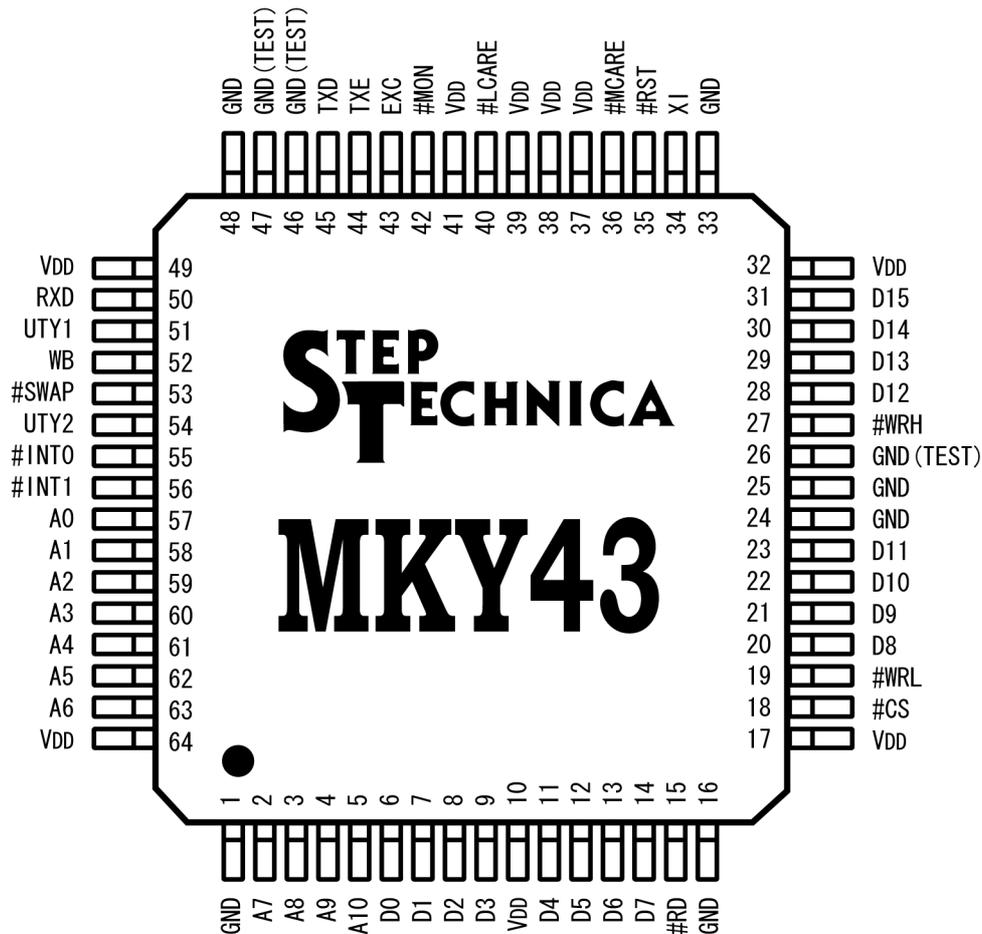


## 第2章 MKY43 ハードウェア

本章は、MKY43 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

MKY43 の端子配列を、図 2.1 に示します。

MKY43 (64ピン、TQFP)



注記：先頭“#”文字の端子は、負論理（Loアクティブ）

図2.1 MKY43の端子配列

表 2-1 に、MKY43 の端子機能を示します。

表 2-1 MKY43 の端子機能

端子名	端子番号	論理	I/O	機 能
A0 ~ A10	57 ~ 63 2 ~ 5	正	I	ユーザバスと接続する 11 ビットのアドレスバスです。A0 端子は LSB に、A10 端子は MSB に対応します。 ユーザバスから MKY43 へアクセスする際には、#CS、#RD、#WRH、#WRL 端子によるアクセスの条件が成立する以前に本端子の信号を安定させなければなりません。
D0 ~ D15	6 ~ 9 11 ~ 14 20 ~ 23 28 ~ 31	正	I/O	ユーザバスと接続する 16 ビットの双方向データバスです。 D0 端子は LSB に、D15 端子は MSB に対応します。
#RD	15	負	I	ユーザバスと接続するリード制御端子です。ユーザが MKY43 をリードする際に、適切なタイミングによって本端子のレベルを Lo にしてください。 WB 端子が Hi レベルであり #CS 端子と #RD 端子の両方が Lo レベルである時に、D0 ~ D15 の 16 ビットのデータバスへ内部データを出力します。 WB 端子が Lo レベルであり #CS 端子と #RD 端子の両方が Lo レベルである時に、D0 ~ D7 の 8 ビットのデータバスへ内部データを出力します。
#CS	18	負	I	ユーザバスと接続するアクセス制御端子です。ユーザが MKY43 へリードまたはライトアクセスする際に、適切なタイミングによって本端子のレベルを Lo にしてください。
#WRL	19	負	I	ユーザバスと接続するライト制御端子です。ユーザが MKY43 へライトする際に、適切なタイミングによって本端子のレベルを Lo にしてください。 WB 端子が Hi レベルに設定されている際には、本端子の信号と #WRH 端子、#CS 端子の信号の全てが Lo の時に、いずれかの端子が Hi になると D0 ~ D15 バスのデータが MKY43 内部へ取り込まれます。 WB 端子が Lo レベルに設定されている際には、本端子の信号と #CS 端子の信号の両方が Lo の時に、どちらか一方の端子が Hi になると D0 ~ D7 バスのデータが MKY43 内部へ取り込まれます。
#WRH	27	負	I	WB 端子が Hi レベルに設定されている際に、ユーザバスと接続するライト制御端子です。ユーザが MKY43 へライトする際に、適切なタイミングによって本端子のレベルを Lo にしてください。 本端子の信号と #WRL 端子、#CS 端子の信号の全てが Lo の時に、いずれかの端子が Hi になると D0 ~ D15 バスのデータが MKY43 内部へ取り込まれます。
Xi	34	正	I	駆動クロック入力端子（推奨 48MHz）です。
#RST	35	負	I	MKY43 のハードウェアリセット入力端子です。 電源“ON”直後から、あるいはユーザが意図的にハードウェアをリセットする時に、駆動クロックの 10 クロック期間以上 Lo を保持してください。
#MCARE	36	負	O	MCARE 信号発生時に、所定の時間 Lo になる LED 点灯用の出力端子です。#MCARE 端子の出力が Lo レベルとなる詳細は“4.4.5 ネットワークの品質管理と表示”を参照してください。
#LCARE	40	負	O	LCARE 信号発生時に、所定の時間 Lo になる LED 点灯用の出力端子です。#LCARE 端子の出力が Lo レベルとなる詳細は“4.4.5 ネットワークの品質管理と表示”を参照してください。

(つづく)

表 2-1 MKY43 の端子機能

(つづき)

端子名	端子番号	論理	I/O	機 能
#MON	42	負	O	他の CUNet ステーションと安定的にリンクが成立している間 Lo レベルを出力する、LED 点灯用の出力端子です。#MON 端子の出力が Lo レベルとなる詳細は“4.4.5 ネットワークの品質管理と表示”を参照してください。
EXC	43	正	I	転送レートが外部クロックに依存する際のクロック入力端子です。転送レートは、供給周波数の“1/4”であり、供給可能な周波数は 12.5MHz (最大) です。本端子を使用しない時には、Hi レベルまたは開放にしてください。
TXE	44	正	O	パケット出力期間中に Hi レベルを出力する端子です。ドライバのイネーブル入力端子へ接続してください。
TXD	45	正	O	パケットを出力する端子です。ドライバなどのドライブ入力端子へ接続してください。
RXD	50	正	I	パケットを入力する端子です。レシーバの出力端子へ接続してください。
UTY1	51	---	Z/O	ユーティリティ信号 1 を出力する内部プルアップされた端子です。本端子はハードウェアリセットによって、内部プルアップされたハイインピーダンス状態に保たれます。
WB	52	正	I	ユーザバスと接続するバス幅を選択する入力端子です。8 ビット幅のユーザバスへ接続する際に Lo レベルにしてください。16 ビット幅のユーザバスへ接続する際に Hi レベルまたは開放にしてください。
#SWAP	53	負	I	A0 端子から入力される信号を MKY43 内部において反転するかを選択する入力端子です。ビクエンディアンタイプのユーザバスと接続する際は、Lo レベルにしてください。リトルエンディアンタイプのユーザバスと接続する際には、Hi レベルまたは開放にしてください。
UTY2	54	---	Z/O	ユーティリティ信号 2 を出力する内部プルアップされた端子です。本端子はハードウェアリセットによって、内部プルアップされたハイインピーダンス状態に保たれます。
#INT0	55	負	O	ユーザバスへ割込みトリガ信号を出力する端子です。割込みトリガが発生している時に、Lo レベルを出力します。
#INT1	56			
VDD	10、17、 32、37、 38、39、 41、49、 64	---	---	電源端子。3.3V 供給。
GND	1、16、 24、25、 33、48	---	---	電源端子。0V へ接続。
GND (TEST)	26、46、 47	---	---	必ず GND へ接続してください (メーカーが利用するテスト端子です)。

注記：先頭に“#”が付いている端子は、負論理 (Lo アクティブ) を示します。

表 2-2 に、MKY43 の電氣的定格を示します。

**表 2-2 MKY43 の電氣的定格**

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	--	GND	--	17	--	VDD	--	33	--	GND	--	49	--	VDD	--
2	I	A7	A	18	I	#CS	A	34	I	Xi	A	50	I	RXD	B
3	I	A8	A	19	I	#WRL	A	35	I	#RST	B	51	Z/O	UTY1	F
4	I	A9	A	20	I/O	D8	E	36	O	#MCARE	C	52	I	WB	B
5	I	A10	A	21	I/O	D9	E	37	--	VDD	--	53	I	#SWAP	B
6	I/O	D0	E	22	I/O	D10	E	38	--	VDD	--	54	Z/O	UTY2	F
7	I/O	D1	E	23	I/O	D11	E	39	--	VDD	--	55	O	#INT0	D
8	I/O	D2	E	24	--	GND	--	40	O	#LCARE	C	56	O	#INT1	D
9	I/O	D3	E	25	--	GND	--	41	--	VDD	--	57	I	A0	A
10	--	VDD	--	26	--	GND (TEST)	--	42	O	#MON	C	58	I	A1	A
11	I/O	D4	E	27	I	#WRH	A	43	I	EXC	B	59	I	A2	A
12	I/O	D5	E	28	I/O	D12	E	44	O	TXE	C	60	I	A3	A
13	I/O	D6	E	29	I/O	D13	E	45	O	TXD	C	61	I	A4	A
14	I/O	D7	E	30	I/O	D14	E	46	--	GND (TEST)	--	62	I	A5	A
15	I	#RD	A	31	I/O	D15	E	47	--	GND (TEST)	--	63	I	A6	A
16	--	GND	--	32	--	VDD	--	48	--	GND	--	64	--	VDD	--

図 2.2 に、MKY43 の入出力回路形式における端子電気的特性を示します。

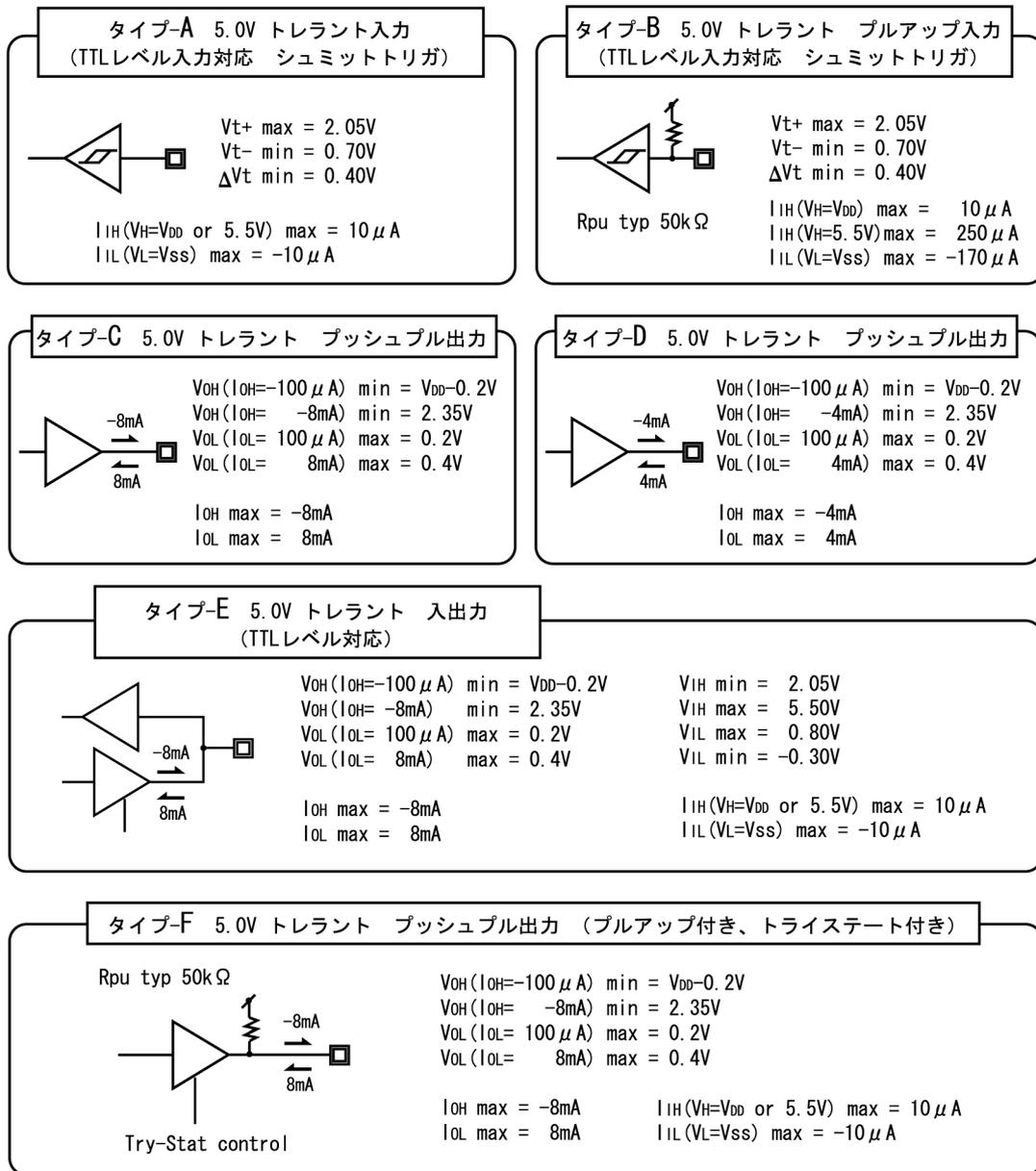


図 2.2 MKY43の入出力回路形式における端子電気的特性



## 第3章 MKY43 の接続

本章は、MKY43 が機能するために必要な端子の役割や接続について記述します。

3.1	信号端子へ接続可能な電圧レベル.....	3-4
3.2	駆動クロックとハードウェアリセット信号の供給 .....	3-5
3.3	ネットワークインターフェースの接続.....	3-6
3.4	転送レートの設定 .....	3-7
3.5	通信ケーブル長の目安 .....	3-8
3.6	ステーションアドレスおよび占有エリアの設定.....	3-9
3.7	LED 表示用端子の接続 .....	3-9
3.8	UTY1 端子、UTY2 端子の接続 .....	3-10
3.9	ユーザバスの接続 .....	3-12



## 第3章 MKY43 の接続

本章は、MKY43 が機能するために必要な端子の役割や接続について記述します。

MKY43 の接続においては、GND (TEST) 端子（端子 26、47、48）を、電源の GND へ必ず接続してください。また、複数の VDD 端子（端子 10、17、32、37、38、39、41、49、64）の全てを必ず電源の 3.3V へ、複数の GND 端子（端子 1、16、24、25、33、48）の全てを必ず電源の 0V へ接続し、近接する VDD 端子と GND 端子間に 10V / 0.1  $\mu$ F (104) 以上のコンデンサも接続してください。

### 3.1 信号端子へ接続可能な電圧レベル

MKY43 の VDD または GND へ接続する端子を除く全ての信号端子は、5.0V 系 TTL 信号との接続が可能なトレラント (Tolerant) タイプです。

これにより、3.3V および 5.0V 電源によって駆動する CPU や周辺ロジック回路との接続が可能です。

- ① 3.3V 電源によって駆動する CPU や周辺ロジック回路と直接接続できます。
- ② 5.0V 電源によって駆動する CPU や周辺ロジック回路の TTL レベルの信号と接続が可能です。5.0V 電源間におけるプルアップ抵抗の接続も可能です。ただし、MKY43 の端子の入力電圧が 3.3V を超える状況の時、MKY43 の端子へリーク電流が流れます (図 3.1 参照)
- ③ MKY43 の出力は、5.0V 系 CMOS 入力仕様に対して Hi レベル電圧が不足であるため、5.0V 電源によって駆動する CPU や周辺ロジック回路の CMOS レベル入力端子へ接続することはできません。5.0V 電源間にプルアップ抵抗を挿入しても同様です (図 3.1 参照)。

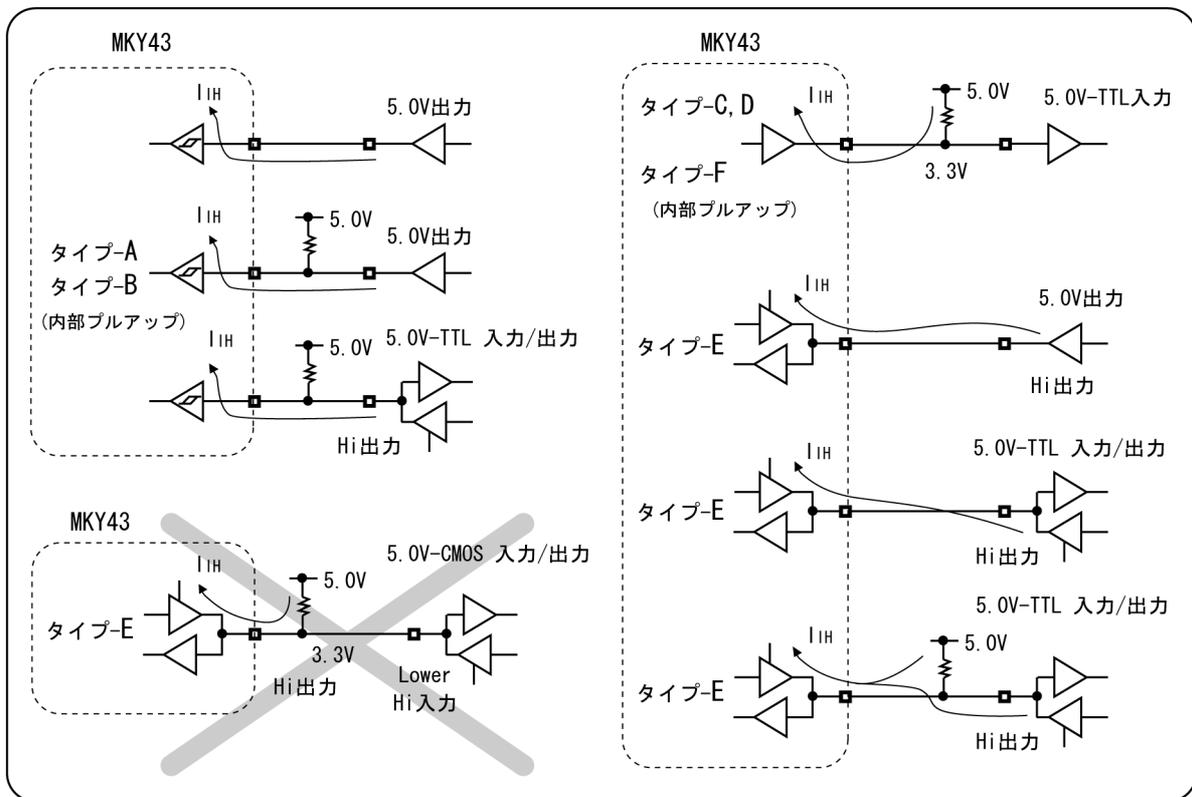


図3.1 リークの生じる接続

**注意事項**

- ① 電源電圧が異なる LSI との信号接続においては、接続先 LSI の入出力レベルの電気仕様を必ずご確認ください。また、MKY43 の電源未投入時において、定常的に信号端子へ電圧を印加することは行わないでください。
- ② MKY43 の内部においてプルアップされていない入力端子およびハイインピーダンス状態の端子と 5.0V 電源との間に外部プルアップ抵抗が挿入されている場合、外部プルアップ抵抗によって 5.0V まで電圧レベルが上昇します。しかし、MKY43 を搭載した基板上の回路条件によって、電圧レベルが上昇するまでには数十  $\mu\text{s}$  ~ 数 ms の時間を要す場合があります。これらの端子のプルアップ抵抗としては、 $3\text{k}\Omega \sim 30\text{k}\Omega$  の値を使用することを推奨します。
- ③ MKY43 の出力端子と 5.0V 電源との間にプルアップ抵抗を接続することができます。ただし MKY43 の出力と 5.0V 電源との間においてプルアップしても、Hi レベル出力は 3.3V までの上昇であり、5.0V にはなりません (図 3.1 参照)。

## 3.2 駆動クロックとハードウェアリセット信号の供給

本節は、MKY43 を駆動するクロックの供給方法と、ハードウェアリセット信号の供給方法について記述します。

### 3.2.1 駆動クロックの供給

MKY43 を駆動するクロックとしては、MKY43 の Xi 端子（端子 34）へ発振器などによって生成されている以下の仕様の外部クロックを供給してください。MKY43 は、Xi 端子へ供給されたクロック信号により全ての動作を実行します。もしクロック信号が供給されていない場合、ユーザシステムのプログラムは、MKY43 のメモリへリードおよびライトアクセスすることができません。

- ① 通常は 48MHz の外部クロックを供給します。上限周波数は 50MHz であり、下限はありません。
- ② Xi 端子の特性は、 $V_{IH} = \min 2.05V$ 、 $V_{IL} = \max 0.70V$  です。
- ③ 信号の立上りおよび立下りが 20ns 以内の外部クロックを供給してください。
- ④ 信号の Hi レベルあるいは Lo レベルの最小時間が 5ns 以上の外部クロックを供給してください。
- ⑤ クロックのジッタ成分が以下の範囲以内のクロックを接続してください。
  - ・ 入力する周波数が 25MHz 以上の場合には 250ps 以内
  - ・ 入力する周波数が 25MHz 未満の場合には 500ps 以内
- ⑥ 周波数精度が  $\pm 500\text{ppm}$  以内のクロックを接続してください。



参考

一般的な水晶発振器におけるクロックの出力は、上記②～⑥の値に対して問題になりません。

### 3.2.2 ハードウェアリセット信号の供給

#RST(ReSeT) 端子（端子 35）へ Lo レベル信号を供給すると、MKY43 はハードウェアリセットされます。ただし、この Lo レベル信号が供給されている期間が“1 クロック”以下の場合には、誤動作を防止するためにこの信号は無視されます。また MKY43 を完全にリセットするためには、駆動クロックが供給されている間に #RST 端子を“10 クロック”以上 Lo レベルを維持していなければなりません（図 3.2 参照）。

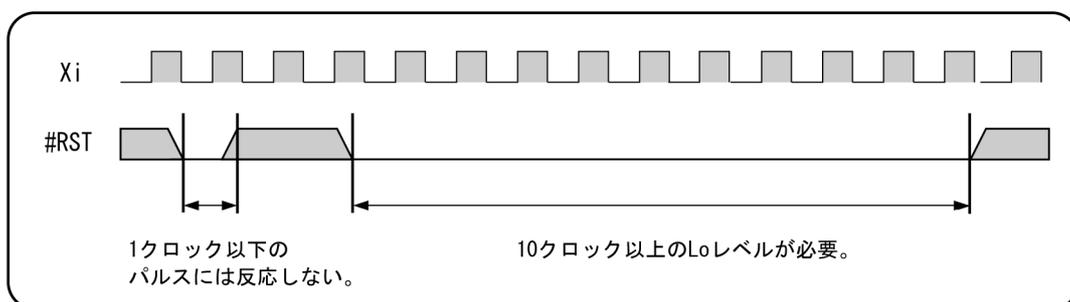


図3.2 ハードウェアリセット



注意事項

MKY43 へ電源を投入した直後には、必ずハードウェアリセットがアクティブとなるように設計してください。

リセット信号解除後、MKY43 の各レジスタや GM をアクセスする場合、 $20T_{Xi}$  時間（約 420ns）以上経過した後、MKY43 へのアクセスが可能です。

### 3.3 ネットワークインターフェースの接続

MKY43 のネットワークインターフェース（以下、ネットワーク I/F）端子は、RXD 端子（端子 50）と TXE 端子（端子 44）、および TXD 端子（端子 45）の 3 本です。

#### 3.3.1 推奨のネットワーク接続

図 3.3 は、推奨のネットワーク接続です。TRX（ドライバ/レシーバ部品）は、RS-485 仕様のドライバ/レシーバとパルストランスから構成されます。通信ケーブルは、LAN 用の通信ケーブル（10BASE-T、カテゴリ 3 以上）と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。通信ケーブル内の、1 対のツイストペアを利用します。

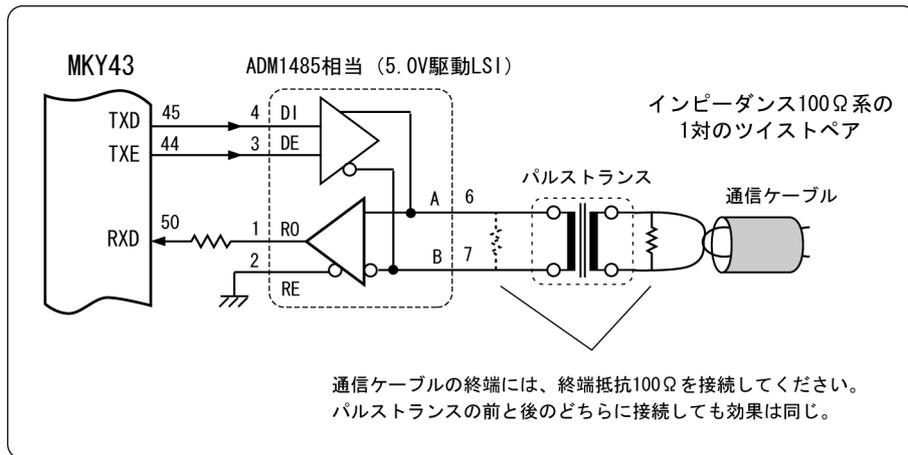


図3.3 推奨のネットワーク接続



参考

ハーフデュプレックス（半二重）通信方式における TRX の構成によっては、MKY43 がパケットを送信している期間に、自己の TXD 端子から出力された信号がそのまま RXD 端子へ入力されてしまう場合があります。しかし MKY43 は、TXE 端子が Hi の期間中に自分が送信したパケットを受信しない仕組みを採用しており、まったく問題は生じません。

ネットワークの実際の敷設に役立つ予備知識や資料は、“CUnet テクニカルガイド”に記述されています。また部品の選択や推奨部品の入手については、弊社の Web サイトもご参照ください。

<http://www.steptechnica.com/>

#### 3.3.2 RXD、TXE、TXD 端子の詳細

MKY43 は、他の CUnet ステーションから送信されるパケットを RXD 端子によって受信し、他の CUnet ステーションへ送信するパケットを TXD 端子から出力します。パケット送信中は、TXE 端子から Hi レベルが出力されます。このため TXE 端子が Hi レベルになった時は、TRX のドライバのイネーブル端子がアクティブとなり、TXD 端子から出力されるパケットのシリアルパターンをネットワークへ送信できるように、TRX を設計してください（図 3.3 参照）。

### 3.4 転送レートの設定

MKY43 の転送レートは、BCR(Basic Control Register) のビット 7 (BPS1) とビット 6 (BPS0) によって設定します。詳細は、“4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで” を参照してください。

BCR(Basic Control Register) の転送レートとして “00B” を設定すると、EXC 端子 (端子 43) へ供給されたクロックの “1/4” の周波数による転送レートになります (例: EXC 端子へ供給するクロック周波数が 5MHz の場合は、転送レートは 1.25Mbps)。EXC 端子へ供給できるクロックは、デューティ比が 40% ~ 60% の 12.5MHz (Xi=50MHz 時) が上限です。EXC 端子へ外部からクロックを入力しない時には、EXC 端子は内部においてプルアップされているので、開放とするか、あるいは VDD または GND へ接続してください。

**注意事項**

- ① ネットワークへ接続する全ての CUnet 専用デバイスへは、同一の転送レートを設定してください。
- ② EXC 端子へクロックが供給されていない状態において、BCR 内の BPS を “00B” (EXC 選択) にした場合は、MKY43 内部の通信システムは動作しません。
- ③ “12Mbps ~ 3Mbps” 以外の転送レートを利用する場合は、弊社推奨のパルストランスを利用できない場合があります。この場合、利用する転送レートに適合するパルストランスを、お客様ご自身が選定してください。

### 3.5 通信ケーブル長の目安

本書においては、マルチドロップ形式による通信ケーブルの接続点を“ブランチ”と呼びます。“3.3 ネットワークインターフェースの接続”に記述されているネットワークを、32 ブランチ以下によって利用する場合の、CUnet の通信ケーブル長の目安を表 3-1 に示します。

表 3-1 ケーブル長の目安

転送レート	ケーブル長
12Mbps	100m
6Mbps	200m
3Mbps	300m

表 3-1 は、推奨の差動ドライバ/レシーバが RS-485 仕様部品のため、この RS-485 仕様において決められているブランチ数“32”を目安の基準にしています。

CUnet は、最大 64 の CUnet ステーションまで接続可能なため、“64”のブランチ接続が可能です。推奨のネットワークはパルストランスによって電氣的に絶縁されており、かつ CUnet のネットワークを伝搬する信号形式が RZ (Return to Zero) のため、直流 (DC) 成分信号を利用せず、一般的な RS-485 仕様の部品によって“64”ブランチ接続が可能です。但し“64”ブランチの場合は、通信ケーブル長が表 3-1 の値よりも短くなる傾向が生じます (伝搬する信号エネルギーの分散が増えるため)。

CUnet を利用する際は、利用する実際の環境においての動作をテストし、“4.4.5 ネットワークの品質管理と表示”に記述されている LCARE (Link CARE) や MCARE (Member CARE) が発生することなく安定に動作することを確認してください。



#### 参考

通信ケーブル長は、フレームオプションの設定や HUB を挿入することによって延長することができます (“4.4.9 フレームオプション [HUB 対応]” および HUB-IC (MKY02 など) の“ユーザーズマニュアル”参照)。



#### 注意事項

通信ケーブル長は、利用する通信ケーブルや差動ドライバ/レシーバ部品、さらにケーブルの敷設状態や利用される環境によっても異なります。そのため、“表 3-1 ケーブル長の目安”は一般的な利用状況を想定した時に安定して利用できる目安であり保証値ではありません。

### 3.6 ステーションアドレスおよび占有エリアの設定

MKY43 におけるステーションアドレス (SA : Station Address)、占有幅のブロック数 (OWN width : “00H ~ 3Fh”) および転送レート (BPS ビット) の設定は、BCR(Basic Control Register) によって設定します。詳細は、“4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで” を参照してください。



#### 注意事項

1つのネットワークへ接続されている全ての CUnet 専用 IC に、同一の SA 値が設定されていることは禁止です。また占有エリアの拡張設定によって、占有エリアが重複することも許されません。

### 3.7 LED 表示用端子の接続

MKY43 は、3本の LED 表示用出力端子 (#MON (端子 42)、#LCARE (端子 40)、#MCARE (端子 36)) を装備しています。それぞれの端子は、負論理アクティブ (アクティブ時に Lo レベル) な信号を出力します。

これらの端子は、± 8mA の電流駆動能力があります。8mA 以下の電流によって点灯可能な LED ならば、Lo レベルの時に LED が点灯する接続が可能です (図 3.4)。図 3.4 の電流制限抵抗の値は、使用する LED 部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。

#MON 端子へは安定動作を示す緑色の LED 部品を、#LCARE 端子へは、緩やかな警告を示す橙色の LED 部品を接続することを推奨します。

#MCARE 端子へは、確かな警告を示す赤色の LED 部品を接続することを推奨します。

#MON 端子、#LCARE 端子および #MCARE 端子の出力が Lo レベルとなる詳細は “4.4.5 ネットワークの品質管理と表示” を参照してください。#MON、#LCARE、#MCARE 端子を使用しない時は、開放にしてください。

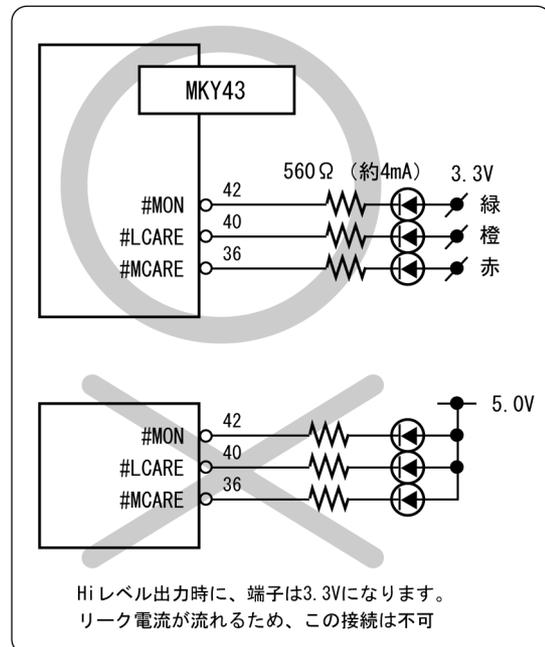


図3.4 LED表示用端子の接続例



#### 注意事項

図 3.4 に示すように、LED のアノード側を 5.0V 電源に接続するとリーク電流によって、LED が点灯する場合があります。このような接続はしないでください。

### 3.8 UTY1 端子、UTY2 端子の接続

MKY43 は、サイクルの先頭タイミングを通知する #CYCT 出力信号と、他の CUnet ステーションからの PING 命令の受信を通知する #PING 出力信号を装備しています。この2つの信号は、UTCR (UTility pin Control Register) の設定によって、UTY1 (UTility 1) 端子 (端子 51) もしくは UTY2 (UTility 2) 端子 (端子 54) へ出力させることができます。

UTY1 端子および UTY2 端子は、ハードウェアリセットがアクティブとなった時、内部プルアップされたハイインピーダンス状態に保たれます。UTY1 端子、UTY2 端子を使用しない時は開放にしてください (図 3.5 参照)。

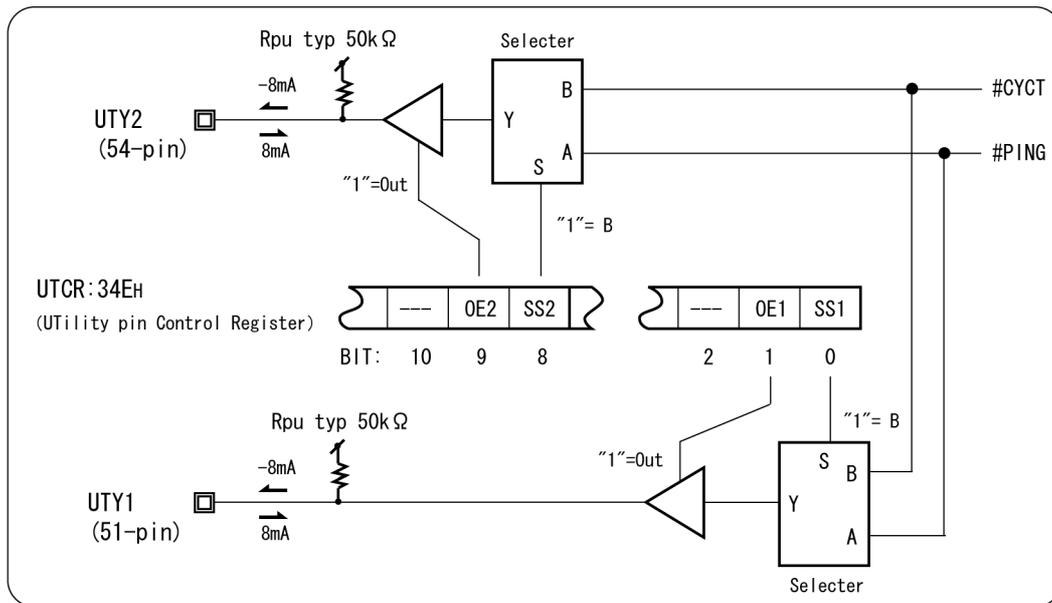


図3.5 UTY1端子、UTY2端子の制御

### 3.8.1 #CYCT 信号の詳細

#CYCT 信号の出力が選択された端子は通常 Hi レベルを維持し、サイクルの先頭タイミングの時に“ $2 \times \text{TBPS}$ ” 時間 Lo となるパルスを出力します。この端子の出力が Lo レベルへ遷移するタイミングをユーザが利用することにより、ネットワークへ接続された全ての CUnet ステーションに共通なタイミング（同期）を認識することが可能となります。

CUnet の同期性能は、式 3.1 によって算出できます。

#### 式 3.1 $(2 \times \text{TBPS}) + (\text{サイクルタイム} \times \text{クロック精度}) + \text{信号伝搬遅延}$ [以内]

例えば、12Mbps (TBPS=83.3ns)、64 個の CUnet ステーション (サイクルタイム =2.365ms)、駆動クロック精度 200ppm (0.02%)、ケーブル (7ns/m) 総長 100m の場合、同期性能は  $(167\text{ns} + 473\text{ns} + 700\text{ns}) \approx 1.34 \mu\text{s}$  以内です。



#### 注意事項

ネットワーク内に HUB が挿入されている場合は、この算式は適用できません。



#### 参考

- ① MKY43 の #CYCT 信号は、MKY40 の #STB 信号と同一です。
- ② CPU 上を走行するユーザシステムのプログラムは、SCR (System Control Register) を参照することや割込みトリガを受け付けることによって、サイクルのタイミングを認識することもできます (“4.1.7 サイクル中の詳細タイミング” と “4.5 割込みトリガ発生機能” 参照)。ただしこの場合、タイミング精度はプログラムの走行状態に左右されます。これと比較し、端子の出力信号は、主に周辺ユーザ回路へ精度の高い同期信号を供給する場合に利用価値が高まります。

### 3.8.2 #PING 信号の詳細

#PING 信号は、自己ステーションの状態に関わらず他の CUnet ステーションからの関与によって操作される信号です。

#PING 信号の出力が選択された端子は、通常 Hi レベルを維持しています。他の CUnet ステーションから PING 命令を受信した時に Lo レベルへ遷移し、その後他の CUnet ステーションから自己ステーションへ向けた PING 命令が埋め込まれていないパケットを受信した時に Hi レベルへ遷移します。

CUnet プロトコルにおいては、PING 信号の利用目的や接続先が特定されていません。#PING 信号は、ユーザアプリケーションの構築を支援する補助的な拡張機能です。

#PING 信号を発生させる操作については、“4.4.6 PING 命令” を参照してください。



#### 参考

#PING 信号の利用例としては、“CPU を強制的にネットワークからリセットする”などが考察されます。例えば、CUnet ステーションに搭載された CPU のプログラムが暴走してしまった時、(#PING 信号の出力によってハードウェアのリセットがアクティブとなるように設計されていれば)、他の CUnet ステーションからの操作によって、暴走している CUnet ステーションの CPU をリセットすることが可能です。

### 3.9 ユーザバスの接続

本節は、ユーザシステムのプログラムから MKY43 をアクセスするために必要な、CPU の接続方法およびアクセスタイムについて記述します。なお本節においては、CPU から直接出力される CS、RD、WR などの制御信号を含むアドレスおよびデータなどのバス信号を総称して“ユーザバス”と記述します。また CPU から直接出力される信号ではなく、バスドライバやバスコントローラ等を介した信号であってもユーザバスとして説明を進めます。

#### 3.9.1 データ格納方式

MKY43 のレジスタは、16 ビットバスによるワードアクセスを最適化するために、16 ビットレジスタが 2 バイト境界に、64 ビットレジスタが 8 バイト境界に、配置されています。

16 ビットバスによるバイトアクセスを利用する際には、ユーザバスのエンディアンによってレジスタのアドレスが異なります。同一のレジスタを、ビッグエンディアンとリトルエンディアンのユーザバスがリードした際の例を図 3.6 に示します。16 ビットバスによって接続された MKY43 のアクセスについては、ユーザシステムのプログラムがアドレスの相違を認識の上でバイトアクセスを利用する以外は、ワードアクセスを推奨します。

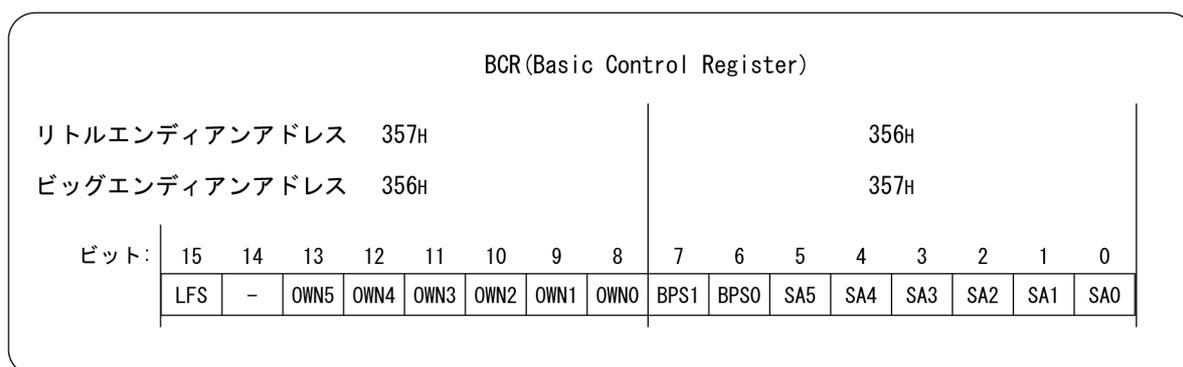


図3.6 エンディアンによるバイトアクセスのアドレス相違

#### 3.9.2 #SWAP 端子の働き

MKY43 は、8 ビットユーザバスを接続する際に、前記のアドレスの相違を吸収してしまう機能（#SWAP 端子）を装備しています。

MKY43 は、#SWAP 端子が Lo レベルである時、A0 端子へ入力された信号レベルを内部において反転して認識します。#SWAP 端子が Lo レベルである時、かつ 8 ビットデータ幅のビッグエンディアンのユーザバスがアドレス 000H を示す時には、MKY43 内部においては“アドレス 001H”を認識し、ユーザバスがアドレス 001H を示す時に MKY43 内部においては“アドレス 000H”と認識します。これにより、ビッグエンディアンとリトルエンディアンのユーザバスにおける A0 信号を、MKY43 内部において同一に扱います。



**注意事項**

16 ビットユーザバスが接続されている環境におけるバイトアクセスは、論理回路によってエンディアンの相違に起因するアドレスの相違を吸収することはできません（A0 信号の意義が失われるため）。16 ビットバスによって接続された MKY43 のアクセスとしては、全てワードアクセスを利用することを推奨します。

### 3.9.3 16ビットユーザバスとの接続

MKY43を、16ビットユーザバスと接続する方法を、以下に説明します(図3.7参照)。

- ① MKY43のWB端子(端子52)を、Hiレベルに固定(または開放)してください。
- ② ユーザバスのアドレス信号A1~A10を、MKY43のA1端子~A10端子(端子58~63、2~5)へ接続してください。MKY43のA0端子(端子57)は使用しません。A0端子は入力端子なので、不定なレベルが入力されないように30kΩ程度のプルアップまたはプルダウン抵抗を接続するか、もしくはVDDまたはGNDへの接続、あるいはユーザバスのA0信号へ接続してください。
- ③ MKY43の#SWAP端子(端子53)は機能しませんが、内部においてプルアップされた入力端子なので、開放とするかVDDへ接続してください。
- ④ ユーザバスのデータ信号D0~D15を、MKY43のD0端子~D15端子(端子6~9、11~14、20~23、28~31)へ接続してください。
- ⑤ ユーザバスのRD信号をMKY43の#RD端子(端子15)へ、ユーザバスのWRH信号をMKY43の#WRH端子(端子27)へ、ユーザバスのWRL信号をMKY43の#WRL端子(端子19)へ接続してください。MKY43の#CS端子(端子18)がLoレベルの時に、ユーザバスのRD信号およびWRH、WRL信号は有効になります。なお、ユーザバスのWR信号が1つしか存在しない場合には、ユーザバスの1つのWR信号を、MKY43の#WRH端子と#WRL端子の両方に接続してください。
- ⑥ ユーザバスによって生成されるMKY43のメモリ配置を決定する信号を、MKY43の#CS端子(端子18)へ接続してください。MKY43の#CS端子は、Loレベルの時にアクティブな入力端子です。

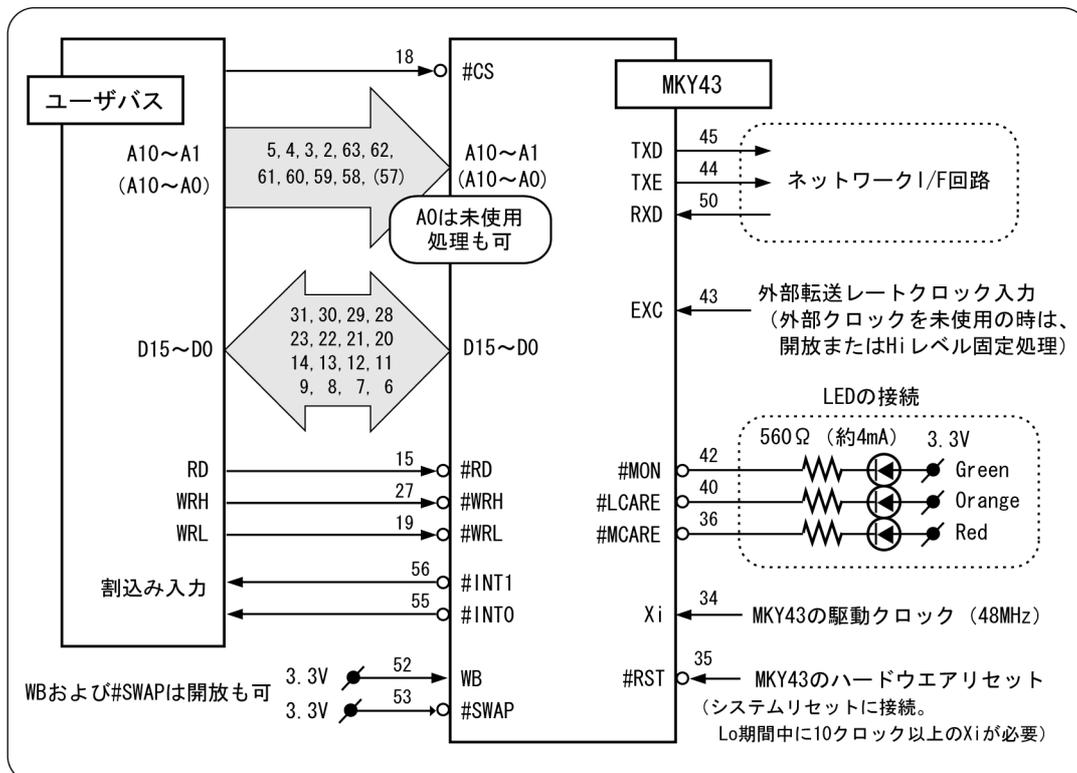


図3.7 16ビットユーザバスとの接続

### 3.9.4 8ビットユーザバスとの接続

MKY43 を、8ビットユーザバスと接続する方法を、以下に説明します（図3.8 参照）。

- ① MKY43 の WB 端子（端子 52）を、Lo レベルに固定してください。
- ② ユーザバスのアドレス信号 A0 ~ A10 を、MKY43 の A0 端子 ~ A10 端子（端子 57 ~ 63、2 ~ 5）へ接続してください。
- ③ ユーザバスが、ビッグエンディアンである時には #SWAP 端子（端子 53）を Lo レベルに、リトルエンディアンである時には #SWAP 端子（端子 53）を Hi レベルに固定（または開放）してください。
- ④ ユーザバスのデータ信号 D0 ~ D7 を、MKY43 の D0 端子 ~ D7 端子（端子 6 ~ 9、11 ~ 14）へ接続してください。なお MKY43 の D8 端子 ~ D15 端子（端子 20 ~ 23、28 ~ 31）は未使用の入力端子となるため、不定なレベルが入力されないように 30kΩ 程度のプルアップまたはプルダウン抵抗を接続するか、VDD または GND へ接続してください。
- ⑤ ユーザバスの RD 信号を MKY43 の #RD 端子（端子 15）へ、およびユーザバスの WR 信号を MKY43 の #WRL 端子（端子 19）へ接続してください。MKY43 の #CS 端子（端子 18）が Lo レベルの時に、ユーザバスの RD 信号および WR 信号は有効になります。

MKY43 の #WRH 端子（端子 27）は使用しません。#WRH 端子は入力端子なので、不定なレベルが入力されないように 30kΩ 程度のプルアップ抵抗を接続するか、VDD へ接続してください。

- ⑥ ユーザバスにおいて生成される MKY43 のメモリ配置を決定する信号を、MKY43 の #CS 端子（端子 18）へ接続してください。MKY43 の #CS 端子は、Lo レベルの時にアクティブな入力端子です。

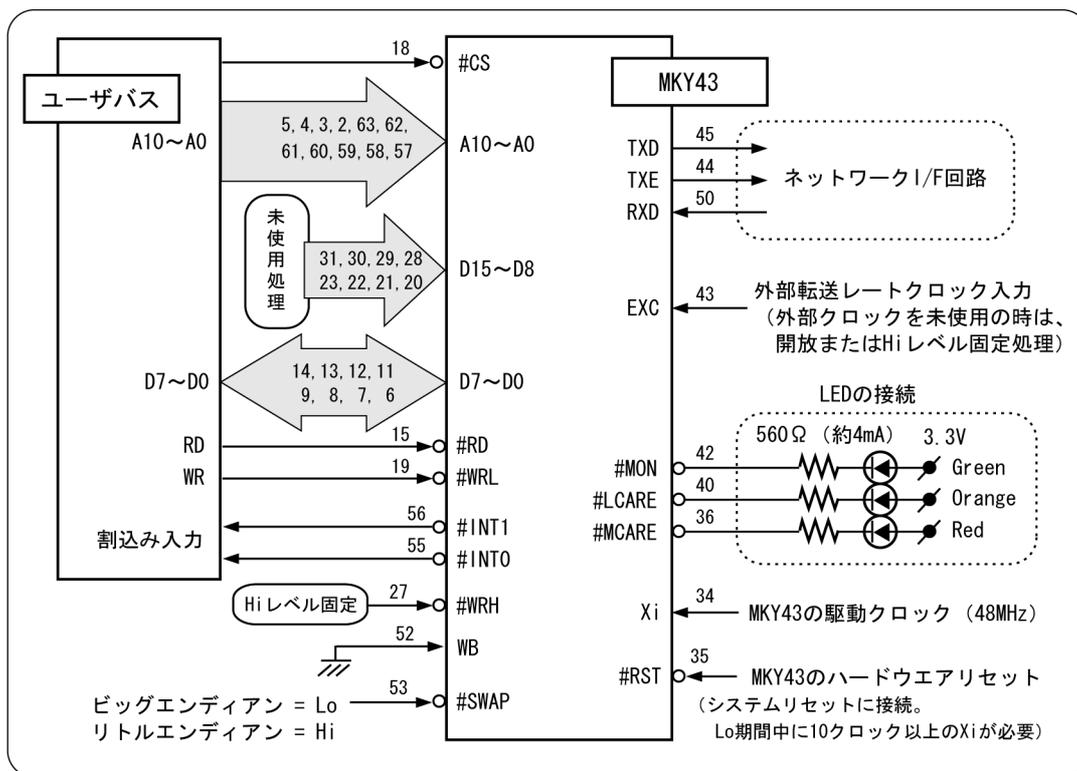


図3.8 8ビットユーザバスとの接続

### 3.9.5 アクセスの認識

MKY43 が、ユーザバスからアクセスされていることを認識する条件は、以下です。

- ① **リード：#CS 端子と #RD 端子の両方が Lo レベル、かつ #WRH 端子および #WRL 端子が Hi レベルの時。**例えば #RD 端子のみが Lo レベルである期間は、リードアクセスが開始されないだけでなく、データバスヘデータも出力しません。

WB 端子が Hi レベルに設定されている MKY43 は、#CS 端子と #RD 端子の両方が Lo レベルである時に、D0～D15 の 16 ビットのデータバスへ内部データを出力します。

WB 端子が Lo レベルに設定されている MKY43 は、#CS 端子と #RD 端子の両方が Lo レベルである時に、D0～D7 の 8 ビットのデータバスへ内部データを出力します。

- ② **ライト：WB 端子が Hi レベルの場合：#RD 端子が Hi レベルかつ #CS 端子が Lo レベルの時に、#WRH 端子と #WRL 端子の両方が Lo レベルの時。**例えば #CS 端子と #WRH 端子および #WRL 端子の全てが Lo レベルであった後、#WRH 端子のみが先に Hi レベルになった場合には、その時点においてライトアクセスが終了したと見なされ、D0～D15 のデータバス上の 16 ビットデータが入力されます。

**ライト：WB 端子が Lo レベルの場合：#RD 端子が Hi レベルかつ #CS 端子が Lo レベルの時に、#WRL 端子が Lo レベルの時。**例えば #CS 端子と #WRL 端子の両方が Lo レベルであった後、#CS 端子のみが先に Hi レベルになった場合には、その時点においてライトアクセスが終了したと見なされ、D0～D7 のデータバス上の 8 ビットデータが入力されます。

### 3.9.6 アクセスタイムの設計

48MHz によって駆動される MKY43 のリードアクセスには、“3.9.5 アクセスの認識”の①に示される条件が成立している期間に、89ns 必要です。48MHz によって駆動される MKY43 のライトアクセスには、“3.9.5 アクセスの認識”の②に示される条件が成立している期間に、63ns 必要です。また、48MHz によって駆動される MKY43 は、以下に示すアクセスからアクセスの間の全てに、2 Txi 時間（約 43ns）以上のアクセス休止時間が必要です。

- ① リードアクセスの後のリードアクセス
- ② リードアクセスの後のライトアクセス
- ③ ライトアクセスの後のリードアクセス
- ④ ライトアクセスの後のライトアクセス

ユーザバスと MKY43 を接続する設計においては、これらのアクセスタイムが十分に確保されていなければなりません。



参考

MKY43 のタイミングの詳細は、“6.2 AC 特性”を参照してください。



注意事項

リセット信号解除後、MKY43 の各レジスタや GM をアクセスする場合、20Txi 時間（約 420ns）以上経過した後、MKY43 へのアクセスが可能です。

### 3.9.7 MKY43 組み込み後のアクセステスト

MKY43 をユーザ装置へ接続した後の、アドレスの確認およびアクセステストは、“4.1.2 MKY43 の接続確認” に記述されています。

### 3.9.8 CPU への割込みトリガ

MKY43 は、CPU の割込みトリガ端子へ信号を供給できる 2 本の出力端子として #INT0、#INT1 端子（端子 55、56）を装備しています。#INT0 と #INT1 端子は、ハードウェアリセットがアクティブな時に Hi レベルを出力します。#INT0 と #INT1 端子は割込みトリガの発生時に Lo レベルを出力します。ユーザシステムプログラムから MKY43 のレジスタをアクセスすることによって、端子の出力を Hi レベルへ戻すことができます。

#INT0 と #INT1 端子のそれぞれには、複数の割込み発生要因を設定することができます。

#INT0 と #INT1 端子のそれぞれには、リトリガ機能が搭載されています。リトリガ機能によって、端子の出力レベルが Lo レベルから Hi レベルへ遷移した 10 クロック後（48MHz 駆動クロック時は 208ns）に、再び Lo レベルへ遷移する場合があります。

CPU の割込みトリガ端子へ #INT0 と #INT1 の 2 本の出力端子（あるいは何れか 1 本）を接続する場合は、CPU の仕様に適合するように接続してください。この端子を使用しない場合は開放にしてください。

**注意事項**

本端子については、“4.5 割込みトリガ発生機能”をご理解の上ご利用ください。



## 第4章 MKY43 のソフトウェア

本章は、MKY43 を利用するためのソフトウェアについて記述します。なお本章は、“**第3章 MKY43 の接続**”の記述に基いたユーザバスと MKY43 との接続によって、ユーザシステムのプログラムから MKY43 へアクセスできる環境が整っていることを前提に記述されております。

4.1	コミュニケーションの起動と停止.....	4-3
4.2	グローバルメモリ（GM）の利用.....	4-11
4.3	メール送受信機能の利用.....	4-28
4.4	CUnet システムの詳細な操作や管理.....	4-37
4.5	割込みトリガ発生機能.....	4-54



## 第4章 MKY43 のソフトウェア

本章は、MKY43 を利用するためのソフトウェアについて記述します。なお本章は、“**第3章 MKY43 の接続**”の記述に基いたユーザバスと MKY43 との接続によって、ユーザシステムのプログラムから MKY43 へアクセスできる環境が整っていることを前提に記述されております。

### 4.1 コミュニケーションの起動と停止

本節は、ユーザ CPU による MKY43 の操作について記述します。

MKY43 を操作する基本的な項目を以下の順に記述します。

- ① メモリマップ
- ② MKY43 の接続確認
- ③ コミュニケーション起動前の設定（イニシャライズ）から起動の操作まで
- ④ 各フェーズへの対応
- ⑤ 誤操作のプロテクション
- ⑥ CUnet のサイクルタイム
- ⑦ サイクル中の詳細タイミング
- ⑧ ネットワークの停止

#### 4.1.1 メモリマップ

ユーザ CPU へ接続した MKY43 は、“2K バイト (2048 バイト : 000H ~ 7FFH)” のメモリ領域を占拠します。表 4-1 に、メモリマップを示します。

表 4-1 メモリマップ

アドレス	機能
000H ~ 1FFH	グローバルメモリ (GM : Global Memory)
200H ~ 2FFH	メール送信バッファ (MSB : Mail Send Buffer)
300H ~ 3FFH	レジスタおよびメーカリザーブ (390H ~ 3FFH)
400H ~ 4FFH	メール受信バッファ 0 (MRB0 : Mail Receive Buffer 0)
500H ~ 5FFH	メール受信バッファ 1 (MRB1 : Mail Receive Buffer 1)
600H ~ 7FFH	メーカリザーブ領域

**注意事項**

MKY43 のメモリマップに示すメモリやレジスタのアドレスは、4 バイトもしくは 2 バイト境界に配置されています。ユーザ CPU が、MKY43 へ 8 ビット幅データバスによるアクセスを実行した場合、エンディアンの種類によって、下位アドレスが異なる場合があります。詳しくは“3.9.1 データ格納方式”を参照してください。

#### 4.1.2 MKY43 の接続確認

ユーザ CPU に MKY43 が正しく接続されている時、Chip Code Register(CCR) をリードすると“MKY43\_v0”の ASCII 文字列をリードできます。この文字列をリードすることによって MKY43 の接続を確認できます。この文字列は、リトルエンディアンのユーザ CPU からリードした場合、“MKY43\_v0”の配列順です。ビッグエンディアンのユーザ CPU においては配列順が異なってリードされます。

MKY43 が搭載しているレジスタ群 (300H ~ 3FFH) とメーカリザーブ領域 (600H ~ 7FFH) を除く全てのメモリへは、ネットワークが起動されていない時 (SCR : System Control Register の START ビットが“0”の時)、任意なデータをライト可能です。各メモリへ任意なデータをライトし、リードを行いベリファイすることによって、ユーザ CPU へ MKY43 が正しく接続されていることを確認できます。

## 4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで

本節は、コミュニケーション起動までの手順について記述します（図 4.1 参照）。

- ① 電源投入後の MKY43 内部のメモリには、不定値が埋まっています。300H ~ 3FFH のレジスタ領域を除くメモリ（GM、MSB、MRB0、MRB1）へ“00H”のデータをライトし、不定値をクリアしてください（表 4-1 参照）。
- ② BCR（Basic Control Register）へ、ステーションアドレス（SA）、占有幅（OWN）、転送レート（BPS）を設定してください。  
BCR は、ネットワークの稼動中に誤ってライトされないために、SCR（System Control Register）のビット 15（GMM）が“1”の時に限りライトを許可するといったプロテクションが設定されています。このため、ユーザシステムのプログラムによって BCR へ設定値をライトする場合は、以下の手順に従ってください。

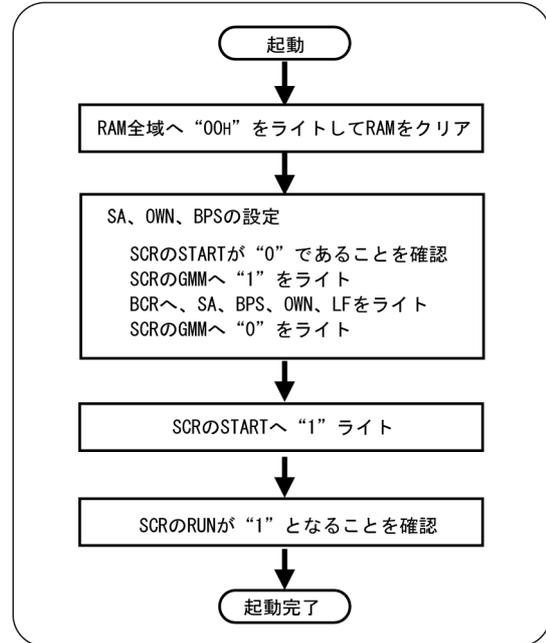


図4.1 起動のアルゴリズム

- (1) SCR（System Control Register）のビット 8（START）が“0”であることを確認してください。
  - (2) SCR のビット 15（GMM）へ“1”をライトしてください。
  - (3) BCR（Basic Control Register）のビット 0 ~ 5（SA0 ~ 5）へステーションアドレス（SA）値を、ビット 6、7（BPS0、BPS1）へ転送レート選択を、ビット 8 ~ 13（OWN0 ~ 5）へ占有幅（OWN）値をライトしてください。ビット 15 の LFS（Long Frame Select）へは、通常“0”をライトしてください（“4.4.9 フレームオプション [HUB 対応]”参照）。
  - (4) SCR のビット 15（GMM）へ“0”をライトしてください。
- ③ SCR（System Control Register）のビット 8（START）へ“1”をライトしてください。  
CUnet のネットワークが起動し、MKY43 はスタートフェーズに入ります。
  - ④ SCR（System Control Register）をリードし、ビット 9（RUN）が“1”（MKY43 がランフェーズになった）であることを確認してください。SCR のビット 9（RUN）が“1”にはならず、ビット 10（CALL）またはビット 11（BRK）が“1”になった場合（ランフェーズ以外の時）は、“4.1.4 各フェーズへの対応”の記述に従ってください。
  - ⑤ SCR（System Control Register）のビット 9（RUN）が“1”である時、“グローバルメモリ（GM）を利用するメモリデータの共有”と、“メール送信バッファとメール受信バッファを利用するデータセットのメール送受信による、CUnet のコミュニケーション”が機能します。



## 参考

MKY43 は、RUN フラグビットが“1”となった時（ランフェーズとなった時）に、割込みトリガを出力することができます。詳細は、“4.5 割込みトリガ発生機能”を参照してください。

#### 4.1.4 各フェーズへの対応

MKY43 は、CUnet プロトコルによって規定されたフェーズの遷移に則り、ネットワークを起動した時からスタートフェーズの“2 または 3 サイクル時間”後に、コールフェーズ、ランフェーズ、ブレイクフェーズのいずれかのフェーズへ遷移します。MKY43 のフェーズは、SCR (System Control Register) の RUN、CALL、BRK ビットに示されるため、ユーザシステムのプログラムが SCR をリードすることによって認識できます (図 4.2 参照)。

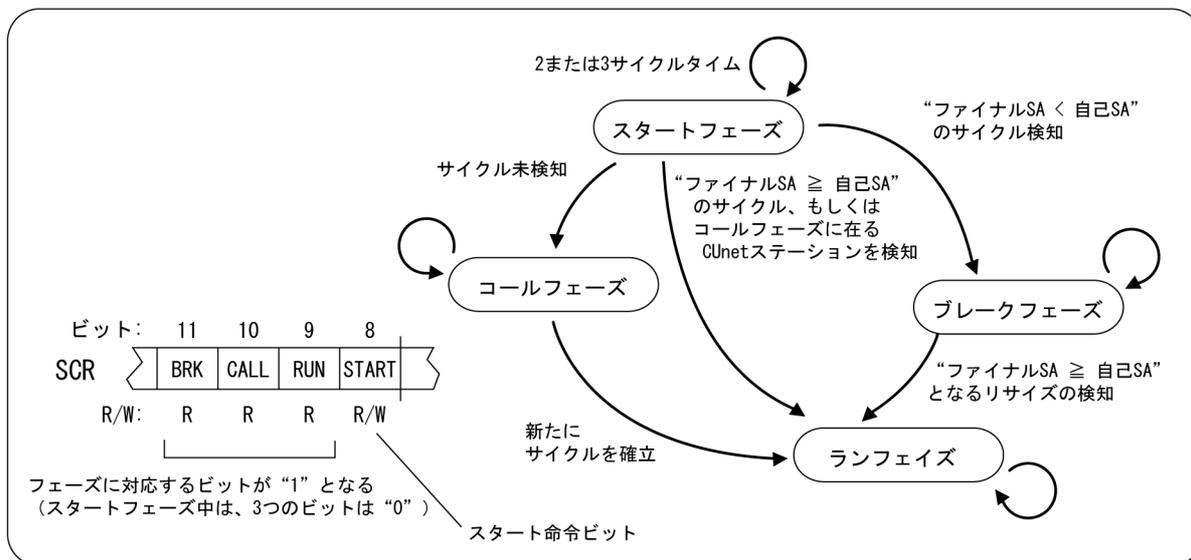


図4.2 MKY43のフェーズ遷移とSCRの対応ビット

“ランフェーズ”は、CUnetの通常の稼動状態です。SCRのビット9 (RUN) が“1”へ遷移します。MKY43がランフェーズの時、ユーザシステムのプログラムは、以下のコミュニケーションが可能となります。

- ① 他のCUnetステーションへ伝えたい情報を、グローバルメモリ (GM) の自己ステーションの占有エリアへライトすると、このデータは他のCUnetステーションのグローバルメモリの同一アドレスへ複写 (Copy) されます。
- ② GM内の他CUnetステーションの占有エリアをリードすることによって、他のCUnetステーションから複写 (Copy) された情報を参照できます。
- ③ 指定したCUnetステーションへデータセットのメールを送信できます。
- ④ 自己ステーションへ送信されたデータセットのメールを受信できます。

“コールフェーズ”は、CUnetの接続待ち状態です。SCRのビット10 (CALL) が“1”へ遷移します。ネットワークへ接続された自己ステーション以外の全てのCUnetステーションが起動されていない時に、このフェーズになります。コールフェーズは、他のCUnetステーションとパケットを送受信できるまで続きます。

“ブレイクフェーズ”は、自己ステーションがサイクルへ参入できない状態です。SCRのビット11 (BRK) が“1”へ遷移します。ブレイクフェーズは、他のCUnetステーションがリサイズ操作を実行して、自己ステーションのサイクル参入が許可されるまで続きます。



参考

リサイズに関しては、“4.4.2 サイクルタイムの変更 (リサイズ)”を参照してください。ハードウェアが不安定なCUnetステーションにおいては、ネットワークの起動のために、スタートフェーズ中においてMKY43が停止してしまう場合があります。このような場合は、“4.1.8.3 停止の特例”を参照し、不安定なCUnetステーションを改善してください。

### 4.1.5 誤操作のプロテクション

MKY43 は、ユーザシステムのプログラムによる誤操作のプロテクションを装備しています。MKY43 を操作する際には、以下のプロテクションの存在を認識してください（図 4.3 参照）。

- ① SCR (System Control Register) の START ビットが “0” である時に限り、SCR の GMM ビットへ “1” をライトすることが可能です。
- ② SCR (System Control Register) の START ビットが “1” の時、グローバルメモリ (GM) は、自己ステーションの占有エリア以外のメモリ領域がライトプロテクトされます。
- ③ BCR (Basic Control Register) は、SCR の START ビットが “0” かつ GMM ビットが “1” である時に限りライト可能です。
- ④ SCR の RUN ビットが “1” である時 (ランフェーズ) に限り、メール送受信機能によるデータセットの送信および受信が可能です。

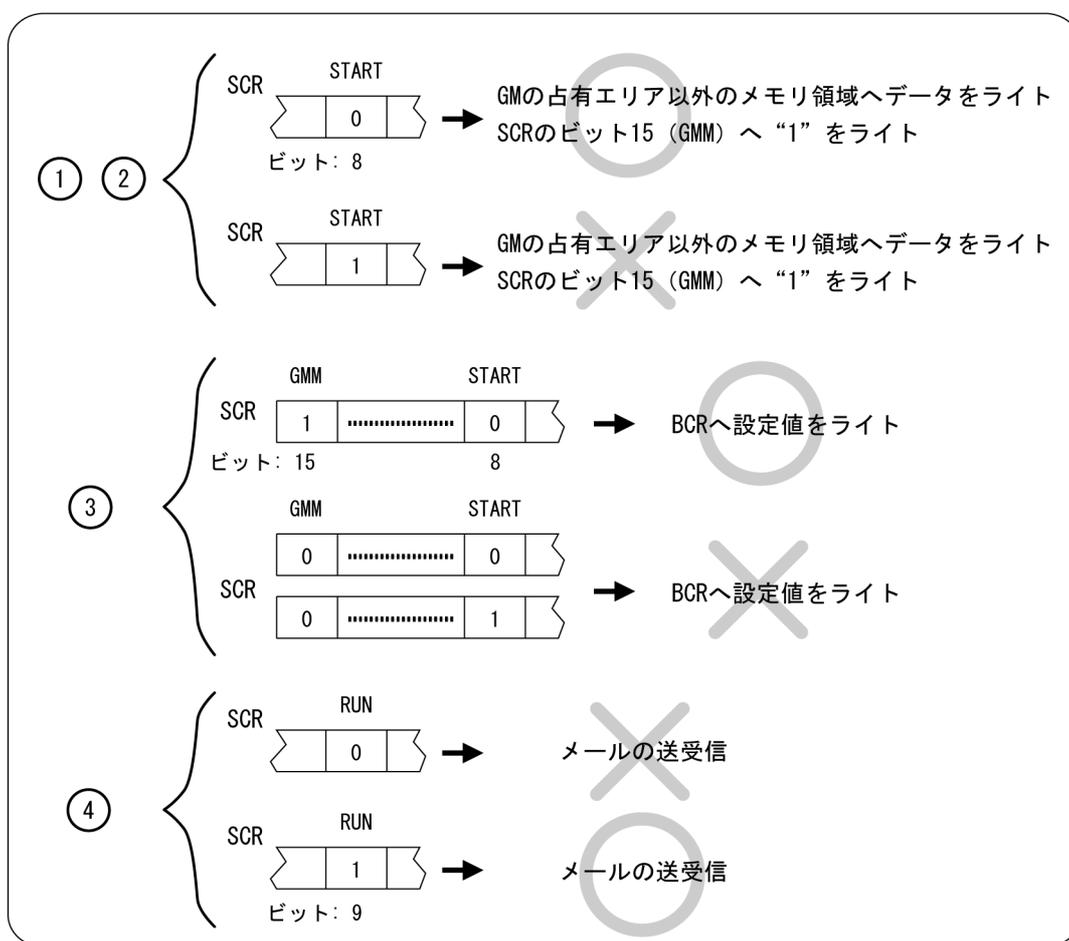


図4.3 ライトプロテクト



参考

SCR の GMM ビットの詳細については、“4.4.8 GMM (Global Memory Monitor) 機能” を参照してください。

### 4.1.6 CUnet のサイクルタイム

MKY43 によって構築される CUnet のサイクルタイムは、CUnet プロトコルによって定められた式 4.1 と式 4.2 によって求められます。CUnet のサイクルタイムは、メモリデータ共有の応答速度となります。

$$\text{式 4.1 } \text{Frame Time} = (\text{LOF} + \text{FS} + 1) \times 2 \times \text{TBPS} \text{ [秒]}$$

$$\text{式 4.2 } \text{Cycle Time} = \text{Frame Time} \times (\text{FS} + \text{PFC} + 1) \text{ [秒]}$$

例として、FS=03H、LOF=151、PFC=2、転送レート 12Mbps (TBPS = (1/12 × 10<sup>6</sup>) ≒ 83.3ns) におけるフレームタイムおよびサイクルタイムは以下です。

$$\text{Frame Time} = (151 + 3 + 1) \times 2 \times (1/12 \times 10^6) = 25.833 \mu\text{s}$$

$$\text{Cycle Time} = 25.833 \mu\text{s} \times (3 + 2 + 1) = 155 \mu\text{s}$$

CUnet においては、LOF (Length Of Frame) は“151”、PFC (Public Frame Count) は“2”の固定数です。

“4.4.9 フレームオプション [HUB 対応]”に記述されたフレームオプションを利用する際は、LOF (Length Of Frame) は“256”の固定数です。

ファイナルステーション (FS : Final Station) の値は、MKY43 のレジスタ群にある、FSR (Final Station Register) に格納されている値です。CUnet における FS の初期値は、“63 (3FH)”です。“4.4.2 サイクルタイムの変更 (リサイズ)”に記述されているリサイズが実行されていない状況において FSR (Final Station Register) に格納されている値は、初期値の“63 (3FH)”です。



参考

式 4.1 と式 4.2 から算出される各 FS 値によるサイクルタイムを、“付録 1 サイクルタイム一覧”に示します。

### 4.1.7 サイクル中の詳細タイミング

MKY43 においては、フレームの推移によって進行するサイクル中の詳細なタイミングを認識することができます。ユーザシステムのプログラムがサイクル中の詳細なタイミングを認識したい場合は、SCR (System Control Register) をリードしてください。

SCR のビット 0 ~ 6 (ST0 ~ 6) の値が、ステーションタイム (ST) を示しています (図 4.4 参照)。MKY43 は、予め所定のレジスタへステーションタイム値を設定しておくことにより、SCR のビット 0 ~ 6 (ST0 ~ 6) の値が設定値と一致した時に、割込みトリガを出力することができます。これを“アラーム”と呼びます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

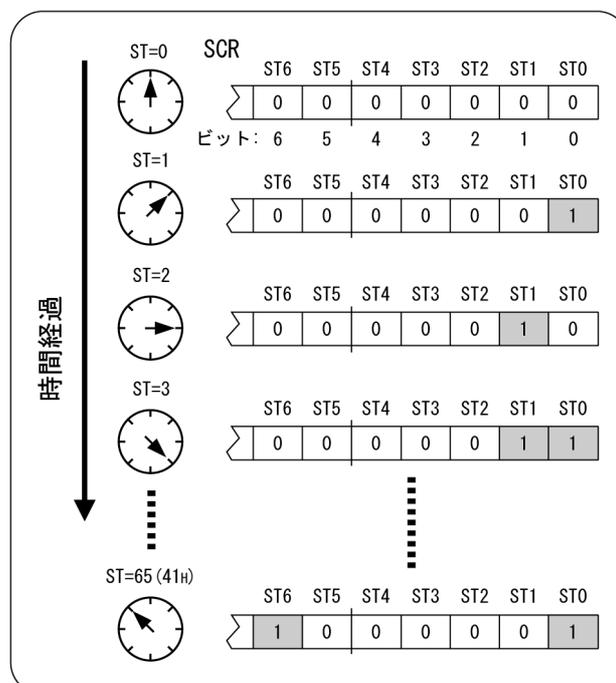


図4.4 SCRのビット0~6が示すステーションタイム

### 4.1.8 ネットワークの停止

MKY43 を搭載した CUnet ステーションがネットワーク停止するのは、以下の3つの場合です。

- ① SCR (System Control Register) の START ビットへ、意図的に“0”をライトした。
- ② SNF (Station Not Found) : 自己ステーション以外の CUnet ステーションとのリンクが、32 サイクル連続して1回も成立できなかった。
- ③ OC (Out of Cycle) : 他の CUnet ステーションによるリサイズ操作によって、継続的タイムシェアリングにおける自己ステーションのパケット送信時期を失った。

MKY43 を接続したユーザ CPU 上を走行するユーザシステムのプログラムは、SCR (System Control Register) の START ビットへ“0”をライトすることにより、MKY43 がスタート、コール、ラン、ブレークのどのフェーズにある時も、意図的にネットワークを停止することができます。この操作によるネットワークの停止によって、SCR (System Control Register) の RUN、CALL、BRK ビットも“0”へ遷移します。

これに対し、上記②の SNF (Station Not Found) と③の OC (Out of Cycle) によるネットワーク停止は、MKY43 がランフェーズあるいはブレークフェーズにある時に限り、MKY43 を接続したユーザ CPU 上を走行するユーザシステムのプログラムがいかなるアルゴリズムによって進行している最中であっても発生します。SNF (Station Not Found) による停止は、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット13の SNF が“1”へ遷移します。

OC (Out of Cycle) によるネットワーク停止時には、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット12の OC が“1”へ遷移します。

MKY43 は、ネットワークが停止した時に、割込みトリガを出力することができます。詳細については、“**4.5 割込みトリガ発生機能**”を参照してください。

SCR (System Control Register) の SNF ビットおよび OC ビットは、ユーザシステムのプログラムが SCR の START ビットへ“1”をライトした時、あるいはハードウェアリセットアクティブ時に、“0”へクリアされます。

**注意事項**

MKY43 が OC 停止した場合には、ユーザシステムのプログラムが“**付録3 OC 停止をした場合の処理**”に基づく処理をする必要があります。

#### 4.1.8.1 SNF (Station Not Found) の詳細

SNF (Station Not Found) によるネットワークの停止は、ランフェーズ中における以下の事象により、自己ステーションが孤立してしまった場合に発生します。

- ① ネットワークからの離脱や通信ケーブル断線、レシーバ部品の故障。
- ② 自己ステーション以外の全ての CUnet ステーションが、意図的に停止した。

上記の2つの場合は、他の CUnet ステーションとのリンクは全て不成立です。MKY43 は、いずれの CUnet ステーションともリンクが成立しないサイクルが32回連続すると、自己ステーションが孤立してしまったと判定します。この時に、SNF (Station Not Found) 停止します。

MKY43 においては、ブレークフェーズ中に上記①もしくは②の原因によって、いずれの CUnet ステーションからもパケットを受信できないサイクルが32回連続した場合にも、SNF (Station Not Found) 停止します。

#### 4.1.8.2 OC (Out of Cycle) の詳細

OC (Out of Cycle) によるネットワークの停止は、ランフェーズ中における他の CUnet ステーションによるリサイズ操作によって、自己ステーションの占有エリアをパケット送信できない場合に発生します。例えば、自己ステーションの SA が “20H” の時に、他の CUnet ステーションが “1FH” へリサイズした場合、サイクルが縮小リサイズされてしまい、自己ステーションが FS 以降になってしまうため、パケット送金のタイミングを失ってしまいます。また、自己ステーションの SA が “20H” であり OWN が “02H” である時に他の CUnet ステーションが “20H” へリサイズした場合も、自己ステーションの占有エリアの一部 (“21H”) をパケット送金するタイミングが失われてしまいます。このような場合に、OC (Out of Cycle) 停止が発生します。このように、自己ステーションの占有エリアをパケット送信できないリサイズを MKY43 が検出した時に、OC (Out of Cycle) 停止します。

#### 4.1.8.3 停止の特例

電源投入直後に電源の不安定な時期が続く CUnet ステーションが存在する場合、以下のシーケンスによってスタート直後にネットワークが SNF (Station Not Found) 停止となる場合があります。以下のシーケンスは、2つの CUnet ステーションによって構築した CUnet における停止シーケンスを示します。

- ① ある CUnet ステーションの START ビットへユーザ CPU が “1” をライト、この CUnet ステーションがコールフェーズになる。
- ② 別の CUnet ステーションも START ビットへ “1” をライトし、上記の CUnet ステーションと両方の CUnet ステーションがランフェーズになる。
- ③ ある CUnet ステーションの電源投入後の安定が遅れ、ハードウェアリセットが再びアクティブとなってしまう場合、START ビットが “0” へ戻る。
- ④ 別の CUnet ステーションは、32 サイクル後に SNF (Station Not Found) 停止する。
- ⑤ ある CUnet ステーションは、再びプログラムが先頭からスタートし、START ビットへ “1” をライトし、コールフェーズになる。
- ⑥ 別の CUnet ステーションは、ネットワークが SNF (Station Not Found) 停止しているのため、再びスタートしない。

この事例のユーザシステムが “12Mbps 運用” の場合、上記①～⑥のシーケンスが進行する所要時間は、80ms 程度であり、電源投入直後に電源の不安定な時期が続くシステムにおいては、このようなケースが発生します。ユーザシステムのプログラムが、ランフェーズになることのみを待っていた場合、プログラムは次のステップへ進むことができなくなってしまいます。

MKY43 を搭載する CUnet ステーションは、電源投入直後から十分に電源が安定した後にハードウェアリセットが解除される構成にしてください。



ユーザシステムのプログラムとしては、ネットワークの SNF 停止や OC 停止を検出でき、かつユーザシステムに適合する処理（例えば再び START ビットへ “1” をライトしネットワークを再起動するなど）を実行するアルゴリズムを推奨します。

## 4.2 グローバルメモリ（GM）の利用

本節は、CUNet においてデータが共有されるグローバルメモリ（GM）の利用について記述します。

### 4.2.1 占有エリアについての詳細

MKY43 に搭載されているグローバルメモリ（GM）は、CUNet プロトコルに規定された 8 バイトサイズのメモリブロック（MB）が“64 個”連続して配列された 512 バイトのメモリです。個々のメモリブロックは、基本的に対応するステーションアドレスの CUNet ステーションが占有するエリアです（図 4.5 参照）。

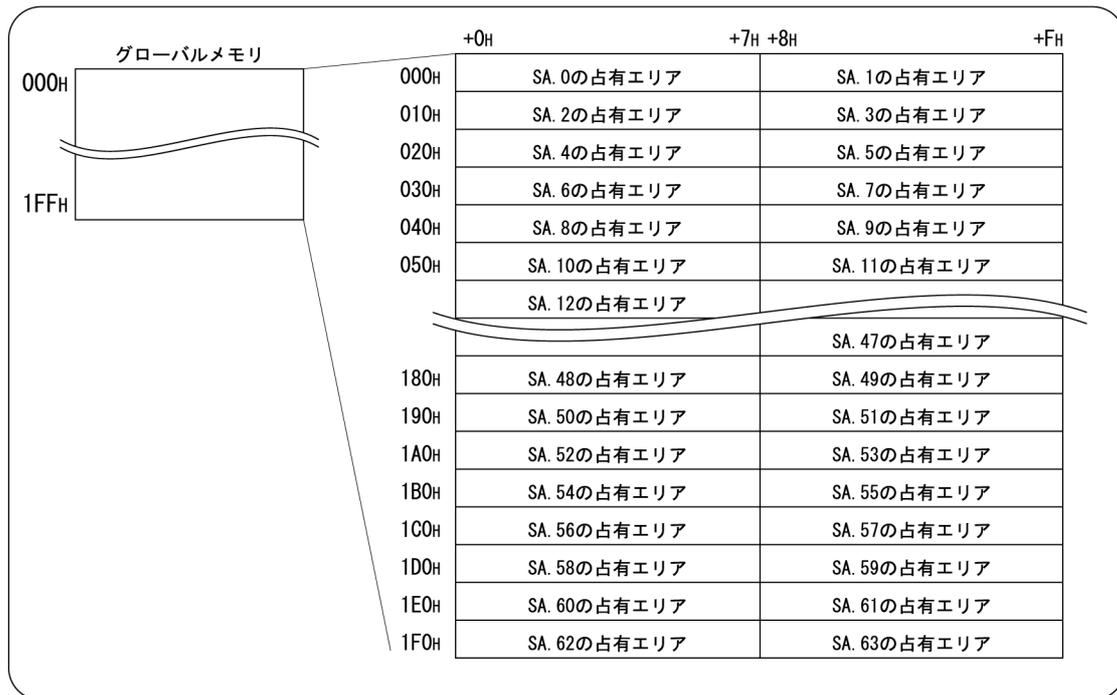


図4.5 グローバルメモリ

MKY43 は、CUNet プロトコルの“実用性の向上”に規定される占有幅（OWN width）の設定によって、占有エリアを拡張できます。

占有エリアは、BCR（Basic Control Register）に格納されたステーションアドレス（SA）と占有幅（OWN width）によって決定します。ステーションアドレス（SA）に対応するメモリブロック（MB）を先頭とする占有幅（OWN width）分のメモリブロック（MB）が占有エリアです（図 4.6 参照）。

例えば、SA=6 かつ OWN=2 の MKY43 の占有エリアは、MB=6 ~ 7（GM : 030H ~ 03FH）の 16 バイトです。

CUNet における占有エリアは、他の CUNet ステーションヘッダを送信（複写）するエリアです。MKY43 においては、占有エリアは常にライト可能ですが、占有エリア以外のグローバルメモリ（GM）は、SCR（System Control Register）の START ビットが“1”の期間中ライトプロテクトされます。このように、CUNet におけるグローバルメモリ（GM）の利用にあたっては、ライト可能なエリアとリードのみに制限されるエリアに明確に分離されるため、同一アドレスへの同時ライトやオーバライトが発生しません。

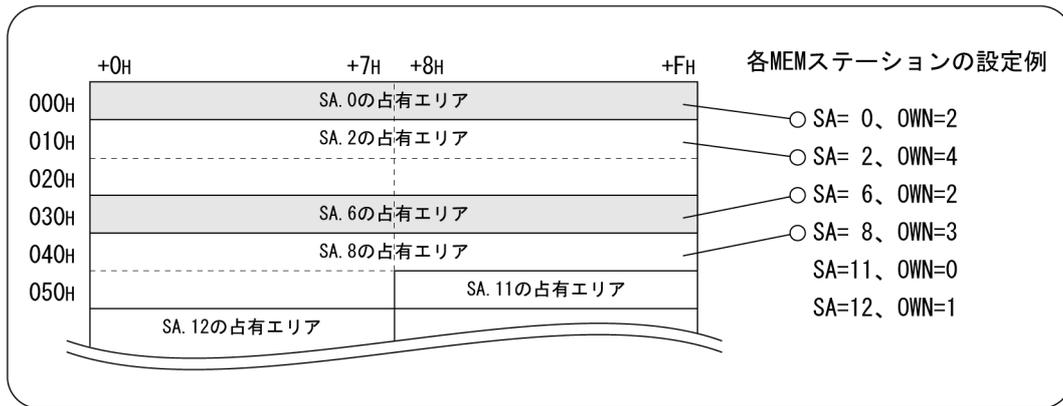


図4.6 占有エリアの拡張

占有エリアは、CUnet を構成する全ての CUnet ステーションにおいて、重複が禁止されています。例えば、1 つの MKY43 の設定が SA=3 かつ OWN=2 の場合、別の MKY43 の設定を SA=4 とすることは禁止です。

**“3.6 ステーションアドレスおよび占有エリアの設定”** および **“4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで”** の②に記述されている設定を実行する際に、占有エリアが重複していることは禁止です。

占有エリアは、(重複が生じない限り) 広く設定することも可能です。例えば、2 つの MEM ステーションによって構築する CUnet の場合、それぞれの MEM ステーションに “256 バイト” の占有エリアを持たせることも可能です。

BCR (Basic Control Register) の占有幅 (OWN width) の値が “00H” の時、占有幅 (OWN width) は “1” として扱われます。また、BCR (Basic Control Register) に格納されている SA 値と OWN 値を加算した値が、 “64 (40H)” を超える場合は、 “64” を超える値が無視されます。例えば、SA が “62 (3EH)” の場合、OWN が “03H” であっても占有幅は “2” です。SA が “32 (20H)” の場合、OWN が “63 (3FH)” であっても占有幅は “32” です。

#### 4.2.2 データハザード

複数のアドレスにわたる文字列などのデータセットをライトしている最中に、別の CUnet ステーションがデータセットをリードすると、途中までライトしたデータとまだライトされずに残っていた古いデータが混合された文字列をリードしてしまう可能性があります。このような現象を “データハザード” (Data hazard) と呼びます。データハザード (Data hazard) は、ユーザ CPU と MKY43 を接続しているバス幅以内のデータを扱う場合は発生しません。

データハザードは、ユーザ CPU と MKY43 を接続しているバス幅を超えるデータを扱う場合に、以下のよう発生します (図 4.7 参照)。

- ① 8 ビット幅データバスによって MKY43 へ接続されたユーザ CPU が、他の CUnet ステーションが占有しているグローバルメモリ (GM) のエリアから 16 ビット幅データをリードする時、“2 回” のアクセスが必要です。

第4章 MKY43 のソフトウェア

- ② ユーザシステムのプログラムがグローバルメモリへ“2回”アクセスする際の“1回目”と“2回目”の間に、メモリデータの共有動作に基づいた他の CUNet ステーションからのデータ複写 (Copy) によってデータが遷移すると、正しいデータをリードできないタイミングが発生します (図 4.7 : 5634H のリード)。
- ③ この場合のリードデータは、データハザード (Data hazard) が発生した誤ったデータです。

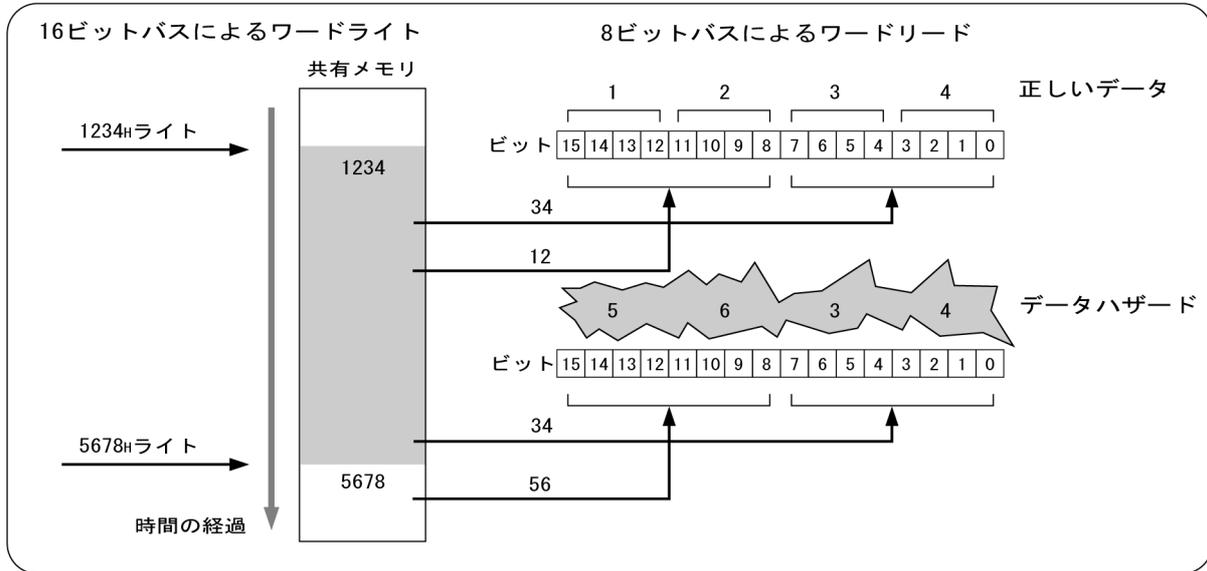


図4.7 データハザード発生メカニズム

データハザード (Data hazard) は、リードだけではなくライトにおいても発生します (図 4.8 参照)。例えば、8ビット幅データバスによって MKY43 へ接続されたユーザ CPU が、“1234H”をライトする時に“2回”のライトが必要です。旧データが“ABCDH”の場合、“34H”と“12H”データを2回に分けてライトする中間時点において、メモリデータの共有動作に基づいて他の CUNet ステーションへデータが複写 (Copy) されると、これをリードした他の CUNet ステーションは“1234H”でも“ABCDH”でもない (実在しない: データハザードが生じた) “AB34H”を認識してしまいます。

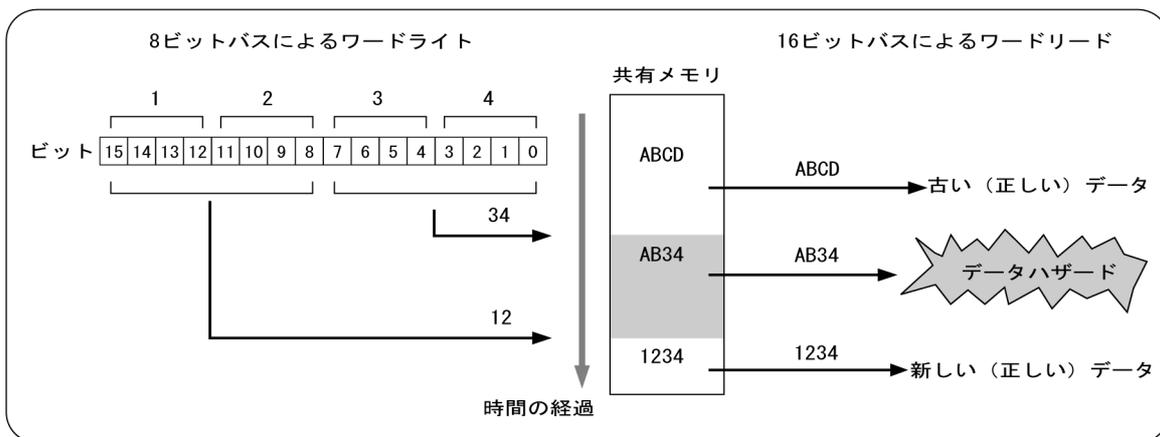


図4.8 ライトの際に発生するデータハザード

MKY43 は、バス幅を超えるデータを扱う場合のデータハザードを回避する機能として、“ハザード防止機能”を装備しています。

### 4.2.2.1 ハザード防止機能

MKY43 に搭載されているグローバルメモリ (GM) は、8 バイトサイズのメモリブロック (MB) が 64 個配列されています。1 つの MB を 1 単位として、一括したリードもしくはライトができれば、MB を単位とするデータに関しては、データハザードを防止できます。MKY43 には、これを実現するための Hazard Protection Buffer が搭載されています。

### 4.2.2.2 リード・ハザード・プロテクションの利用方法

MKY43 は、1 つの MB のデータを一括して GM からリードする、RHPB0 (Read Hazard Protection Buffer 0) と RHPB1 (Read Hazard Protection Buffer 1) の 2 つのバッファを装備しています。

RHPB0 は、RHCR0 (Read Hazard Control Register 0) によって制御します。RHPB0 および RHCR0 は、それぞれ、GM と異なるアドレスのレジスタ領域にあります。

RHPB0 と RHCR0 は、次の手順で利用してください (図 4.9 参照)。

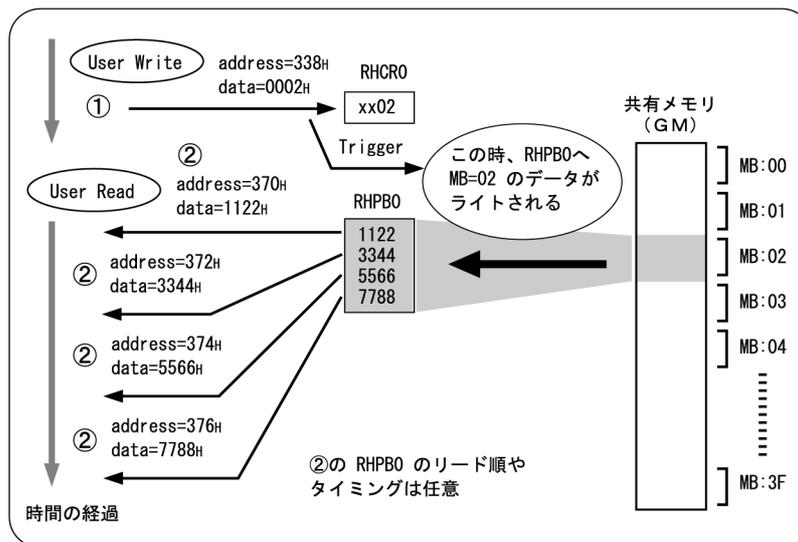


図 4.9 ハザード防止機能を利用したリード操作

- ① リード対象の MB 値を、RHCR0 へライトします。・・・このライトによって、指定された MB のデータが一括して GM からリードされ RHPB0 へ格納されます。
- ② ユーザは、任意な時期に RHPB0 からデータをリードすることができます。
- ③ 新たに別の MB をリードする場合は、①、②の操作を繰り返します。

RHPB1 (Read Hazard Protection Buffer 1) は、RHCR1 (Read Hazard Control Register 1) によって、上記同様に制御します。

RHPB0 と RHPB1 は、それぞれ独立した機能であるため、相互干渉することはありません。よって、RHPB0 をユーザのメインプログラムが利用し、RHPB1 をユーザの割込み処理プログラムが利用するといった、使い分けを行なうと便利です。

4.2.2.3 ライト・ハザード・プロテクションの利用方法

MKY43 は、8 バイト (64 ビット) サイズのデータを一括して GM の 1 つのメモリブロック (MB) へライトする、WHPB0 (Write Hazard Protection Buffer 0) と WHPB1 (Write Hazard Protection Buffer 1) の 2 つのバッファを装備しています。

WHPB0 は、WHCR0 (Write Hazard Control Register 0) によって制御します。WHPB0 および WHCR0 は、それぞれ、GM と異なるアドレスのレジスタ領域にあります。

WHPB0 と WHCR0 は、次の手順で利用してください (図 4.10 参照)。

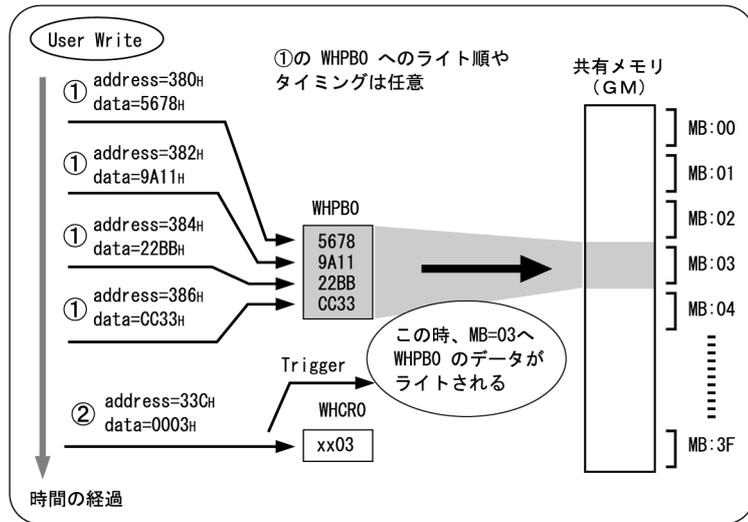


図4.10 ハザード防止機能を利用したライト操作

- ① ユーザは、任意な時期に MB の 1 個分のデータ (8 バイト:64 ビット) 全てを、WHPB0 へライトします。
- ② ライト対象の MB 値を、WHCR0 へライトします。・・・このライトによって、WHPB0 のデータの全てが、指定された MB へ一括してライトされます。
- ③ 新たに別の MB へデータをライトする場合は、①、②の操作を繰り返します。

以下の場合、グローバルメモリ (GM) はライトプロテクトされます。よって、WHCR0 もライトプロテクトされます。

- ・ SCR (System Control Register) の GMM ビットが “1” である時。
- ・ SCR の START ビットが “1” であり、且つ、占有エリア以外の MB 値が WHCR0 へ書き込まれた時。

WHPB1 (Write Hazard Protection Buffer 1) は、WHCR1 (Write Hazard Control Register 1) によって、上記同様に制御します。

WHPB0 と WHPB1 は、それぞれ独立した機能であるため、相互干渉することはありません。よって、WHPB0 をユーザのメインプログラムが利用し、WHPB1 をユーザの割込み処理プログラムが利用するといった、使い分けを行なうと便利です。

**注意事項**

上記①の操作時に WHPB0 へ 8 バイト (64 ビット) の全てをライトしなかった場合には、ライトしなかったバイト域のデータは、以前のデータが残ったままです。この状態の時に②の操作を行うと、新たにライトしたデータとバッファに残っていたデータとの混在データが指定の MB へライトされてしまいます。

#### 4.2.2.4 ハザード防止機能を利用しないデータハザード回避

データハザード (Data hazard) の発生原因は、ユーザ CPU による複数回のアクセス中における (メモリデータの共有動作に基づくデータ複写による) データ遷移です。したがって、ユーザ CPU が、メモリデータ共有動作に基づくデータ複写 (Copy) が発生しないタイミングを見計らって複数回のアクセスを実行することができれば、ハザード防止機能を利用せずにデータハザードを回避することができます。

CUnet においては、メモリデータの共有動作に基づくデータ複写 (Copy) が発生するタイミングを、ステーションタイム (ST) によって認識することができます。ユーザシステムのプログラムは、MKY43 の SCR (System Control Register) のビット 0 ~ 6 (ST0 ~ 6) をリードすることにより、ステーションタイム (ST) を認識することができます (“4.1.7 サイクル中の詳細タイミング” 参照)。

この具体的な例を以下に示します。

- ① ユーザシステムのプログラムが、“03H” のステーションアドレス (SA) に対応するメモリブロック (GM のアドレス “018H ~ “01FH”) へ複数回リードアクセスする場合、ステーションタイム (ST) が “03H” 以外になるまで SCR をリードし続け、メモリへのリードアクセスを待ちます。
- ② ユーザシステムのプログラムは、SCR をリードし、ステーションタイム (ST) が “03H” 以外の場合 (データハザードが発生する可能性はない) は、直ぐに複数回のリードアクセスを実行します。

上記の方法は、CUnet のサイクルに対してユーザ CPU が充分高速であって、かつステーションタイム (ST) によってタイミングを認識してからアクセスが終了するまでの時間が、次回のデータハザードが発生する可能性を持つタイミングが到来するまでの時間以内の場合に限られます。例えば上記の①および②の処理中にプログラムが割込処理などへ移行するなどして、複数回のリードアクセスが終了するまでの時間が不明になるようなユーザプログラムであってははいけません。



#### 参考

タイミングを重視するユーザシステムのプログラミングは、一般に難易度が高まる傾向にあります。したがってデータハザードを回避するためには、ハザード防止機能を利用されることを推奨します。

SCR をリードし CUnet の動作タイミングを認識することは、ユーザシステムのプログラムにおけるデータハザード回避以外の目的にも利用できます。



#### 注意事項

ハザード防止機能によって回避可能なデータハザードのスコープ (対象アドレス範囲) は、メモリブロック 1 つ分 (8 バイト) です。これを超えるサイズのデータ (例えば 128 ビット構成のデータや、9 バイト以上の文字列など) を扱う場合は、本項の記述に準じてユーザシステムのプログラムを作成してください。

### 4.2.3 グローバルメモリ (GM) データの品質保証

CUNet プロトコルを搭載した MKY43 は、ネットワークへ接続された全ての CUNet ステーション間においてハンドシェイクされた“複数の CUNet ステーション”対“複数の CUNet ステーション”(N 対 N) のコミュニケーションを保証しています。

この保証された状態は、CUNet プロトコルに定められる通り、レシーブとリンクのステータスによってレジスタに示されています。さらに MKY43 は、ユーザシステムのプログラムが各ステータスを容易に監視可能な機能も装備しています。

本節は、グローバルメモリ (GM) データの品質保証に関連するレジスタやステータス監視機能などについて記述します。



参考

レシーブステータスとリンクステータスの定義については、“CUNet 導入ガイド”の“データの品質保証”を参照してください。

#### 4.2.3.1 レジスタによるステータス表示

MKY43 においては、CUNet プロトコルに定められたレシーブステータスおよびリンクステータスが、RFR (Receive Flag Register) と LFR (Link Flag Register) によって示されます。MKY43 に搭載されている RFR と LFR は、64 ビットのレジスタです (図 4.11 参照)。

最大 64 の CUNet ステーションによる CUNet を構築可能なため、それぞれのレジスタ内のビット 0 はステーションアドレス (SA) =0 とメモリブロック (MB) =0 へ、ビット 1 は SA=1 と MB=1 へ、ビット 63 は SA=63 と MB=63 へ対応します。

ユーザシステムのプログラムが、RFR と LFR をリードし、“1”となっているビットを認識することにより、グローバルメモリのメモリデータ共有の詳細な保証状態を認識することができます。

- ① “占有エリア以外のメモリブロックのデータが、他の CUNet ステーションから複製された最新のデータなのか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることを保証する個々のフラグビット値が格納された RFR (Receive Flag Register) をリードしてください。
- ② “占有エリアのデータを複製できていない CUNet ステーションはあるか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることと、個々の CUNet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複製されたことの、両方を保証する個々のフラグビット値が格納された LFR (Link Flag Register) をリードしてください。

#### RFR

ビット 

63	62	.....	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	-------	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

自己ステーションタイムの先頭時期 (ステータス管理の起点時期) に、自己ステーションの占有エリア以外のビットが“0”へクリアされる。次のステータス管理の起点時期までの間、パケットを受信した対象の CUNet ステーションのビットが順次“1”になる。

#### LFR

ビット 

63	62	.....	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	-------	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

自己ステーションタイムの先頭時期 (ステータス管理の起点時期) に、自己ステーションの占有エリア以外のビットが“0”へクリアされる。次のステータス管理の起点時期までの間、リンク成立した対象の CUNet ステーションのビットが順次“1”になる。

図4.11 64ビットのRFRとLFR

### 4.2.3.2 ステータス管理の起点時期および特例

MKY43 においては、継続的タイムシェアリングのサイクルの推移に応じたリアルタイムな状態が、RFR および LFR のステータスに反映されます。このため、自己ステーションのステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、“ステータス管理の起点時期”です(図4.12参照)。RFR および LFR のステータスは、1 回のサイクル毎に管理されます。このため **“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”** に記述されている特例を除き、ステータス管理の起点時期に RFR と LFR は“0”へクリアされます。ただし、自己ステーションの占有エリアに対応する RFR および LFR のビットは、SCR (System Control Register) の START フラグが“1”に設定されている間は、“1”に固定されます。

MKY43 は、CUnet プロトコルに規定された機能のほかに、**“4.4.8 GMM (Global Memory Monitor) 機能”** に記述されるモニタ機能を装備しています。この機能によって、GMM ステーションとして動作する MKY43

においては、自己ステーションのステーションアドレス (SA) は定義されていません。これにより、GMM ステーションにおいては、“ステータス管理の起点時期”が存在しないことになってしまいます。したがって GMM ステーションにおいては、“ステータス管理の起点時期”をサイクルの先頭時期 (ステーションタイム=0) とします。サイクルの先頭時期に、RFR (Receive Flag Register) の全てのビットは“0”へクリアされ、レシーブが成立したビットから順次“1”へ遷移します。また GMM ステーションは他の CUnet ステーションとはリンクされないため、LFR (Link Flag Register) ビットの状況は意味を失い、無効なデータとなります。



**注意事項**

**“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”** に記述されている特殊な場合を除き、RFR および LFR をステータス管理の起点時期の直後にリードした場合、自己ステーションの占有エリア以外のビットからは“0”がリードされます。RFR および LFR のリードは、継続的タイムシェアリングの動作をご理解のうえ、適切な時期に実行してください。

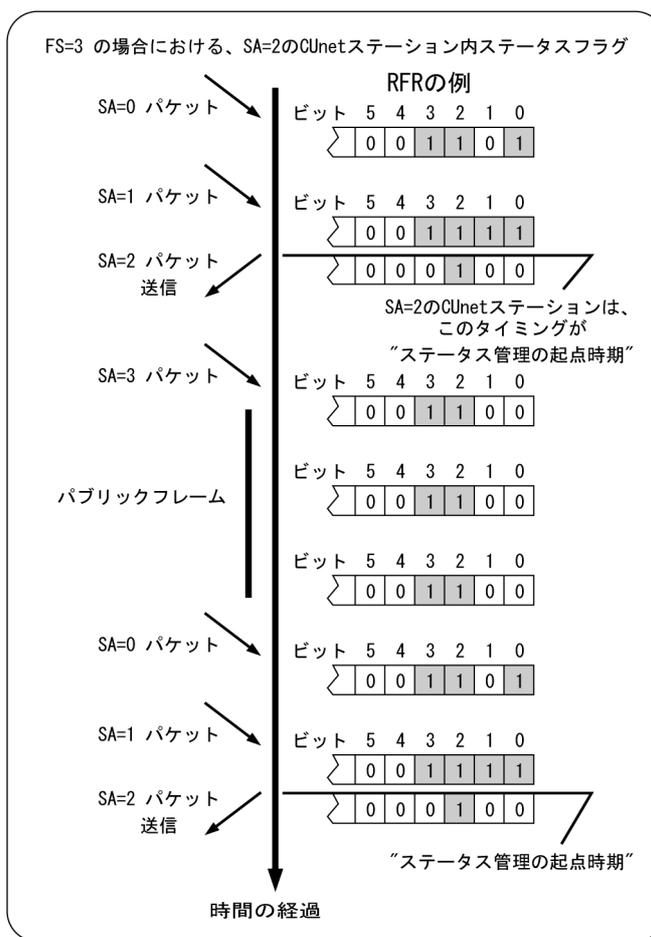


図4.12 ステータス管理の起点時期

### 4.2.3.3 LGR (Link Group Register)

LFR のステータスは、継続的に繰り返されるサイクルに応じてダイナミックに遷移します。この遷移は非常に高速です。例えば転送レート = 12Mbps、ファイナルステーション (FS : Final Station) の値が “01H” の場合、フレームタイム (Frame Time) は 25.5  $\mu$ s です。したがってステータスも 25.5  $\mu$ s 毎に遷移します。ステータスの更新も、1 サイクルタイムの 102  $\mu$ s 毎に発生します。

LFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合、ステータスの遷移が非常に高速なためにプログラムが十分に走行できない可能性が生じます。これを解決するため MKY43 は、LFR のステータス監視を容易にするグループ設定の機能を装備しています。

MKY43 は、64 ビット構成の LGR (Link Group Register) を装備しています。LGR は LFR (Link Flag Register) のステータスを監視します。LGR のビットは LFR のビットに対応します。LGR のビットは、ユーザシステムのプログラムが任意に “1” または “0” をライトできます。

MKY43 は、ステータス管理の起点時期に LFR を一旦 “0” へクリアした後、LGR のビットが “1” である対象の LFR ビットを逐次検出し、検出対象の全てのビットが “1” となった場合に “リンク OK” を判定します。また MKY43 は、サイクルが進行した後の次回のステータス管理の起点時期の直前に、検出対象ビットの何れかが “0” であった場合に “リンク NG (No Good)” を判定します (図 4.13 参照)。

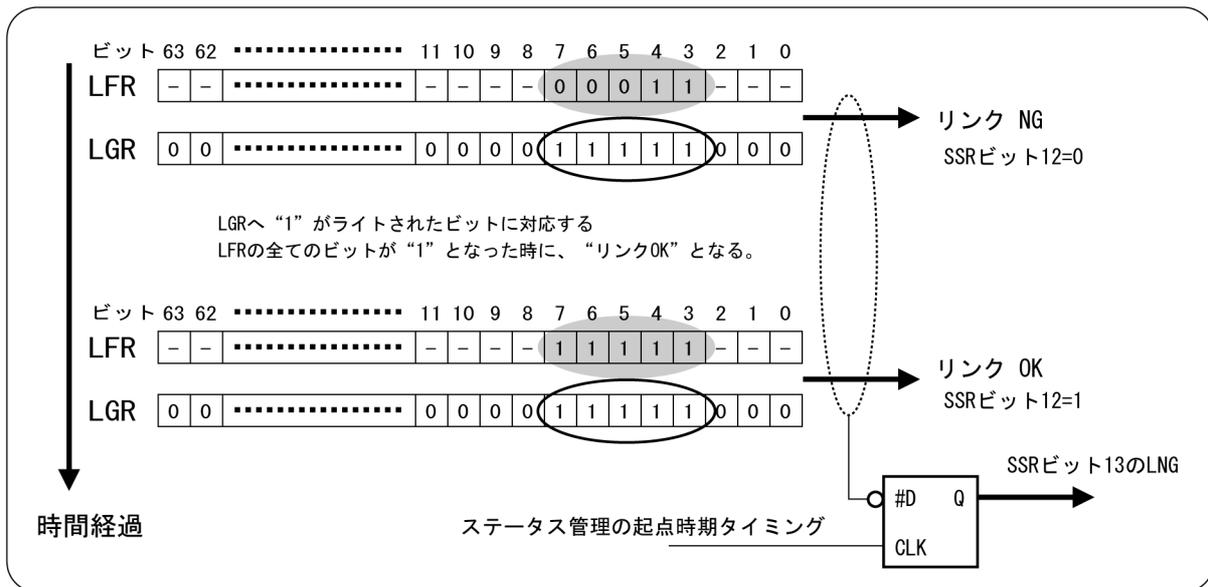


図4.13 LGRによるLFRの監視

この判定結果は、以下の2つの方法によってユーザシステムへ通知されます。

- ① SSR (System Status Register) のビット 13 (LNG (Link group No Good)) と、ビット 12 (LOK (Link group OK)) に、“1” が真となるフラグビットによって判定結果を示します。

LOK フラグビットは、“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ” に記述されている特殊な場合を除き、ステータス管理の起点時期に “0” へクリアされます。

LNG フラグビットは、ステータス管理の起点時期に、直前のサイクルにおける結果をサンプルし、このサンプル結果を次回の1サイクル維持します (図 4.13 参照)。

② MKY43 は、割込みトリガを出力することができます。

ユーザシステムのプログラムは、割込みトリガを受け付けることにより“リンク OK”あるいは“リンク NG”の判定を認識することができます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

以上の記述のように、ユーザシステムのプログラムが、LGR のビットに LFR のステータスを監視する対象ビットを予め設定しておくことにより、LFR のステータスを一括監視することができます。



**注意事項**

ユーザシステムのプログラムが、上記①の方法によってリンクを監視する場合は、継続的タイムシェアリングの動作をご理解のうえ、適切なタイミングによって SSR (System Status Register) をリードしてください。

**4.2.3.4 メンバ**

安定した環境による CUnet の稼動においては、CUnet プロトコルに定義される“リンク切れ”、および“4.2.3.3 LGR (Link Group Register)”に記述された管理 (LGR のビットが“1”) を実行している場合の LNG (Link group No Good) は、発生しません。

“リンク切れ”および LNG (Link group No Good) は、“CUnet ステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に発生します。また瞬発的な“リンク切れ”は、CUnet の動作原理である継続的タイムシェアリングによって、次のサイクルによってリカバリされます。

一般的な通信においては、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に、“3 回”のリトライ (再送) を実行しても復旧できない場合にエラーとして扱うアルゴリズムが慣例的に用いられます。

MKY43 も、これに準じた管理を簡易に実行できるレジスタと機能を装備しています。それは、64 ビット構成の MFR (Member Flag Register) と MGR (Member Group Register) です。MKY43 においては、この管理形態に用いる概念を“メンバ”と呼びます (図 4.14 参照)。

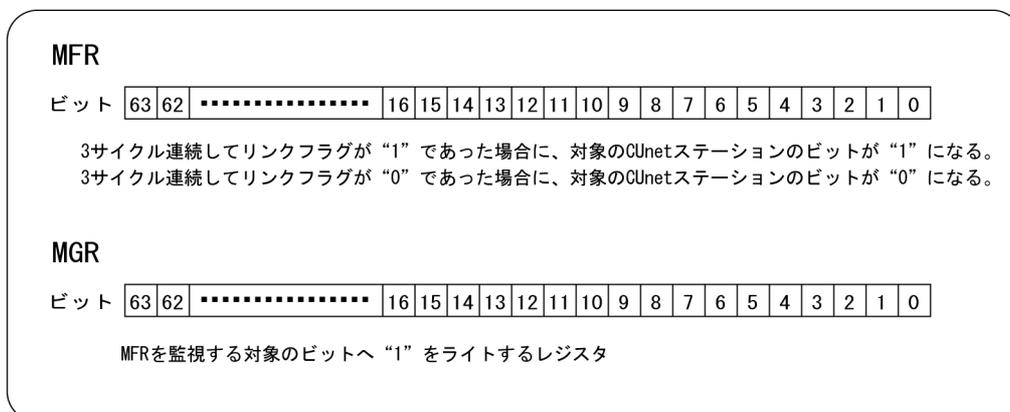


図4.14 64ビットのMFRとMGR

#### 4.2.3.5 MFR (Member Flag Register)

MFR (Member Flag Register) は、LFR (Link Flag Register) と同様に、ビット 0 がステーションアドレス (SA) =0 の CUnet ステーションに、ビット 1 が SA=1 の CUnet ステーションに、ビット 63 が SA=63 (3FH) の CUnet ステーションに対応します。

MFR のフラグビットも LFR と同様に、ステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、ステータス管理の起点です。

MFR のフラグビットは、ステータス管理の起点時期に 3 回連続した“リンク成立”を認識すると、“1”へ遷移します。その逆に MFR のフラグビットは、MFR が“1”になっている CUnet ステーションにおいて、ステータス管理の起点時期に 3 回連続した“リンク不成立”を認識すると、“0”へ遷移します。このように MFR は、一般的な通信管理に類似した管理機能を装備しています。

ユーザシステムが、“突発的に発生するリンク切れは継続的タイムシェアリングによるサイクルによってリカバリされていれば許容する”場合に、この MFR をリードすることにより、グローバルメモリのメモリデータ共有のリカバリを含んだ保証状態を認識することができます。また MFR は、“CUnet ステーションの離脱”の管理にも有効です。離脱した CUnet ステーションが生じた場合は、その CUnet ステーションに対応する MFR のビットが“1”から“0”へ遷移します。

#### 4.2.3.6 MGR (Member Group Register)

MFR のステータスは、継続的に繰り返されるサイクルに応じて、ステータス管理の起点時期に更新されません。MKY43 は、MFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合の負担を軽減する機能を装備しています。それは、64 ビット構成の MGR (Member Group Register) です。

MGR は、MFR のステータスを監視します。MGR のビットは、MFR のビットに対応します。MGR のビットへは、ユーザシステムのプログラムが任意に“1”または“0”をライトできます。

MKY43 は、“1 回”のサイクル毎にステータス管理の起点時期の直前に、MGR のビットが“1”である対象の MFR ビットを一括検出し、以下の 2 つを判定します (図 4.15 参照)。

- ① MGR と MFR は一致していない (MGR ≠ MFR)。
- ② MGR 内における“1”のビットに対応する MFR 内のビットに“0”がある (MGR > MFR)。

この判定結果は、以下の 2 つの方法によってユーザシステムに通知されます。

- (1) SSR (System Status Register) のビット 4 (MGNE: Member group Not Equal) と、ビット 5 (MGNC: Member group Not Collect) に、“1”が真となる判定結果を示します。

MGNE と MGNC のフラグビットは、ステータス管理の起点時期に更新されます。

- (2) MKY43 は、割込みトリガを出力することができます。

MKY43 は、所定の割込みを設定すると、上記 (1) の SSR のビット 4 (MGNE) もしくはビット 5 (MGNC) が新たに“0”から“1”へ遷移した時に、割込みトリガを出力します。この割込みの設定については、“4.5 割込みトリガ発生機能”を参照してください。

**注意事項**

MKY43 においては、上記 (1)、(2) の機能は MGR の全てのビットが“0”である時には機能しません。

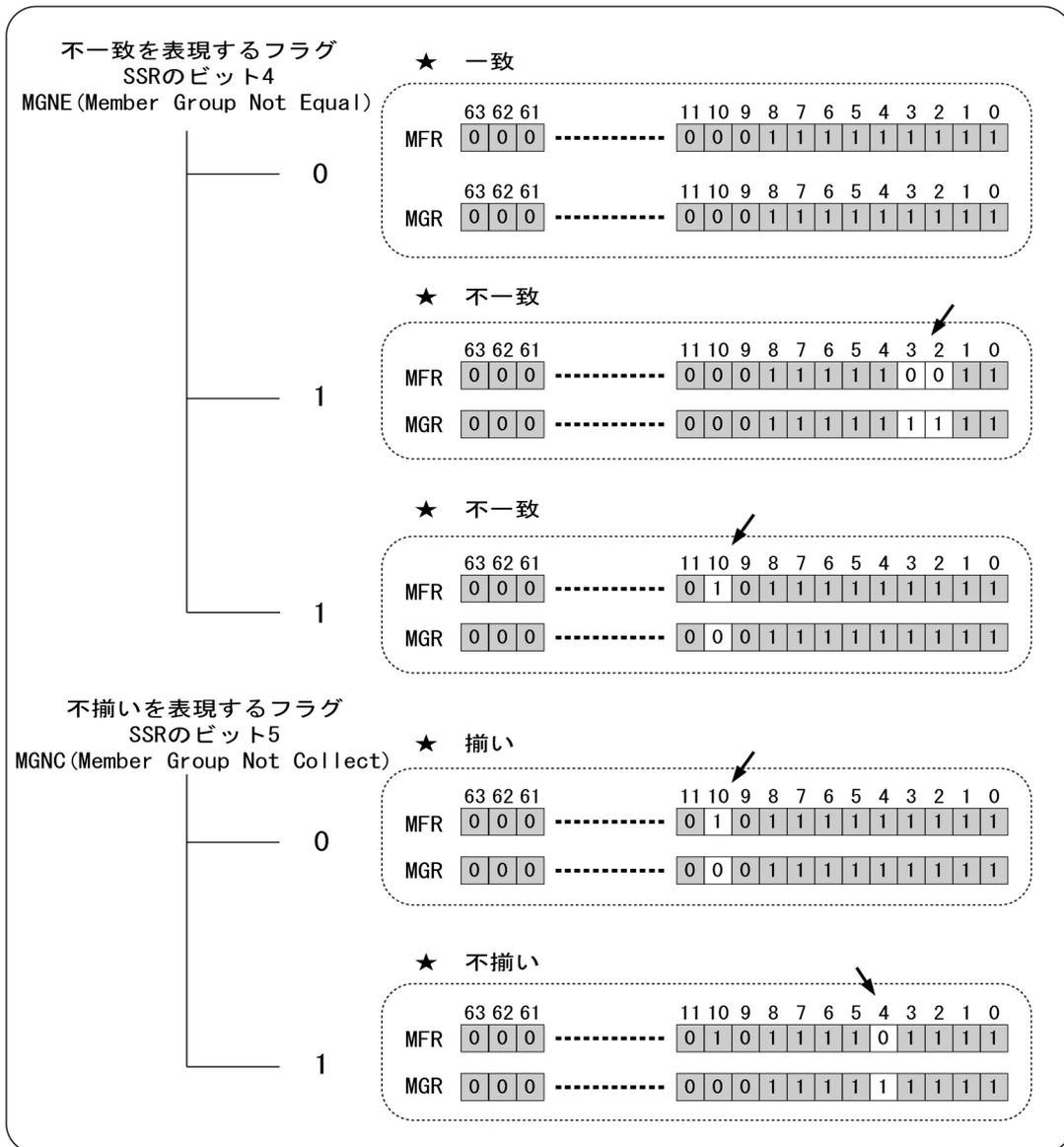


図4.15 MGRによるMFRの監視とSSRのビット状態

上記のように、MFR のステータスを監視する対象の MGR のビットを、ユーザシステムのプログラムが予め“1” にしておくことにより、MFR のステータスを一括監視することができます。

例えばユーザシステムにおいて CUnet ステーションの欠如を監視したい時に、ユーザシステムのプログラム走行中の適切な時期に、定期的に SSR (System Status Register) をリードしてください。

SSR のビット 4 (MGNE : Member group Not Equal) が“0”であれば、MGR へ事前に“1”をライトしたビットに対応する CUnet ステーションは、メンバから離脱していません。また MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外は、メンバとして存在していません。MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外の存在も許容する場合は、SSR のビット 5 (MGNC : Member Group Not Collect) が“0”であることを確認してください。

さらに、(2) に記述された“割込みトリガによる割込みを受けつける”方法によって上記を監視する場合は、ユーザシステムのプログラムによる定期的な SSR (System Status Register) のリードは不要です。

#### 4.2.3.7 メンバの増加と減少検出

MKY43 は、MGR (Member Group Register) のビット状態に関わらず、MFR (Member Flag Register) のビットの遷移を検出する機能も装備しています。それは、SSR (System Status Register) のビット 14 (NM : New Member) とビット 15 (MC : Member Care) です。

NM (New Member) は、MFR のビットが “0” から “1” へ遷移した時 (メンバ増加)、MC (Member Care) は、MFR のビットが “1” から “0” へ遷移した時 (メンバ減少)、判定結果 (“1” が真) をフラグビットによって示します。

SSR の NM と MC のビットは、ステータス管理の起点時期に更新されます。この判定結果は、割込みトリガを出力させることもできます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

SSR の NM (New Member) および MC (Member Care) を管理することにより、ユーザシステムのプログラムは、“4.2.3.6 MGR (Member Group Register)” に記述された MGR を利用しなくても、メンバを管理することができます。

## 4.2.4 グローバルメモリのデータ遷移検出機能

MKY43 は、他の CUnet ステーションのデータ更新により生じるグローバルメモリのデータ遷移を検出する機能を搭載しています。この機能によって、通常はグローバルメモリをリードせず、データ遷移を検出した時にだけグローバルメモリをリードするといったアルゴリズムによって、ユーザシステムを構築することも可能です。本節は、グローバルメモリのデータ遷移を検出する機能とその利用について記述します。

### 4.2.4.1 データ遷移検出対象を設定する DRCR

グローバルメモリのデータ遷移を検出するためには、DRCR (Data Renewal Check Register) を操作します。64 ビット構成の DRCR (Data Renewal Check Register) の各ビットは、グローバルメモリを構成しているメモリブロックに対応しています。DRCR のビット 0 はメモリブロック 0 に、ビット 7 はメモリブロック 7 に、ビット 63 はメモリブロック 63 (3FH) にそれぞれ対応します。

DRCR のビットへ予め“1”をライトしておくことにより、対応するメモリブロックのデータ遷移に対して以下の検出結果を得ることができます。

- ① SSR (System Status Register) のビット 11 (DR : Data Renewal) フラグビットが“1”へ遷移します。ユーザシステムのプログラムは、SSR の DR フラグビットを監視することにより、グローバルメモリのデータ遷移を認識することができます。
- ② 割込みトリガを出力することができます。ユーザシステムのプログラムは、割込みトリガを受け付けることにより、グローバルメモリのデータ遷移を認識することができます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

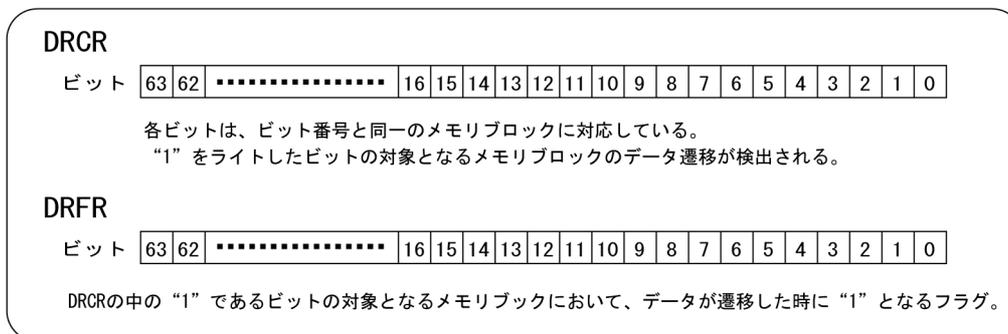


図4.16 64ビットのDRCRとDRFR

DRCR の複数のビットへ“1”をライトしておいた場合においても、対応する 1 つ以上のメモリブロックのデータが遷移した時に、検出結果を得ることができます。この場合にどのメモリブロックのデータが遷移したのかを示すフラグビットも MKY43 に搭載されています。それは、64 ビット構成の DRFR (Data Renewal Flag Register) です。DRFR のビット配列も、DRCR と同様にメモリブロックに対応しています (図 4.16 参照)。DRFR のビットの内、データが遷移したメモリブロックに対応するビットが“1”に設定されます。ユーザシステムのプログラムは、DRFR のフラグビットを認識することにより、データが遷移したメモリブロックを認識することができます。



#### 注意事項

SSR のビット 11 (DR) および DRFR は、DRCR に“1”が設定されている場合に限り機能します。自己ステーションが占有しているメモリブロックに対しては (対象の DRCR に“1”が設定されていても)、データ遷移を検出する機能は働きません。

#### 4.2.4.2 DR フラグビットおよび DRFR ビットが“0”から“1”へ遷移するタイミング

SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) の各ビットが“0”から“1”へ遷移するタイミングは、他の CUnet ステーションからのパケットを受信しメモリデータ共有動作に基づくデータ複写 (Copy) のためにグローバルメモリ内のデータが以前と異なる新たなデータに更新された時です (図 4.17 参照)。

#### 4.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング

SSR のビット 11 (DR) および DRFR の各ビットが“1”から“0”へ遷移するタイミングは、MKY43 利用の環境によって以下の3つのいずれかです (図 4.17 参照)。

- ① IT0CR のビット 8 ~ 14 へライトされている時刻 (INT1CR の DR ビットが“1”の場合は、IT1CR のビット 8 ~ 14 へライトされている時刻) の先頭時期です。**“4.5.5 割込みトリガ発生時期指定の注意”** および **“4.5.6 DR (Data Renewal) 割込みトリガ利用上の注意”** に記述されているデータリニューアル割込みの発生タイミングも参照してください。
- ② ただし、**“4.5 割込みトリガ発生機能”** に記述されているデータリニューアル割込みトリガがアクティブとなった場合は即座に“0”へ遷移せず、一旦フリーズ (その時の状態が継続) します。その後ユーザのレジスタ操作によってデータリニューアル割込みトリガの発生を解除した時点において、その時点の状況が DRFR へ反映されます。詳細については **“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”** を参照してください。
- ③ **“4.4.8 GMM (Global Memory Monitor) 機能”** に記述されている SCR (System Control Register) のビット 15 (GMM) が“1”である時は、“1”から“0”へ遷移するタイミングはサイクルの先頭 (ステーションタイム = 0) です。これは、GMM として利用している MKY43 に自己ステーションの時刻が存在しないことに起因します。

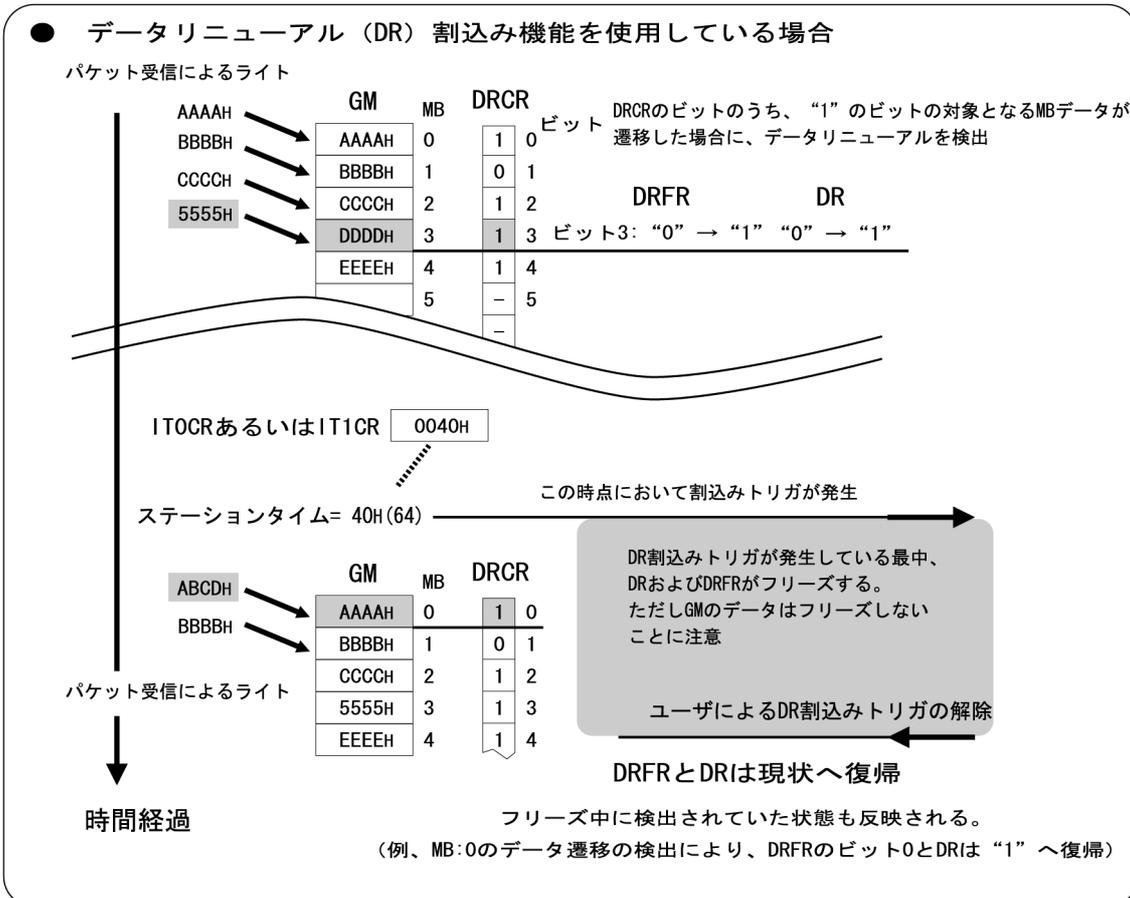
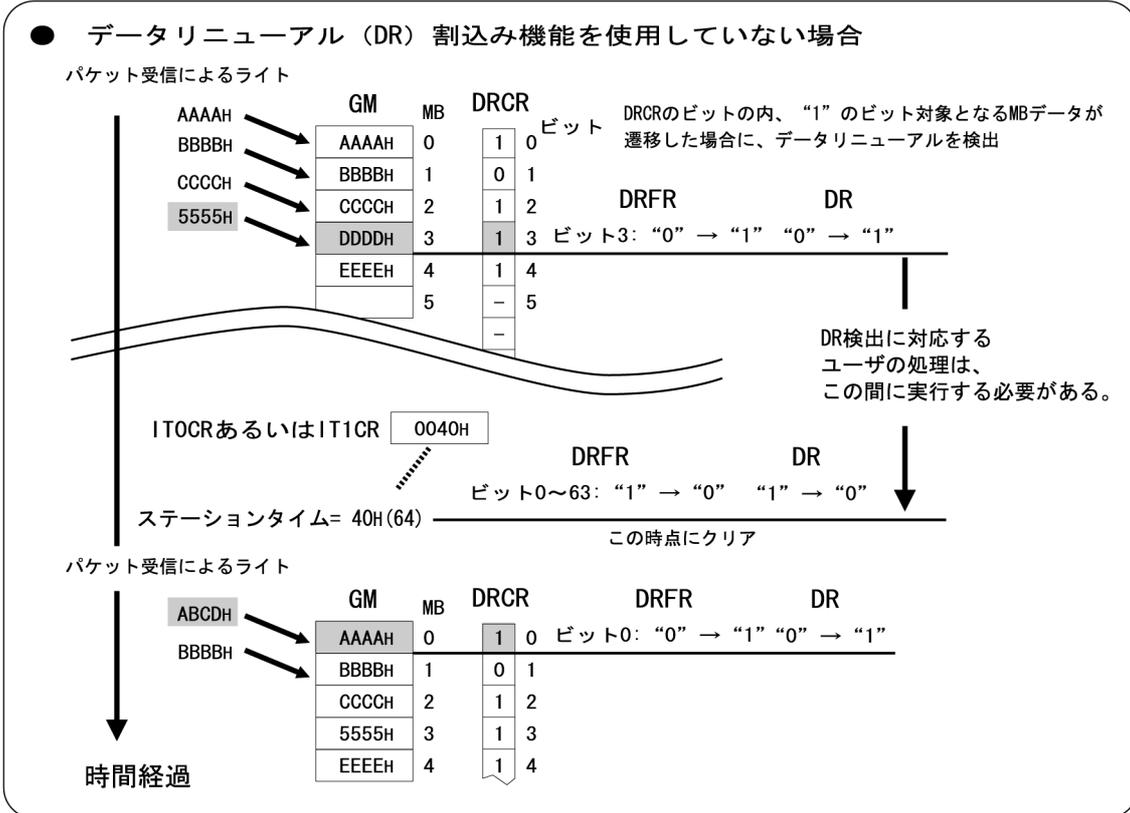


図4.17 時間経過に対するデータリニューアル検出の概要

#### 4.2.4.4 データ遷移検出機能利用上の注意

CUnetにおける1サイクルタイムは短時間なため、データリニューアルを検出した後のユーザによる処理は、即座に実行してください。データリニューアルを検出した後のユーザによる処理が、次回のサイクルによる対象のメモリブロックへのパケット受信までに間に合わなかった場合、次回のデータ遷移を検出できなかったり、あるいは検出されてもユーザシステムが反応できない場合が生じます。

データリニューアル（DR）割込みトリガ発生機能を利用する場合にも、上記の事項が問題とならないように、ユーザシステムによる処理を実行してください。また、DR 割込みトリガの発生タイミング（IT0CR および IT1CR ビット 8～14 へ設定する値）を、上記の事項が問題とならないタイミングとなるように（例えばパブリックフレームの先頭時期や、自己ステーションの先頭時期など）設定してください。

### 4.3 メール送受信機能の利用

本節は、MKY43 のメール送受信機能の利用について記述します。

CUnet プロトコルにおいては、CUnet 専用 IC がメール送受信の全プロトコルを保有することが義務付けられています。CUnet プロトコルによるメール送受信は、ランフェーズにある I/O ステーション以外の CUnet 専用 IC 同士において機能します。

これに基づき MKY43 によるメール送受信は、受信側にエラーが存在せず、送信側にのみエラーが存在します。このことからユーザシステムのプログラムは、メール送受信機能を以下の基本的な操作と処理によって利用できます。

- ① メール受信許可の操作
- ② メール受信時の操作
- ③ メール送信および送信終了後の操作
- ④ メール送信エラーに対する操作

MKY43 は、上記の基本的なメール送受信の操作を補助するレジスタや付帯機能も搭載しています。

### 4.3.1 メール受信許可の操作

MKY43 は、“4.1.1 メモリマップ” に示される、MRB0 (Mail Receive Buffer 0) と MRB1 (Mail Receive Buffer 1) の2つのメール受信バッファを保有しています。MRB0 および MRB1 は、それぞれ 256 バイトです (図 4.18 参照)。

MRB0 の受信は、MR0CR (Mail Receive 0 Control Register) によって許可されます。MRB1 の受信は、MR1CR (Mail Receive 1 Control Register) によって許可されます (図 4.19 参照)。

ユーザシステムのプログラムが MR0CR のビット 6 (RDY : ReaDY) へ “1” をライトすることにより、MRB0 へのメール受信が許可されます。RDY (ReaDY) は、メールを受信すると “0” へ戻ります。MR0CR のビット 6 (RDY) へ “1” をライトした時には、受信完了を示すビット 7 の RCV (ReCeIved) フラグは “0” へ遷移します。

MR0CR の RDY が “1” の時に、本ビットへ “0” をライトすることにより、メール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの “0” のライトは無視され、“禁止” を設定することはできません。

MRB0 は、MR0CR の RDY ビットもしくは RCV ビットが “1” の時にライトプロテクトされます。さらに MR0CR の RDY ビットが “1” の時に MRB0 をリードすると、データは常に “00H” です。

ユーザシステムのプログラムが、MR1CR のビット 6 (RDY : ReaDY) へ “1” をライトすることにより、MRB1 へのメール受信が許可されます。RDY (ReaDY) は、メールを受信すると “0” へ戻ります。MR1CR のビット 6 (RDY) “1” をライトした時に、受信完了を示す MR1CR のビット 7 の RCV (ReCeIved) フラグは “0” へ遷移します。

MR1CR の RDY ビットが “1” の時に、“0” をライトすることによりメール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの “0” のライトは無視され、“禁止” を設定することはできません。

MRB1 は、MR1CR の RDY ビットもしくは RCV ビットが “1” の時にライトプロテクトされます。さらに MR1CR の RDY ビットが “1” の時に MRB1 をリードすると、データは常に “00H” です。

メールによって受信したデータセットは、RDY ビットが “1” のバッファへ格納されます。MR0CR と MR1CR の両方の RDY ビットが “1” の時は、受信したデータセットは MRB0 へ格納されます。

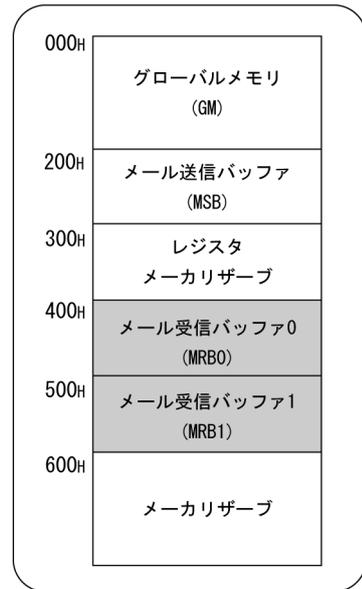


図4.18 メール受信バッファ

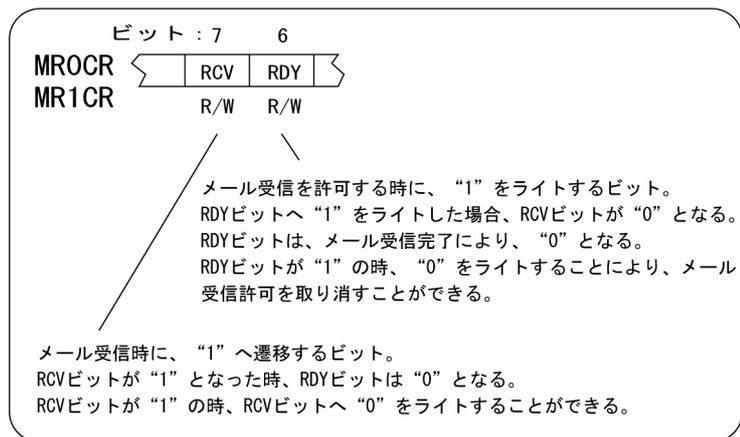


図4.19 メール受信許可

### 4.3.2 メール受信時の操作

他の CUnet ステーションからメールによって受信したデータセットを MRB0 へ格納した時、MKY43 は以下のように動作します (図 4.20 参照)。

- ① MR0CR のビット 7 (RCV : ReCeIved) を、“1” へ遷移させます。
- ② MR0CR のビット 6 (RDY : ReaDY) を、“0” へ遷移させます。
- ③ MR0CR のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MR0CR のビット 8 ~ 13 (SRC : SouRCe0 ~ 5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MR0CR から送信元の SA およびデータセットのサイズを参照し、かつ、MRB0 の先頭からデータセットをリードしなければなりません。なお MR0CR のビット 7 (RCV) へは、“0” をライトすることができます。

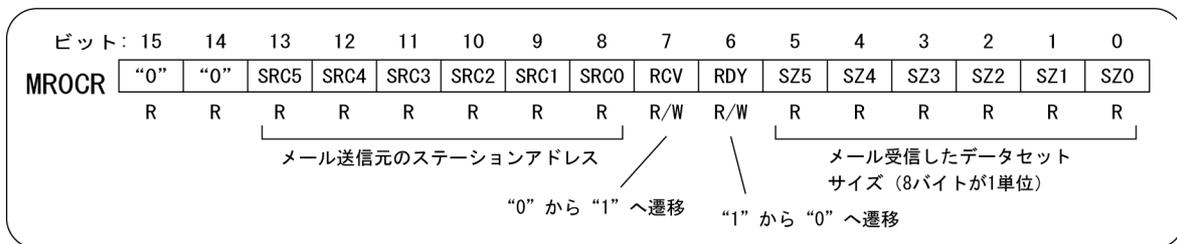


図4.20 MRB0へデータセットを格納した時のMR0CR

他の CUnet ステーションからメールによって受信したデータセットを MRB1 へ格納した時、MKY43 は以下のように動作します (図 4.21 参照)。

- ① MR1CR のビット 7 (RCV : ReCeIved) を、“1” へ遷移させます。
- ② MR1CR のビット 6 (RDY : ReaDY) を、“0” へ遷移させます。
- ③ MR1CR のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MR1CR のビット 8 ~ 13 (SRC : SouRCe0 ~ 5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MR1CR から送信元の SA およびデータセットのサイズを参照し、かつ、MRB1 の先頭からデータセットをリードしなければなりません。なお MR1CR のビット 7 (RCV) へは、“0” をライトすることができます。

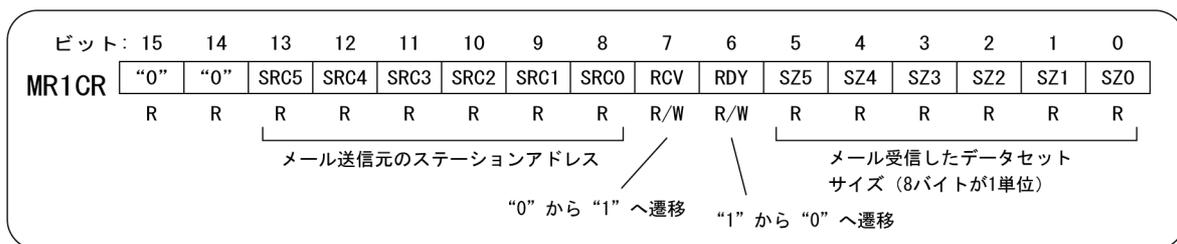


図4.21 MRB1へデータセットを格納した時のMR1CR

## 第4章 MKY43 のソフトウェア

ユーザシステムが MRB0 に対してメール受信後の処理を実行していても、MKY43 は MRB1 ヘデータセットを格納することが可能です。同様に、ユーザシステムが MRB1 に対してメール受信後の処理を実行していても、MRB0 ヘデータセットを格納することが可能です。

MR0CR あるいは MR1CR の RCV が “1” の時、SSR (System Status Register) のビット 6 (MR : Mail Received) も “1” となります (SSR の MR は、“MR0CR の RCV” と “MR1CR の RCV” の論理和が示されるフラグビットです)。ユーザシステムのプログラムは、“MR0CR と MR1CR” の RCV を個別に認識せずとも) SSR の MR を認識することにより、メール受信を認識することが可能です。

MRB0 または MRB1 ヘデータセットを格納した時に、割込みトリガを出力させる機能の詳細については、“4.5 割込みトリガ発生機能” を参照してください。



### 注意事項

- ① MKY43 においては、MR0CR の RCV もしくは RDY ビットヘデータをライトすると、MR0CR に格納されていたビット 0 ~ 5 (SiZe : SZ0 ~ 5) およびビット 8 ~ 13 (SRC : SouRCe0 ~ 5) の値が、“00H” ヘクリアされます。MR1CR についても同様です。
- ② MKY43 の MR0CR の RDY ビットは、SCR の START ビットが “1” の時に操作できます。MKY43 においては、MR0CR の RDY ビットが “1” の時に SCR の START ビットが “0” ヘ遷移すると、MR0CR の RDY ビットも “0” ヘ遷移します。MR1CR の RDY ビットも同様です。

### 4.3.3 メール送信の操作、送信終了後の操作

MKY43 は、MSB (Mail Send Buffer) にライトしたデータセットを、特定の1つのステーションアドレスへメールによって送信できます。その手順を以下に示します。

- ① MSCR (Mail Send Control Register) のビット 14 (SEND) が “0” である時に、送信するデータセットを、MSB の先頭アドレスから順にライトします (図 4.22 参照)。
- ② MSCR のビット 15 (ERR : ERRor) が “0” であることを確認してください。ERR フラグビットが “0” でなかった場合は前回のエラーが残っているため、**“4.3.4 メール送信エラーに対する操作”**を参照して、ERR フラグビットを “0” にしてください。ERR フラグビットが “1” である場合は、下記④に記述された SEND ビットへの “1” のライトも無視されます (図 4.23 参照)。
- ③ メール送信のタイムアウトを設定する場合は、MSLR (Mail Send Limit time Register) のビット 0 ~ 12 (LiMit Time : LMT0 ~ 12) へ、サイクルタイムを 1 単位とするユーザアプリケーションによって定めるタイムアウト値 (16 進数: “0004H ~ 1FFFH”) をライトします。MSLR の初期値が、ハードウェアリセットによって “1FFFH” にセットされているため、ユーザアプリケーションがタイムアウト値を定めない場合は、タイムアウト値をライトする必要はありません。MSLR へライトしたデータはハードウェアリセットがアクティブになるまで維持されるため、メール送信の都度設定する必要はありません。
- ④ MSCR のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へは送信するデータセットのサイズ (16 進数) を、ビット 8 ~ 13 (DeStination : DST0 ~ 5) へは送信する先のステーションアドレス (SA) (16 進数) を、ビット 14 の SEND へは “1” をライトしてください。  
データセットのサイズは、8 バイトを 1 単位とした値です。例えば、データセットが 34 バイトである場合のサイズは “05H” です。データセットが最大の 256 バイトである場合のサイズは “20H” です。

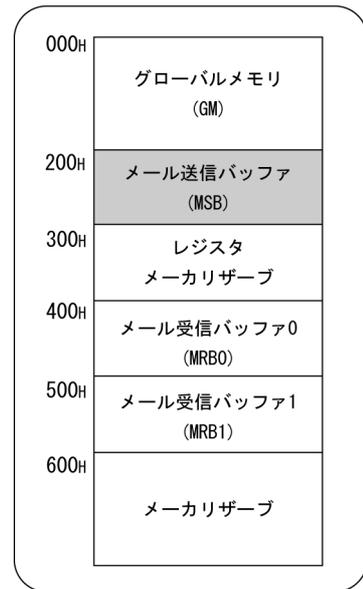


図4.22 メール送信バッファ

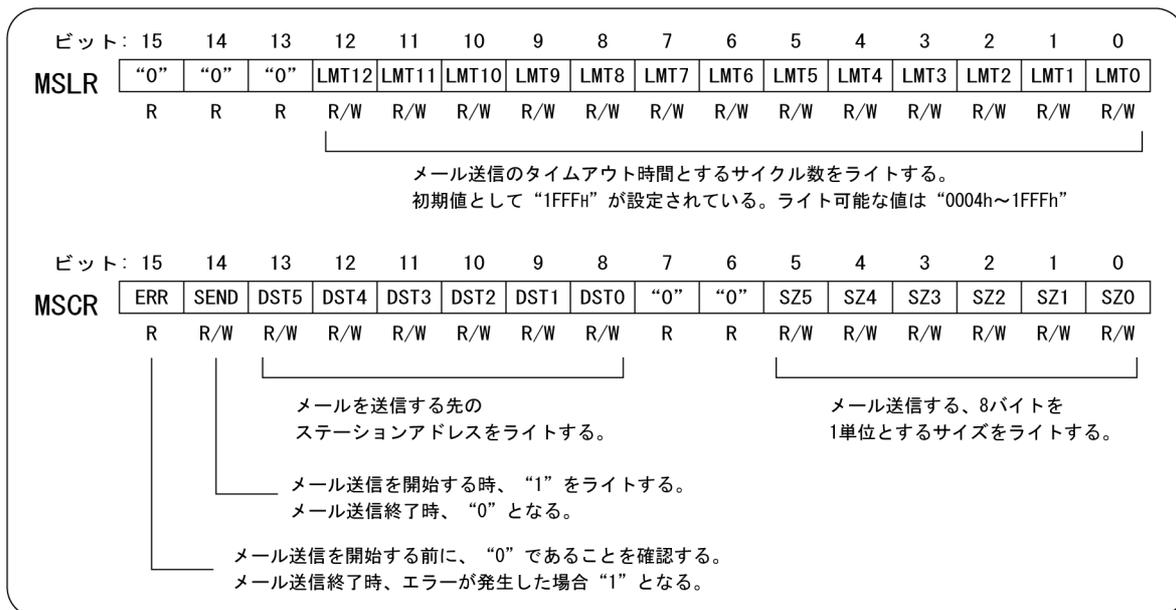


図4.23 MSLRとMSCRの操作

- ⑤ MKY43 は、MSCR のビット 14 (SEND) へ “1” がライトされた直後から、メール送信を開始します。MSB (Mail Send Buffer) は、メール送信中ライトプロテクトされます。またメール送信中に MSB をリードすると、データは “00H” に強制されます。
- ⑥ メール送信が終了すると、MSCR のビット 14 (SEND) が “0” へ戻ります。このビットの遷移により、メール送信の終了を認識できます。MKY43 は、メール送信の終了によって割込みトリガを出力することもできます。詳細については、“4.5 割込みトリガ発生機能” を参照してください。
- ⑦ メール送信終了後は、MSCR のビット 15 (ERR : ERRor) を確認してください。ERR フラグビットが “0” の場合、メール送信が正常に終了しています。この場合、MKY43 は送信先ステーションのメール受信バッファヘデータセットを確実に送信できたことを保証します。ERR フラグビットが “1” の場合、“4.3.4 メール送信エラーに対する操作” を参照し、ユーザシステムのプログラムによって、適切に処置してください。ユーザシステムのプログラムがメール送信の所要時間 (送信開始から終了までに要した時間) を参照したい場合は、MSRR (Mail Send Result Register) をリードしてください。MKY43 は、メール送信開始から終了までに要したサイクル数を、メール送信終了時点で MSRR へ格納します。MSRR は次回のメール送信が完了するまで、あるいはハードウェアリセットがアクティブになるまでこの値を維持します (図 4.24 参照)。



図4.24 MSRR



**注意事項**

MSCR は自身のビット 15 (ERR:ERRor) が “1” である時と SCR のビット 9 (RUN) が “0” である時には、ライトプロテクトされています。

**4.3.4 メール送信エラーに対する操作**

メール送信は、MKY43 に搭載されている CUNet プロトコルによって厳格に送受信手順と品質が管理されています。このため、受信側にはエラーは存在しません。メール送信エラーは、送信側にのみ存在します。メール送信に関するエラーとしては、以下の種別があります。

- ① **NORDY** (destination NOt ReaDY) : 送信先 CUNet ステーションのメール受信バッファが RDY でないため、メールを送信できなかった。
- ② **NOEX** (destination NOt EXist) : 送信先 CUNet ステーションがネットワークへ接続されていないか、RUN フェーズ以外の状態であるため、メールを送信できなかった。
- ③ **TOUT** (limit Time OUT) : MSLR (Mail Send Limit time Register) に設定されていたサイクルタイム間に、メールの送信を完了できなかった。
- ④ **SZFLT** (SiZe FauLT) : MSCR (Mail Send Control Register) のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ設定された送信するデータセットのサイズ (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑤ **LMFLT** (LiMit time FauLT) : MSLR (Mail Send Limit time Register) のビット 0 ~ 12 (Limit Time : LTO ~ 12) へ設定された値 (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑥ **STOP** (communication STOPped) : メール送信中に自己ステーションが RUN フェーズ以外へ遷移し、メール送信を中断した。

MKY43 は、メール送信が正常に終了できなかった場合、MESR (Mail Error Status Register) へ、エラー発生種別を“1”とするステータスを格納します (図 4.25 参照)。

MESR のビット 0 ~ 5 のいずれかが“1”である時、MSCR (Mail Send Control Register) のビット 15 (ERR : ERRoR) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“1”に設定されます。メール送信が正常に終了できなかった場合、ユーザシステムのプログラムは MESR を参照し、エラー発生種別に応じて適切に処置してください。MESR は、MESR ビット 0 ~ 5 が存在するアドレスへ何らかのデータをライトすることにより、全て“0”へクリアできます。MESR のクリアに伴い MSCR (Mail Send Control Register) のビット 15 (ERR : ERRoR) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“0”へ戻ります。

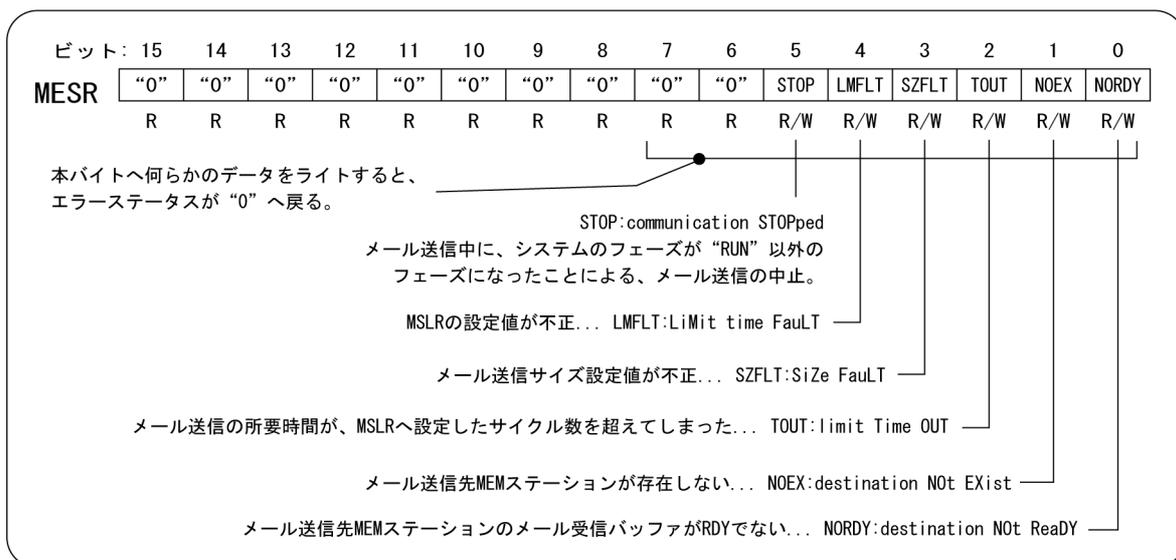


図4.25 MESR

### 4.3.5 メール送受信の品質保証

ノイズの侵入や何らかの環境悪化の影響を受けてメールによるパケット送信に支障をきたした場合は、CUNet プロトコルを搭載した MKY43 は、再送（リトライ）によってリカバリします。再送は 3 回まで実行します。3 回の再送を実行してもメールによってパケットを送信できない場合は、NOEX（destination NOt EXist）エラーによって終了します。これにより“送信したメールが行方不明になる（消失する）”、あるいは“データセットの途中で欠如したりデータセットそのものが消失する”などが発生しません。

メールによって送受信されるデータセットの品質は、メモリデータを共有するパケットと同質に保証されています。これにより一般的に発生しがちなデータ化け現象は、起こりえないシステムになっています。



CUNet プロトコルにおいては、メール送信時にリトライ（再送）が生じた場合であっても、メモリデータの共有動作に一切影響を与えません。

### 4.3.6 メール送受信における付帯機能

CUNet においては、同時に 2 つの CUNet ステーションがメールを送受信できます。

例えば、SA=1 の MEM ステーションから SA=2 の MEM ステーションへのメールと、SA=3 の MEM ステーションから SA=4 の MEM ステーションへのメールは同時に送受信できます。ただし、SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメール送信が開始された直後に SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメール送信が開始された場合、宛先がメール送受信中のため、先に開始した SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメールが送信されている最中、遅れて開始された SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメールの送信は待たされます。

CUNet においては、複数のメール送信が同時に開始された時の優先権管理機能も保有しています。

CUNet においては、同時に 3 つ以上のメール送信が開始された場合、前方（小さな値）のステーションアドレス（SA）からのメール送信が優先されます。この優先権はローテーションされるため、ステーションアドレス（SA）が前方（小さな値）の CUNet ステーションが間断なくメールを送信した場合も、後方（大きな値）のステーションアドレス（SA）が設定されている MKY43 のメール送信が限りなく待たされるということは発生しません。

### 4.3.7 メール送受信時間の予測

MKY43 におけるメール送受信の所要時間を予測したい場合は、式 4.3 によって算出できます。但し、2 つ以上の CUNet ステーションが同時期に同一のステーションへメールを送信した場合に発生する待ち時間、およびパケット伝達に支障をきたした場合の再送（リトライ）時間は含みません。したがって、式 4.3 によって算出できる時間は、ユーザシステムを構想する時点の目安としてご利用ください。

$$\text{式 4.3 } \left( \left( \frac{\text{データセットのバイト数} + 7}{8} \right) + 3 \right) \times \text{サイクルタイム} \quad [\text{秒}]$$

下線の部分解は、小数点以下を切捨てした整数です。



例として、転送レートが 12Mbps の 4 つの CUNet ステーションによって稼動するシステム (FS=3) において、250 バイトのメールを送受信する目安の所要時間は、 $\left( \left( \frac{250 + 7}{8} \right) + 3 \right) \times 155 \mu\text{s} = 35 \times 155 \mu\text{s} = 5.43\text{ms}$  です。

### 4.3.8 メール送受信時における注意点

ユーザシステムが MKY43 のメール送受信機能を利用する時、以下の点に注意してください。

- ① メールを送信できる宛先は、MEM ステーションに限られます。  
IO ステーションのアドレスや OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定することはできません。誤って IO ステーションのアドレスをメールの宛先に指定したメール送信は、NORDY (destination NOt ReaDY) エラーによって終了します。誤って OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定したメール送信は、NOEX (destination NOt EXist) エラーによって終了します。
- ② 一斉同報 (一般的な RS-232C に用いられる “垂れ流し” と俗称される手法や、LAN 通信における “ブロードキャスト” と称される手法) のメール送信はできません。
- ③ メールの送信および受信のサイズは、8 バイト単位です。

**参考**

MKY43 は、完全なプロトコルによって、送信の成否が管理されている他にデータの品質も保証しています。このため、MKY43 のプロトコルが保証できないメール送受信方式 (一斉同報) を利用することはできません。

#### **4.4 CUnet システムの詳細な操作や管理**

ユーザシステムのプログラムは、MKY43 を操作することによって、以下に示すように CUnet を詳細に操作や管理することができます。

- ① ネットワーク起動前のモニタリング
- ② サイクルタイムの変更（リサイズ）
- ③ ブレークフェーズの CUnet ステーションの検出と対処
- ④ ジャマー検出と対処
- ⑤ ネットワークの品質管理と表示
- ⑥ PING 命令
- ⑦ 各ステーションのモードを検出する機能
- ⑧ GMM（Global Memory Monitor）機能
- ⑨ フレームオプション [HUB 対応]

#### 4.4.1 ネットワーク起動前のモニタリング

MKY43 は、ネットワーク起動前（SCR の START ビットが “0” の時）であっても、他の CUnet ステーションからのパケットを受信します。この受信したパケットによって、グローバルメモリのデータ更新やメール受信は実行されませんが、RFR（Receive Flag Register）や FSR（Final Station Register）の更新、および継続的タイムシェアリングにおける他の CUnet ステーションとの同期や校正が実行されます。これにより、ユーザシステムのプログラムは以下のようなネットワーク起動前のモニタリングを実施することができます。

- ① ネットワーク上にリサイズされたサイクルが稼動していることを認識することができます。  
FSR のビット 0 ～ 5（FS0 ～ 5）に格納されている値が、初期値の 63（3FH）以外の値である場合、リサイズされたサイクルが稼動しています。また FSR の値が自己ステーションの占有エリアよりも小さかった場合、自己ステーションのネットワークを起動した後にブレイクフェーズになることも予知できます。
- ② SCR（System Control Register）のビット 0 ～ 6（ST0 ～ 6）をリードすることにより、継続的タイムシェアリングの稼動タイミングであるステーションタイム（ST）を認識することができます。
- ③ ステーションタイム（ST）が FSR（Final Station Register）に格納されている値を超えているタイミングの時（パブリックフレームの時期）、RFR（Receive Flag Register）をリードすることにより、自己ステーションの占有エリア以外のビットに “1” のビットが存在すれば、そのビットに対応するステーションアドレスを持つ CUnet ステーションがネットワーク上に稼動していることを認知することができます。

**注意事項**

他の CUnet ステーションが全く稼動していない状態の時は、上記②において取得できるステーションタイム (ST) は、フリーランの状態であって、他の CUnet ステーションと同期していません。

**参考**

上記②において取得できるステーションタイム (ST) は、ネットワーク起動後もネットワーク起動前と同様にタイミングの認識に利用できます。

## 4.4.2 サイクルタイムの変更（リサイズ）

MKY43 は、CUnet プロトコルの“実用性の向上”に規定されるリサイズが可能です。

CUnet プロトコルを搭載した MKY43 によって構築される CUnet においては、ファイナルステーション (FS) の初期値は 63 (3FH) です。リサイズは、ユーザシステムにおいて 64 個のフレームを必要としない場合に利用価値があります。例えば SA=0 と SA=1 の 2 つの CUnet ステーションしか使用しないユーザシステムの場合、サイクルを構成する SA=2 ~ 63 のステーションタイム (ST) の間、大きなネットワーク未使用時間が生じます。そこでファイナルステーション (FS) の値を“1”に変更すれば、最も効率の良いサイクルによる利用が可能となります。例えば、12Mbps 運用の場合、メモリデータ共有の応答速度は、2.365ms から  $102\mu\text{s}$  へと高速になります (図 4.26 参照)。

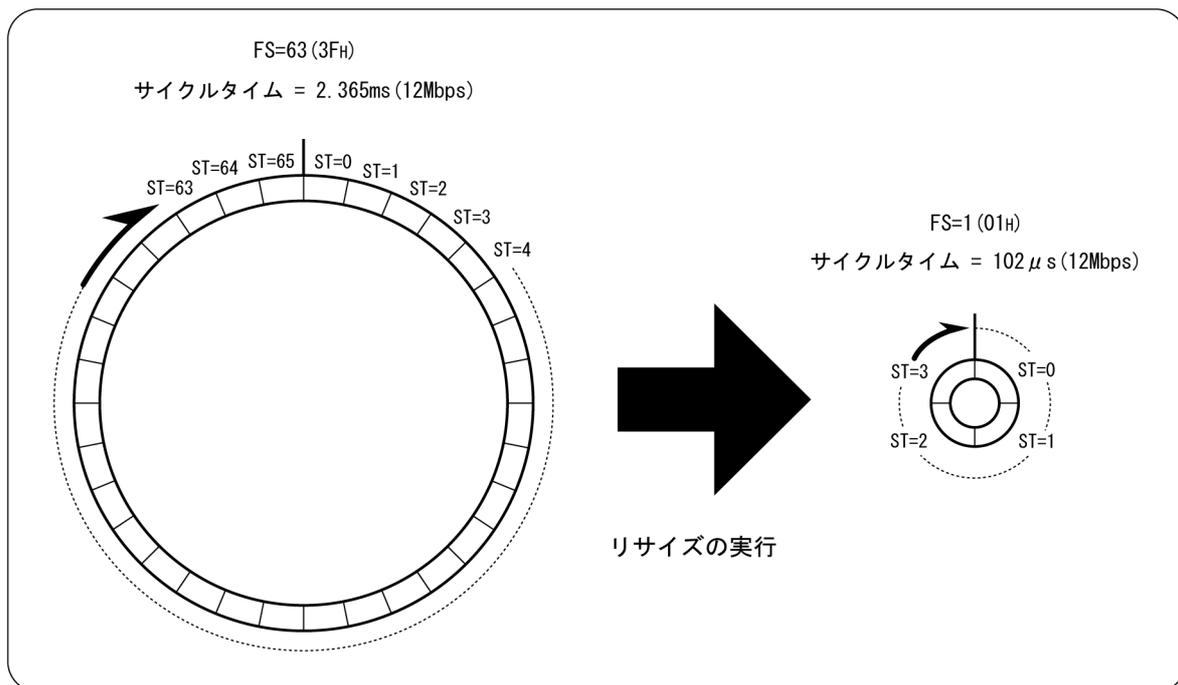


図4.26 リサイズ

#### 4.4.2.1 リサイズの実行

リサイズは、ユーザシステムのプログラムが NFSR (New Final Station Register) へリサイズする新たな FS (Final Station) 値をライトすることによって実行されます。リサイズの操作時には、NFSR (New Final Station Register) へライトする値が拒否されたり、他の CUnet ステーションとの相関により影響を受ける場合があります。したがってリサイズを操作する際は、ユーザシステムのプログラムによって以下の手順を実行してください (図 4.27 参照)。

- ① NFSR (New Final Station Register) のビット 0 ~ 5 (NFS0 ~ 5) へ、リサイズする値をライトしてください。
- ② NFSR をリードし、ライトした値がレジスタに格納されているかを確認してください。  
もしライトした値がレジスタへ格納されていなかった場合は、ライトできない状態か、ライトした値が拒否される値です。“4.4.2.2 リサイズの拒否”を参照し、リサイズの操作を中止するか、適切な値によって再実行してください。
- ③ NFSR の値が “00H” へ遷移することを待ちます。リサイズ命令を 4 回通信ラインへ送信し終わると、NFSR の値が “00H” へ遷移します。
- ④ SSR (System Status Register) をリードし、SSR のビット 8 (RO : Resize Overlap) が “0” であることを確認してください。もし RO ビットが “1” の場合は、“4.4.2.3 リサイズオーバーラップ (RO)” と “4.4.2.4 RO 発生時の注意” を参照して、ユーザシステムによって適切に対処してください。
- ⑤ SCR (System Control Register) をリードしビット 9 (RUN) が “1” であることを確認してください。もし RUN ビットが “0” である場合は、“4.1.8 ネットワークの停止” を参照して、ユーザシステムによって適切に対処してください。
- ⑥ FSR (Final Station Register) をリードし、NFSR へライトした値と同じ値になっていることを確認してください。もし NFSR へライトした値と異なる場合は、再びリサイズ操作を最初から (①から) 行ってください。
- ⑦ リサイズの操作を受信したことにより OC(Out of Cycle) 停止となった CUnet ステーションがネットワーク上に存在していた場合、その CUnet ステーションに対応する LFR (Link Flag Register) および MFR (Member Flag Register) のビットがリサイズ操作前の状態から数サイクル時間が経過する間に遷移します。

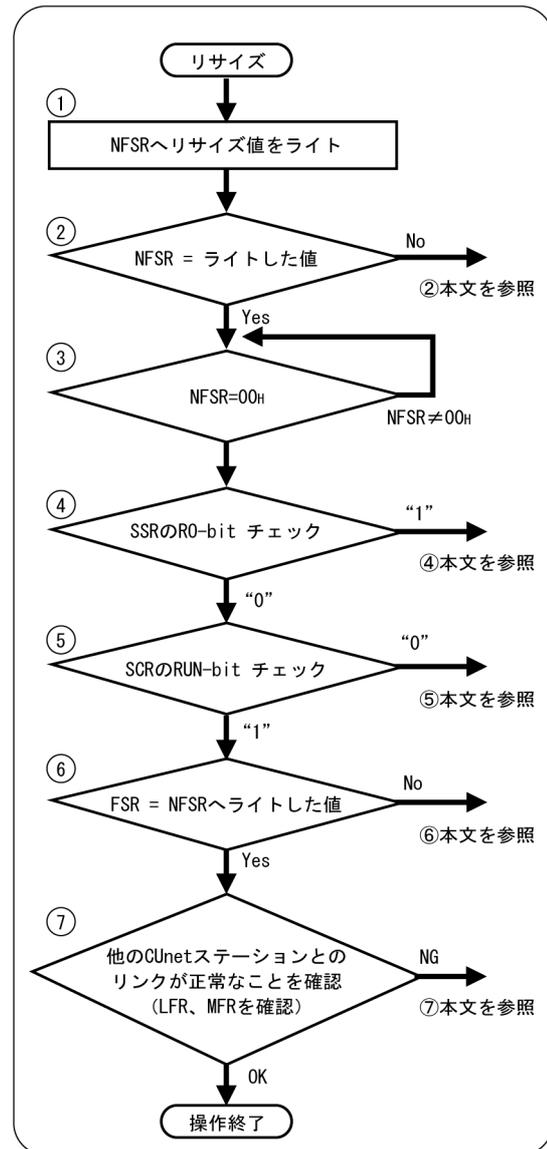


図4.27 リサイズの実行

“4.2.3 グローバルメモリ (GM) データの品質保証” の節に記述された、LFR や MFR およびこれらの監視機能によって、ユーザシステムが必要とする他の CUnet ステーションとのリンクが正常であることを確認してください。

ユーザシステムが必要とする他の CUnet ステーションとのリンクが正常でない場合は、“4.1.8 ネットワークの停止” (特に OC による停止) を参照して、拡張リサイズを施し、停止した CUnet ステーションの参入を促すなど、ユーザシステムによって適切に対処してください。

CUnet は、いずれか “1” つの CUnet ステーションがリサイズを実行すると、ネットワークへ接続されている全ての CUnet ステーションのファイナルステーション (FS : Final Station) 値が、リサイズした値へ更新されます。この場合、リサイズを実行した当事者以外の MEM ステーションは、FS 値が更新された時に割込みトリガを出力することができます。詳細については、“4.5 割込みトリガ発生機能” を参照してください。

**注意事項**

NFSR の値が “00H” でない期間中のサイクルタイムは、式 4.2 (“4.1.6 CUnet のサイクルタイム” 参照) の算式と一致しません。

ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

**参考**

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます (I/O ステーションからは実行できません)。

MKY40 におけるリサイズ操作の場合、MKY40 の NFSR の値は自動的に “00H” には戻りません。よって、MKY40 におけるリサイズ操作は MKY43 の操作と異なりますのでご注意ください。

#### 4.4.2.2 リサイズの拒否

リサイズの操作において、以下の場合は NFSR (New Final Station Register) へのライトが拒否されます。

- ① MKY43 がランフェーズでない時、NFSR へのライトはプロテクトされます。
- ② 自己ステーションの占有エリアを除外する値がライトされた時、NFSR へのライトはプロテクトされます。例えば、自己ステーションが “SA=2、OWN=5” に設定されていた場合、占有エリアが “02H ~ 06H” であるため、“06H” 以上の値はライト可能ですが、“05H” 以下の値は自己ステーションの占有エリアを除外する値となるため拒否されます。

MKY43 は、上記のライトプロテクトによって CUnet の稼動における矛盾の発生を回避しています。

#### 4.4.2.3 リサイズオーバーラップ (RO)

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます。ただし、複数の MEM ステーションが同時期にリサイズを実行した場合、ステーションアドレスの小さな MEM ステーションのリサイズ命令が優先します。

NFSR (New Final Station Register) にリサイズする値が格納されている最中に優先的なリサイズ命令を受信した MEM ステーションは、SSR (System Status Register) のビット 8 (RO : Resize Overlap) を“1”へ遷移させ、“リサイズオーバーラップ”をユーザシステムのプログラムへ警告します。

リサイズオーバーラップの発生は、ユーザシステムのアルゴリズム自体に矛盾があることを示します。お客様ご自身が、システムのアルゴリズムを適正化してください。

リサイズオーバーラップの警告 (SSR の RO ビットが“1”) は、ユーザシステムのプログラムが同ビット (SSR の RO ビット) へ“1”をライトすることによって“0”へクリアできます (図

4.28 参照)。

MKY43 は、SSR のビット 8 (RO) が“1”へ遷移した時に、割込みトリガを出力することができます。尚、SSR のビット 8 (RO) “1”である期間中に発生した RO においては、割込みは発生しませんので注意してください。詳細は“4.5 割込みトリガ発生機能”を参照してください。



#### 注意事項

リサイズオーバーラップが発生した時に、RO (Resize Overlap) 割込みと RC (Resize Complete) 割込みの両方がイネーブルである場合には、RO 割込みと RC 割込みの両方が同時に発生します。

#### 4.4.2.4 RO 発生時の注意

リサイズオーバーラップが発生した場合は、関係する MEM ステーションの操作タイミングおよびリサイズ命令の優劣によって、リサイズされるファイナルステーション (FS) 値が特定し難くなります。

このような事象を回避するためには、ユーザシステムによっては、以下 2 例のようにリサイズオーバーラップが発生しないアルゴリズムを採用することを推奨します。

- ① リサイズを実行する MEM ステーションを、1 つに特定しておく。
- ② 複数の MEM ステーションがリサイズを実行するユーザシステムの場合は、リサイズを実行する権利の取得を必要とする上位概念 (プログラム) をユーザシステムが保有する。

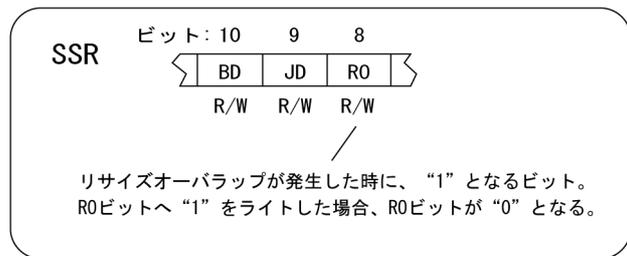


図4.28 SSRのROビット

### 4.4.3 ブレークフェーズステーションの検出と対処

MKY43 は、ネットワーク起動後にブレークフェーズに入る場合があります。

“4.4.2 サイクルタイムの変更 (リサイズ)” によってファイナルステーション (FS) 値が変更されたサイクルに、FS 値よりも後方 (大きな値) の占有エリアを持つ CUnet ステーションがネットワークを起動した場合と、“4.1.8.2 OC (Out of Cycle) の詳細” に記述された OC (Out of Cycle) 停止した CUnet ステーションが再度ネットワークを起動した場合です。

ブレークフェーズになった CUnet ステーションは、サイクルを構成するパブリックフレームの時期に、他の CUnet ステーションへ向けてブレークパケットを発行して存在をアピールします。このブレークパケットを受信した MKY43 は、SSR (System Status Register) のビット 10 (BD : Break Detect) を “1” にして、ユーザシステムのプログラムへブレークフェーズの CUnet ステーションが存在することを警告します (図 4.29 参照)。

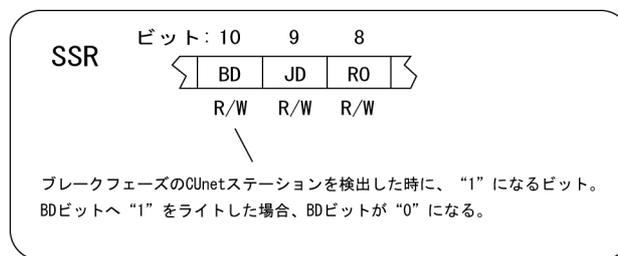


図4.29 SSRのBDビット

MKY43 は、SSR のビット 10 (BD) が “1” へ遷移した時に、割込みトリガを出力することができます。尚、SSR のビット 10 (BD) が “1” である期間中に発生した BD においては、割込みは発生しませんので注意してください。詳細については、“4.5 割込みトリガ発生機能” を参照してください。

SSR のビット 10 (BD) は、“1” をライトすることによりクリアすることができますが、その後にブレークパケットを受信した場合は再度 “1” へ遷移します。

割込みトリガを受け付けることにより、または SSR をリードし BD ビットが “1” であることを認識することによって、ブレークフェーズの CUnet ステーションが存在することを認識したユーザシステムのプログラムが、ブレークフェーズの CUnet ステーションをサイクルに加える場合、“4.4.2 サイクルタイムの変更 (リサイズ)” の操作によって、FS 値を変更する拡張リサイズを実施してください。



参考

拡張リサイズを実行する MEM ステーションにとって、この時点においてはブレークフェーズの CUnet ステーションのステーションアドレスや占有幅は不明なため、通常は最大の FS 値 “63 (3FH)” への拡張リサイズを実施することを推奨します。

#### 4.4.4 ジャマー検出と対処

CUnet プロトコルにおいては、ジャマー (Jammer) (何らかの故障や障害を持ったハードウェアによって送信はできるが受信ができない CUnet ステーション) を検出した時、ユーザシステムにジャマーが存在することを警告することが義務付けられています。

MKY43 は、ジャマーを検出した場合に、SSR (System Status Register) のビット 9 (JD : Jammer Detect) を“1”にして、ユーザシステムのプログラムへ警告します (図 4.30 参照)。

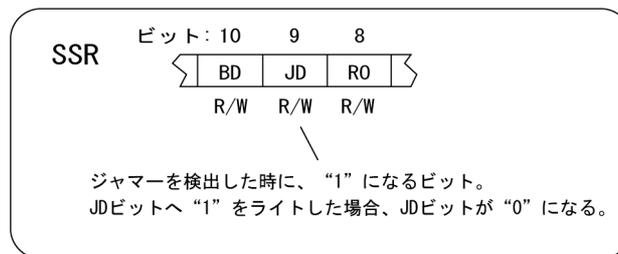


図4.30 SSRのJDビット

SSR のビット 9 (JD) は、“1” をライトすることによりクリアすることができます。その後にジャマーを検出した場合は、再度“1”へ遷移します。

MKY43 は、SSR のビット 9 (JD) が“1”となった時に、割込みトリガを出力することができます。尚、SSR のビット 9 (JD) “1”である期間中に発生した JD においては、割込みは発生しませんので注意してください。詳細については“4.5 割込みトリガ発生機能”を参照してください。

割込みトリガを受け付けることにより、または SSR をリードし JD ビットが“1”であることを認識することにより、ジャマーを認識したユーザシステムのプログラムは、ユーザシステムのオペレータあるいは管理者へ警告を発して、オペレータあるいは管理者によるジャマーの撤去、あるいは故障の修復を要求してください。

なお、MKY43 におけるジャマー検出は、全ての CUnet ステーションが何らかの故障や障害を持ったハードウェアでない場合にも、稀にネットワーク起動時の過渡現象 (僅かな起動タイミングの相違) によって検出されてしまう場合があります。したがって SSR の JD ビットが“1”であることを検出した場合は、一旦 JD ビットをクリアし、ネットワーク起動後の過渡状態でない状態であってもジャマーが検出されることを確認してから、オペレータあるいは管理者へ警告を発してください。



#### 参考

ジャマーの CUnet ステーションはパケットを受信できないのため、ネットワークからジャマーを強制的に停止することはできません。ジャマーは、オペレータあるいは管理者が撤去するか、あるいは故障を修復する必要があります。

#### 4.4.5 ネットワークの品質管理と表示

MKY43 は、ネットワークの品質を管理できる LCARE (Link CARE) と MCARE (Member CARE) の2つの概念を装備しています。さらに“他の CUNet ステーションとのリンクが安定している”状態を表示できる #MON (MONitor) 端子も装備しています。本節の理解にあたっては、“4.2.3 グローバルメモリ (GM) データの品質保証”も参照することを推奨します。

##### 4.4.5.1 LCARE 信号出力

安定した環境による CUNet の運用においては、CUNet プロトコルに定義される“リンク切れ”は発生しません。“リンク切れ”は、“CUNet ステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”および“ネットワークが限界性能にある場合”に発生します。したがってユーザシステムが“CUNet ステーションの離脱”を意図的に実行した時に発生する“リンク切れ”以外は、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”と“ネットワークが限界性能にある場合”に特定できます。この“リンク切れ”の発生を管理することにより、ネットワークのハードウェアおよび環境の品質を認識することが可能です。“リンク切れ”は、“LCARE (Link CARE)”とも呼びます。

MKY43 は、“4.2.3.3 LGR (Link Group Register)”に記述されている LGR に格納されているビット状態に関わらず、“LCARE (Link CARE)”が発生した時に #LCARE 端子から所定の時間 Lo となるパルス信号を出力します。この #LCARE 端子へ LED 表示部品を接続しておくことにより、LCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.7 LED 表示用端子の接続”を参照してください。

LCARE の発生回数は、最大 255 回までのカウントが CCTR (Care CounTer Register) のビット 0 ~ 7 (LCC0 ~ 7) に示されます (図 4.31 参照)。CCTR の LCC は、256 回以上をカウントせず、“255 (FFH)”のまま維持します。ユーザシステムのプログラムが LCARE 発生回数を認識したい場合は、CCTR (Care CounTer Register) のビット 0 ~ 7 (LCC0 ~ 7) をリードしてください。

ユーザシステムのプログラムが LCARE 発生回数のカウントをクリアしたい場合は、CCTR (Care CounTer Register) のビット 0 へ“1”をライトしてください。

#LCARE 端子から出力される Lo パルスは、“ $2505728 \times T_{xi}$ ”時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため、時間内に新たに“リンク切れ”が発生した場合は、Lo パルスの幅が長くなります。MKY43 の駆動クロックが 48MHz の場合、Lo パルスの最小時間は、約 52ms であり、LED 表示の点灯を目視可能です。



#### 注意事項

LCARE の発生および #LCARE 端子からの Lo パルス出力は、“4.4.2 サイクルタイムの変更 (リサイズ)”において記述されている縮小リサイズの実行により、以前にリンクが成立していた CUNet ステーションがリンク不能になった場合にも発生します。

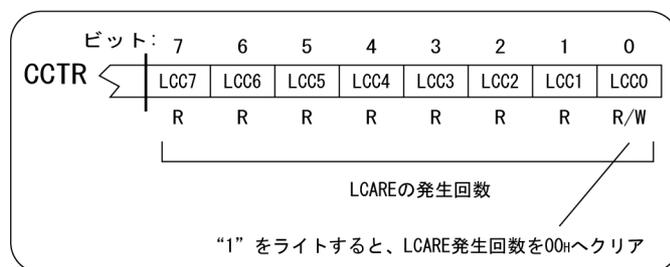


図4.31 CCTRのLCARE発生回数

#### 4.4.5.2 MCARE 信号出力

CUNet においては、“CUNet ステーションが離脱した時”と“極めて劣悪な環境にシステムがある時”および“ネットワークが限界性能にある場合”に、同一の CUNet ステーションに 3 回連続して“リンク切れ”が発生します。MKY43 においては、“リンク切れ”が 3 回連続した場合を“4.2.3.5 MFR (Member Flag Register)”に記述された MFR が管理しており、“4.2.3.7 メンバの増加と減少検出”に記述された“メンバの減少”と判定されます。

“メンバの減少”は、“MCARE (Member CARE)”とも呼びます。

MKY43 は、“4.2.3.6 MGR (Member Group Register)”に記述されている MGR に格納されているビット状態に関わらず、MCARE が発生した時に #MCARE 端子から所定の時間 Lo となるパルス信号を出力します。この #MCARE 端子へ LED 表示部品を接続しておくことにより、MCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.7 LED 表示用端子の接続”を参照してください。

MCARE は、ユーザシステムが“CUNet ステーションの離脱”を意図的に実行した時に発生する以外、“極めて劣悪な環境にシステムがある時”か“ネットワークが限界性能にある場合”に特定できます。したがってユーザは、MCARE の発生を管理することにより、ネットワークのハードウェアおよび環境の品質程度を認識することが可能です。

MCARE の発生回数は、CCTR(Care ConTer Register) のビット 8 ～ 15 (MCC0 ～ 7) に最大 255 回まで示されます (図 4.32 参照)。CCTR の MCC は、256 回以上をカウントせず、“255 (FFh)”のまま維持します。ユーザシステムのプログラムが MCARE の発生回数を認識したい場合は、CCTR(Care CounTer Register) のビット 8 ～ 15 (MCC0 ～ 7) をリードしてください。

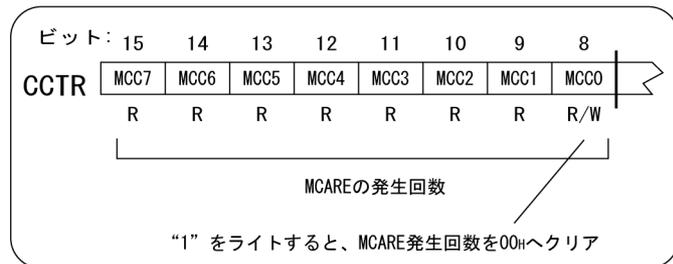


図4.32 CCTRのMCARE発生回数

ユーザシステムのプログラムが MCARE 発生回数のカウントをクリアしたい場合は、CCTR(Care CounTer Register) のビット 8 へ“1”をライトしてください。

#MCARE 端子から出力される Lo パルスは“2505728 × Txi”時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため、時間内に新たに MCARE が発生した場合は、Lo パルスの幅が長くなります。MKY43 の駆動クロックが 48MHz の場合、Lo パルスの最小時間は、約 52ms であり、LED 表示の点灯を目視可能です。

#### **注意事項**

MCARE の発生および #MCARE 端子からの Lo パルス出力は、“4.4.2 サイクルタイムの変更 (リサイズ)”において記述されている縮小リサイズの実行により、以前にリンクが成立していた CUNet ステーションがリンク不能になった場合にも発生します。

## 4.4.5.3 MON 信号出力

MKY43 は、リンクが 3 回以上連続して成立した場合、“他の CUnet ステーションとのリンクが安定している”と判定します。この状態は、“4.2.3.5 MFR (Member Flag Register)” に記述された MFR によって管理されています。MKY43 は、MFR の自己ステーション以外の CUnet ステーションに対応するビットのいずれかに“1”が格納されている時、#MON 端子へ Lo レベルを出力し、それ以外の状態の時 Hi レベルを出力します (図 4.33 参照)。この #MON 端子へ LED 表示部品を Lo レベル出力の時に点灯するように接続しておくことにより、“他の CUnet ステーションとのリンクが安定している”状態を目視確認することができます。LED 表示部品の接続については、“3.7 LED 表示用端子の接続”を参照してください。

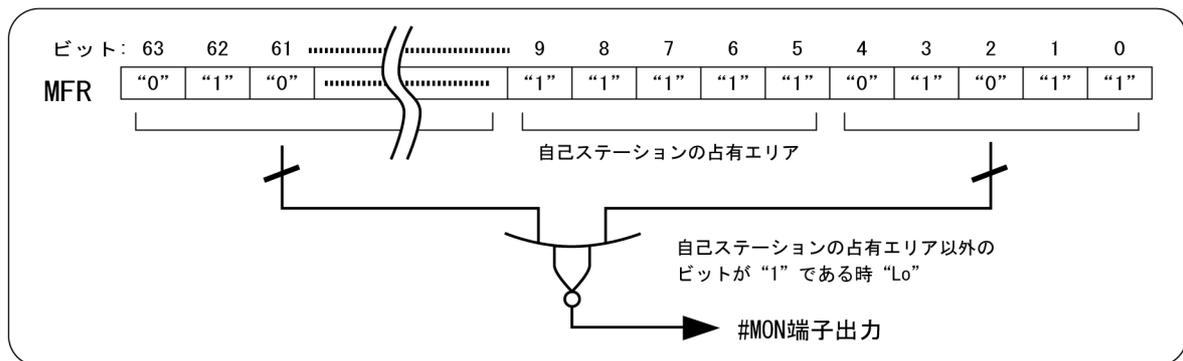


図4.33 #MON端子への出力例



## 注意事項

MKY43 が OC (Out of Cycle) によって停止すると、MFR の状態が保持され #MON 端子への Lo レベル出力が継続する場合があります。MKY43 が OC 停止した際には、ユーザシステムのプログラムが“付録3 OC 停止をした場合の処理”に基づく処理を行なってください。

#### 4.4.6 PING 命令

ランフェーズ中の MKY43 から、ネットワークへ接続された別の CUnet ステーションへ PING 命令を発行することができます。

MKY43 内部の PING 信号は、ハードウェアリセット後 “Hi” レベルを維持しています。

ネットワークから PING 命令を受信した MKY43 は、内部の PING 信号のレベルを “Lo” にします。

ネットワークから PING 命令以外のパケットを受信した MKY43 は、内部の PING 信号のレベルを “Hi” にします。

MKY43 内部の PING 信号は、UTCR (UTility pin Control Register) を設定することによって、UTY1(UTility 1) 端子 (端子 51) および UTY2(UTility 2) 端子 (端子 54) へ出力することができます。UTCR の設定については、“3.8 UTY1 端子、UTY2 端子の接続” を参照してください。

PING 命令の受信による割込みトリガをイネーブルにしておくことにより、PING 命令を受信した場合に、MKY43 からユーザ CPU へ割込みトリガを出力させることもできます。詳細については、“4.5 割込みトリガ発生機能” を参照してください。

UTY1 端子および UTY2 端子へ出力する PING 信号の利用目的は、CUnet プロトコルに特定されておられません。利用目的は、ユーザシステムにおいて自由に定められます。例えば、ユーザ CPU が暴走してしまった場合などに、この信号によってユーザ CPU をリセットさせるなどの利用に便利です。

MKY43 において、ネットワークへ接続された別の CUnet ステーションへ PING 命令を発行する時は、以下を操作してください (図 4.34 参照)。

- ① QCR (Query Control Register) のビット 0 ~ 5 (Target Station : TS0 ~ 5) へ、PING 信号の発生先ステーションアドレス (SA) を、ビット 7 (PING) へ “1” をライトしてください。
- ② ネットワークに命令が発行されると、QCR ビット 7 (PING) は “0” へ戻ります。

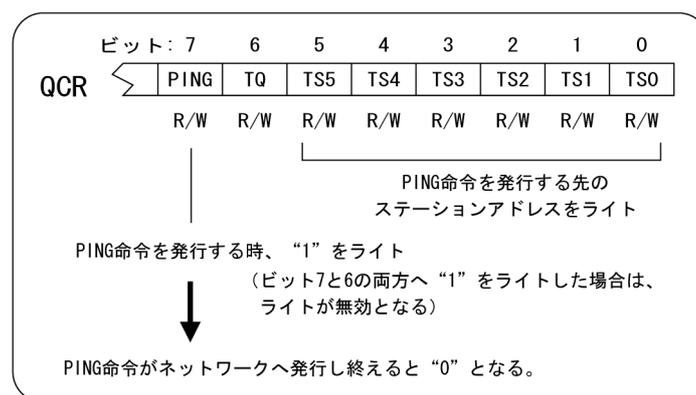


図4.34 PING命令の発行



注意事項 PING 命令は、ネットワークに存在しない CUnet ステーションのステーションアドレスに向けても発行できます。しかし、相手先の PING 信号が遷移したかや端子へ出力されたかは、保証されません。

#### 4.4.7 各ステーションのモードを検出する機能

ユーザシステムは、MKY43 の QCR (Query Control Register) を操作することにより、ステーションアドレスに対応する各 CUnet ステーションのモードを、表 4-2 に示すタイプコードによって認識することができます。ネットワークへ接続された別の CUnet ステーションのモードを調査する操作は、以下の手順です (図 4.35 参照)。

- ① QCR のビット 0 ~ 5 (Target Station : TS0 ~ 5) へ、調査する対象のステーションアドレス (SA) を、ビット 6 (Try Query : TQ) へ “1” をライトしてください。
- ② 調査が完了すると、QCR のビット 6 (Try Query : TQ) が “0” へ戻り、ビット 8 ~ 12 (Station Type : ST0 ~ 4) へ表 4-2 に示されるタイプコードが格納されます。
- ③ ユーザシステムのプログラムによって、QCR をリードし、かつビット 6 (TQ) が “0” であることを確認し、QCR のビット 8 ~ 12 (ST0 ~ 4) のタイプコードを取得してください。

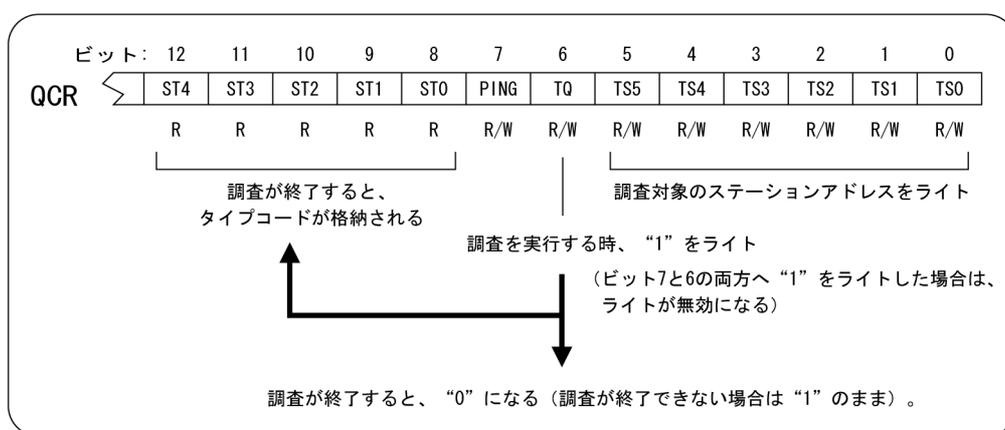


図4.35 各MEMステーションのモード調査

調査対象として指定した CUnet ステーションがネットワークに参加していない場合、QCR のビット 6 (Try Query : TQ) は “0” へ戻らず、“1” から遷移しません。数サイクル時間が経過しても TQ ビットが “0” へ戻らない場合、調査対象として指定した CUnet ステーションは、ネットワークへ接続されていないか、あるいは稼動していません。この場合、TQ ビットへ “0” をライトし、モードの調査を終了させてください。操作を誤って TQ ビットが “1” のままの状態が継続しても、PING 命令を発行できないのみであり、MKY43 の他機能に全く支障を与えません。

表 4-2 タイプコード

QCR ビット 8 ~ 12 へセットされるタイプコード	CUnet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H ~ 1FH	メーカーリザーブ	



**注意事項**

表 4-2 中の “フレームオプション” については、“4.4.9 フレームオプション [HUB 対応]” を参照してください。“占有拡張” については、“3.6 ステーションアドレスおよび占有エリアの設定” および “4.2.1 占有エリアについての詳細” を参照してください。

#### 4.4.8 GMM (Global Memory Monitor) 機能

MKY43 は、他の CUNet ステーションと一切リンクせずに、継続的タイムシェアリングに基づいて他の CUNet ステーションが送信するパケットを受信するだけの、グローバルメモリデータモニタ（覗き見）機能を装備しています。これを“GMM (Global Memory Monitor)”と呼び、この機能によって稼動している CUNet ステーションを“GMM ステーション”と呼びます。

MKY43 を GMM ステーションとして利用する場合は、ユーザシステムのプログラムによって以下を操作してください。

- ① SCR (System Control Register) の START ビットが“0”であることを確認してください。
- ② SCR の GMM ビットへ“1”をライトしてください。

GMM ステーションとしての利用を解除する場合は、ユーザシステムのプログラムによって、SCR の GMM ビットへ“0”をライトしてください。

GMM ステーションになっている MKY43 は、“4.4.1 ネットワーク起動前のモニタリング”に記述されたモニタリングに加え、他 CUNet ステーション同士において“メモリデータの共有”を実行しているグローバルメモリのデータをモニタリングすることが可能です。

なお、GMM ステーションになっている MKY43 には、占有エリアの概念が適用されません。よってステーションアドレス (SA) と占有幅 (OWN width) の設定状態は全て無視されます。

GMM ステーションになっている MKY43 の RFR (Receive Flag Register) は、SCR のビット 0～6 に示されるステーションタイム (ST) が“0”の時に更新され、その後他 CUNet ステーションからのパケット受信状態が反映されます。このため、ステーションタイム (ST) が FSR (Final Station Register) に格納されている値を超えているタイミングの時 (パブリックフレームの時期) に、RFR (Receive Flag Register) をリードすることにより以下を認識することができます。

- ① “1”のビットが存在すれば、そのビットに対応するステーションアドレスを持つ CUNet ステーションがネットワーク上に稼動している。
- ② “1”のビットに対応したグローバルメモリのメモリブロックのデータが最新である。

さらに、FSR のビット 0～5 (FS0～5) に格納されている値が、初期値の 63 (3FH) 以外の場合は、リサイズされたサイクルが稼動していることを認識できます。



GMM ステーションは、CUNet プロトコルに定める“最大 CUNet 専用 IC 接続可能数”である“64”に含まれません。したがって、ネットワークの電気的実力が許容する限り、GMM ステーションをいくつでもネットワークへ接続することができます。

RFR のデータは、逐次高速に変化します。低速な CPU 等が上記①を目的として RFR を参照する場合には、ALM (ALArM) 割込みによる RFR のフリーズを利用すると、静止した RFR を参照することができます (“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”参照)。

#### 4.4.9 フレームオプション [HUB 対応]

MKY43 は、CUnet プロトコルに定められるフレームオプションに対応しています。フレームオプションは、フレーム長定数 (LOF) が “256” となるオプション機能です。フレームオプションによって、CUnet のネットワークへ HUB (通信ケーブル分岐ユニット) を挿入可能となります。

ネットワークに HUB (通信ケーブル分岐ユニット) を挿入した CUnet は、以下のように通信ケーブルの敷設の自由度が高まり、適用可能なユーザシステムを拡張することができます (詳細については、HUB-IC の **“ユーザズマニュアル”** を参照してください)。

- ① ネットワークの通信ケーブルの総延長を伸ばすことが可能。
- ② ネットワークの通信ケーブルを分岐することが可能。
- ③ 各 CUnet ステーション装置の終端抵抗への配慮を削減できる。
- ④ スター接続が可能となる。
- ⑤ 光ファイバへの対応が容易となる。

**4.4.9.1 HUB の挿入可能段数**

フレームオプションが設定された CUnet のネットワークにおいて、HUB（通信ケーブル分岐ユニット）の挿入可能段数は、最大 2 段です（図 4.36 参照）。

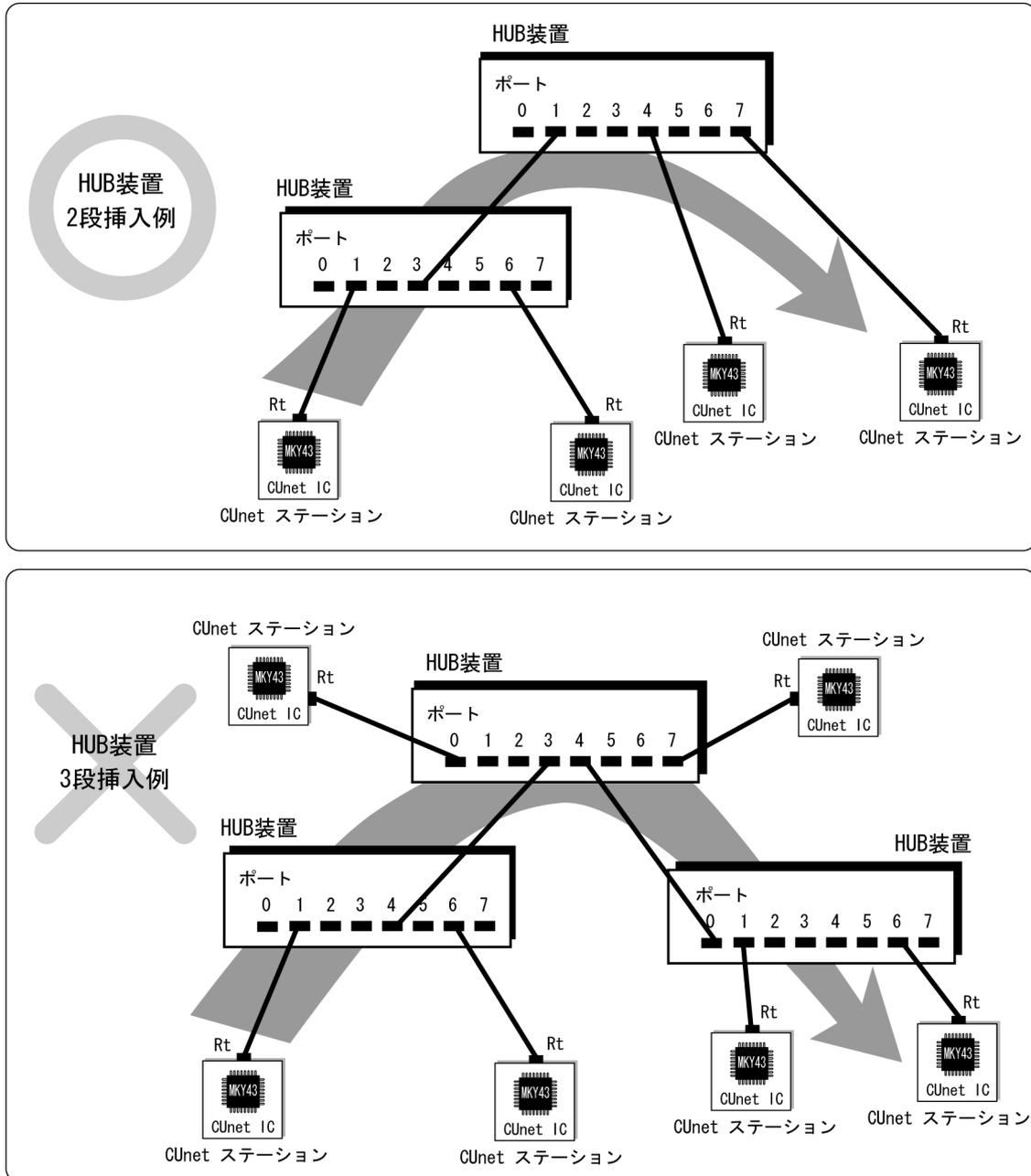


図4.36 HUB挿入可能段数

## 4.4.9.2 フレームオプションの設定

フレームオプションの設定は、“4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”に記述された操作の②－③の時点において、BCR（Basic Control Register）のビット15（LFS：Long Frame Select）へ“1”をライトしてください（図4.37参照）。

フレームオプションは、ネットワーク起動後に他の CUNet ステーションとの相互リンクの過程によって、全ての CUNet ステーションへ設定されます。またフレームオプションがセットされ稼動しているネットワークに対して後から接続（あるいは電源投入）された CUNet ステーションへもフレームオプションが自動的に設定されます。このためネットワークへ接続されたいずれか1つ（あるいは複数）の CUNet ステーションが BCR の LFS ビットへ“1”をライトすることによって、フレーム長定数（LOF）が“256”のサイクルによって稼動する CUNet へ変わります。

フレームオプションの設定が完了した MKY43 は、SCR（System Control Register）のビット14（LF：Long Frame）が“1”に設定されます。ユーザシステムのプログラムが、フレームオプションのセット状態を確認したい時は、SCR をリードし、ビット14（LF）が“1”であることを確認してください。

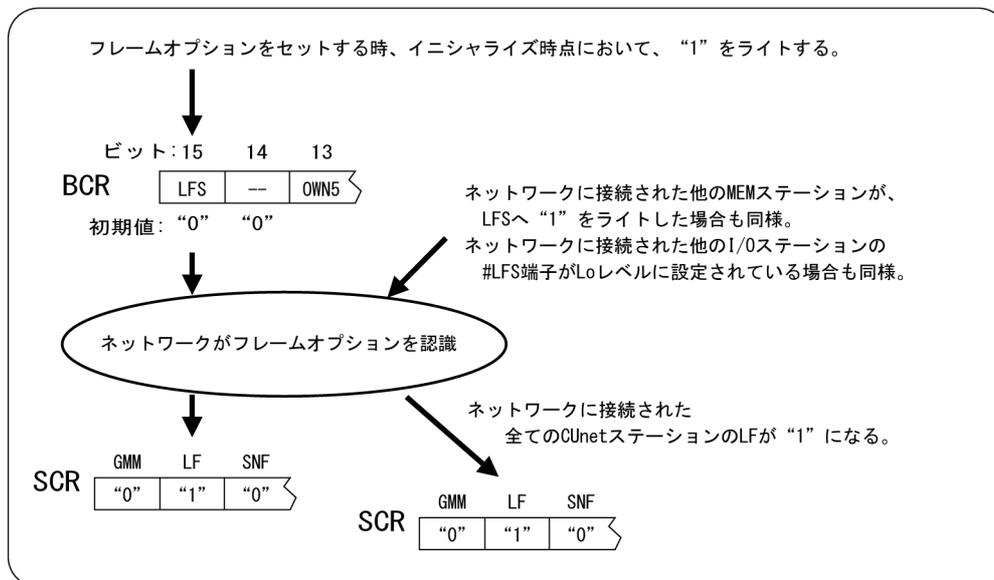


図4.37 フレームオプションの設定

SCR の LF（Long Frame）が“1”の状態によって稼動する CUNet は、フレーム長定数（LOF：Length Of Frame）が“256”であるため、フレームオプションを利用しない場合に比較して、サイクルタイムが長い時間となります（“4.1.6 CUNet のサイクルタイム”参照）。



## 注意事項

SCR の LF（Long Frame）を、MKY43 のハードウェアリセット以外の方法によってクリアすることはできません。また SCR の LF が“1”である MEM ステーションとリンクする全ての CUNet ステーションは、SCR の LF へ“1”が設定されます。したがって、一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全ての CUNet 専用 IC に対してハードウェアリセットがアクティブとなる操作を必要とします。

ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

## 4.5 割込みトリガ発生機能

MKY43 は、ユーザ CPU の割込みトリガ端子へ信号を供給できる 2 本の出力端子（#INT0、#INT1 端子）を装備しています。例えば、以下のように 2 本の割込みトリガ出力端子を使い分ける設定が可能です。

- ① 頻繁に利用する割込みトリガ信号を #INT0 端子から出力
- ② まれに発生するエラーやフェール処理目的の割込みトリガ信号を #INT1 端子から出力

本節は、割込みトリガ発生機能の操作と、割込みトリガ出力に付帯する MKY43 の動作について記述します。

### 4.5.1 #INT0 端子の操作

#INT0 端子の割込みトリガ発生機能は、ユーザシステムのプログラムによる以下の操作によって、利用できます（図 4.38 参照）。

- ① INT0CR（INTerrupt 0 Control Register）は、#INT0 端子の機能を“イネーブル”に設定するためのレジスタです。INT0CR に備えられた割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットに“1”をライトし、#INT0 端子の機能を“イネーブル”にしてください。
- ② INT0CR によってイネーブルが設定された割込み発生要因が生じると、INT0CR と同一ビット配列を持つ INT0SR（INTerrupt 0 Status Register）に発生したステータス“1”が維持され、#INT0 端子から Lo レベルが出力されます。
- ③ ユーザシステムのプログラムは、INT0SR をリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。
- ④ ユーザシステムのプログラムが割込み処理の対応を終えた後に、該当する要因の INT0SR のビットへ“1”をライトしてください。これにより INT0SR のステータス“1”の維持がクリアされ該当ビットが“0”へ戻ります。
- ⑤ #INT0 端子は、INT0SR のビットが全て“0”になると、Hi レベル出力を維持する状態に戻ります。

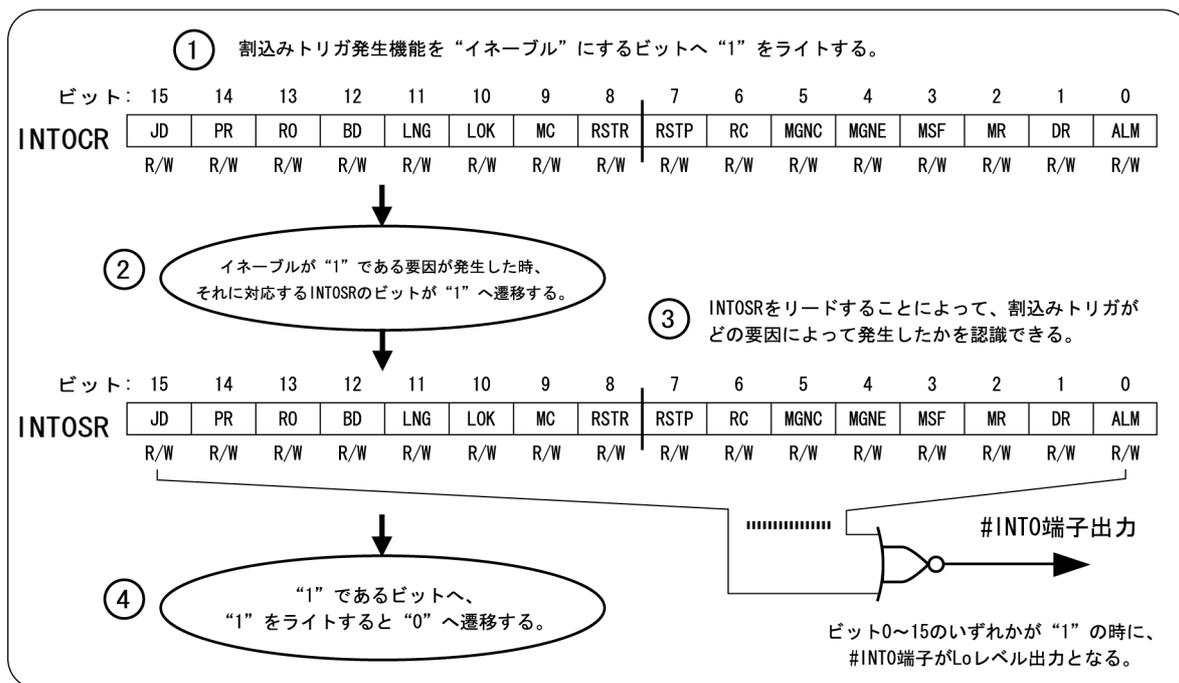


図4.38 割込みトリガ発生機能

第4章 MKY43 のソフトウェア

割込み発生要因の ALM (ALArM) と DR (Data Renewal) は、割込み発生時期をユーザシステムのプログラムによって予め指定しておく必要があります。#INT0 端子に対するタイミングを指定するレジスタは、IT0CR (Interrupt Timing 0 Control Register) です (図 4.39 参照)。

IT0CR ビット 0 ~ 6 (ALM0 ~ 6) へ、割込み発生要因の ALM (ALArM) を発生させる場合のステーションタイムをライトしてください。

IT0CR ビット 8 ~ 14 (DR0 ~ 6) へ、割込み発生要因の DR (Data Renewal) を発生させる場合のステーションタイムをライトしてください。

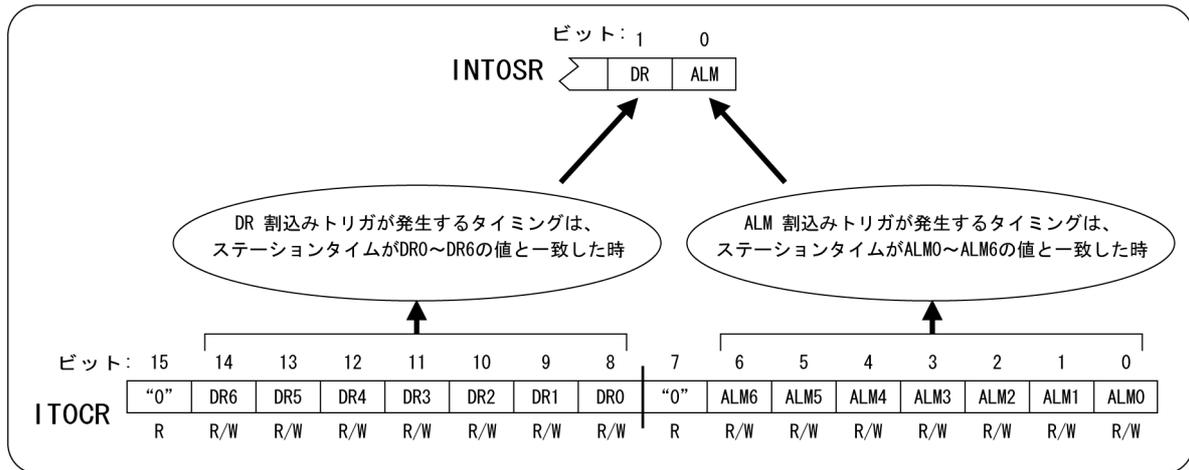


図4.39 DRおよびALM 割込みトリガ発生タイミング



参考

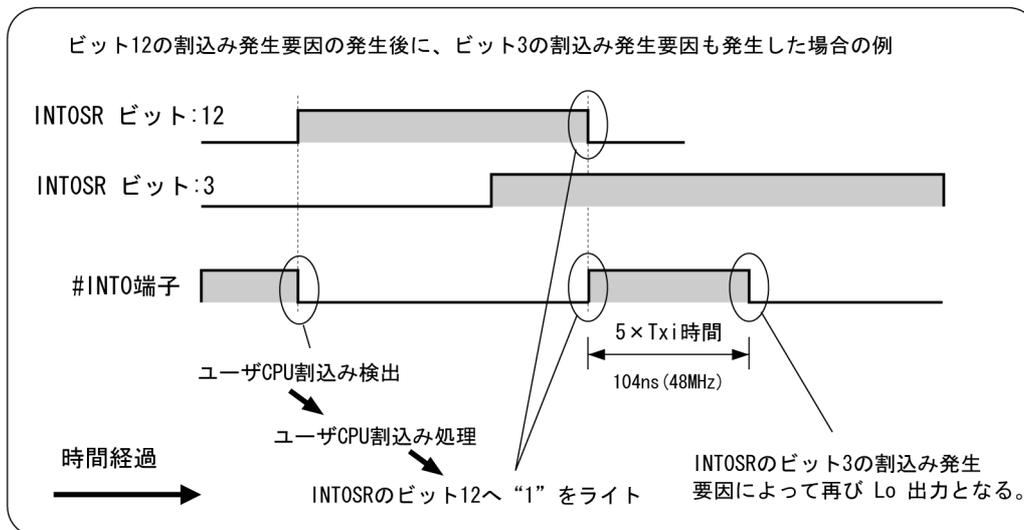
INT0SR にステータスが保持されている時に、INT0CR の該当するイネーブルを解除しても INT0SR のステータスはクリアされません。

ハードウェアリセットアクティブ後は、割込み発生要因のイネーブルビットは全て“0” (ディセーブル状態) に初期化されています。

### 4.5.2 リトリガ機能

割込みトリガ信号を出力する #INT0 端子へ、複数の割込み発生要因を設定することができます。ユーザシステムのプログラムが1つの端子に2つ以上の割込み発生要因を設定して利用する場合は、端子の出力レベルが Hi レベル出力へ戻った直後“5クロック”を経過すると、再び Lo レベル出力へ遷移する場合があります。これを“リトリガ機能”と呼びます(図 4.40 参照)。以下の場合にリトリガ機能が動作します。

- ① INT0SR に複数のステータスが保持されている時に、その一部をクリアした場合。例えば、INT0SR のデータが“1004H”の時に“1000H”をライトした場合。
- ② INT0SR に保持されているステータスをクリアするためのライトと同時期に、イネーブルが設定された新たな割込み発生要因が生じた場合。例えば、INT0SR のデータが“1000H”の時に“1000H”をライトした同時期に、イネーブルが設定された新たな割込み発生要因“0004H”が生じた場合。



MKY43 が装備しているリトリガ機能により、ユーザ CPU に備えられている割込みコントローラがレベルの変化(エッジ)を検出するタイプであっても、割込みを取りこぼしません。

ユーザ CPU が備えている割込みコントローラが、CPU からの EOI (End Of Interrupt) コードの発行を受けて次回の割込み発生を有効とするタイプである場合、エッジ検出型かレベル検出型かの違いによって、EOI の発行操作と“4.5.1 #INT0 端子の操作”の④に記述された INT0SR のステータスをクリアする操作の順番を、以下のように考慮しなければならない場合があります。

**エッジ検出型:** EOI を発行した後に、INT0SR のステータスをクリアする。・・・逆に、EOI の発行前に INT0SR のステータスをクリアした場合、次回の割込み受付が有効になっていない状態のままリトリガ機能によって Hi レベルから Lo レベルへ変化してしまいます。この結果、割込みトリガを取りこぼす可能性があります。

**レベル検出型:** INT0SR ステータスをクリアした後に、EOI を発行する。・・・逆に、EOI の発行後に INT0SR ステータスをクリアした場合、Lo レベルの状態を再び検出して二重に割込みトリガを受け付けてしまう可能性があります。

**注意事項** 割込み処理のアルゴリズムや解除の手順は、ユーザ CPU の種類や周辺ハードウェアを含むユーザシステムに依存します。MKY43 の操作はユーザシステムに適合させてご利用ください。

### 4.5.3 割込み発生要因

INT0CR (INTerrupt 0 Control Register) が備えているイネーブル操作可能な割込み発生要因は、以下の 16 種類です (表 4-3 参照)。

表 4-3 割込み発生要因

発生要因	ビット	トリガ出力が発生する時 (要件)	参照
ALM : ALarM	0	サイクル中のステーションタイムが、予め ITOCR へ指定した時刻になった時。 この割込みトリガはサイクル毎に毎回発生します。	4.1.7 サイクル中の詳細タイミング
DR : Data Renewal	1	予め DRCR へ設定した検出ビットに対応するグローバルメモリのデータ遷移を検出した場合に限り、かつサイクル中のステーションタイムが予め ITOCR へ指定した時刻になった時。	4.2.4 グローバルメモリのデータ遷移検出機能
MR : Mail Receive	2	他の CUNet ステーションからメールを受信した時。	4.3.2 メール受信時の操作
MSF : Mail Send Finish	3	他の CUNet ステーションへのメール送信が (正常あるいはエラーに関わらず) 終了した時。	4.3.3 メール送信の操作、送信終了後の操作
MGNE : Member Group Not Equal	4	SSR のビット 4 (MGNE) が、“0” から “1” へ遷移した時。	4.2.3.6 MGR (Member Group Register)
MGNC : Member Group Not Collect	5	SSR のビット 5 (MGNC) が、“0” から “1” へ遷移した時。	4.2.3.6 MGR (Member Group Register)
RC : Resize Complete	6	他の CUNet ステーションからのリサイズを受けて自己ステーションのリサイズが完了した時。	4.4.2.1 リサイズの実行
RSTP : Run SToP	7	ネットワーク停止した時。	4.1.8 ネットワークの停止
RSTR : Run STaRt	8	ランフェーズに入った時。	4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで
MC : Member Change	9	メンバフラグビットの “1” の数が増減した時。	4.2.3.7 メンバの増加と減少検出
LOK : Link group OK	10	ビットが “1” の LGR に対応する LFR ビットの検査によって、“リンク OK” と判定された時。	4.2.3.3 LGR (Link Group Register)
LNG : Link group No Good	11	ビットが “1” の LGR に対応する LFR ビットの検査によって、“リンク NG (No Good)” と判定された時。	4.2.3.3 LGR (Link Group Register)
BD : Break Detect	12	ブレイクフェーズのステーションを検出した時。	4.4.3 ブレイクフェーズステーションの検出と対処
RO : Resize Overlap	13	リサイズオーバーラップが発生した時。	4.4.2.3 リサイズオーバーラップ (RO)
PR : Ping Receive	14	PING 命令を他の CUNet ステーションから受信した時。	4.4.6 PING 命令
JD : Jammer Detect	15	ジャマーを検出した時。	4.4.4 ジャマー検出と対処

#### 4.5.4 #INT1 端子の操作

#INT1 端子の操作は、“4.5.1 #INT0 端子の操作”～“4.5.3 割込み発生要因”に記述された #INT0 端子の操作と同一の概念です。

#INT1 端子の機能を“イネーブル”に設定するためのレジスタは、INT1CR (INTerrupt 1 Control Register) です。

#INT1 端子のステータスを保持するレジスタは、INT1SR (INTerrupt 1 Status Register) です。

#INT1 端子もリトリガ機能を装備しています。

#INT1 端子の割込み発生要因の内の“ALM (ALarM)”と“DR (Data Renewal)”のタイミングを指定するレジスタは、IT1CR (Interrupt Timing 1 Control Register) です。

#### 4.5.5 割込みトリガ発生時期指定の注意

IT0CR および IT1CR へタイミングを設定する値は、“0～127 (00H～7FH)”ですが、CUnet のサイクルが採用する値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値を IT0CR または IT1CR へライトすると、対応する割込みトリガが発生しないため、不適切な値はライトしないでください。

特に、DR (Data Renewal) 発生タイミングは、“4.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”に記述された DRFR の更新タイミングです。このため FSR (Final Station Register) に格納されている値に“2”を加算した値を超える数値をライトした場合、DRFR も更新されなくなります。

#### 4.5.6 DR (Data Renewal) 割込みトリガ利用上の注意

割込み発生要因の DR (Data Renewal) は、#INT0 端子と #INT1 端子の両方を利用することはできません。どちらか一方の利用に限定されています。

INT0CR が先に“イネーブル”に設定された場合、INT1CR のイネーブルビットへの“1”のライトはプロテクトされます。

逆に、INT1CR が先に“イネーブル”に設定された場合、INT0CR のイネーブルビットへの“1”のライトはプロテクトされます。

DR (Data Renewal) 割込みトリガが発生するタイミングは、INT0CR がイネーブルである時は IT0CR ビット 8～14 へ設定された時刻であり、かつ INT1CR がイネーブルである時は IT1CR ビット 8～14 へ設定された時刻です。

“4.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”に記述された、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが“1”から“0”へ遷移するタイミングも、同様 (INT0CR がイネーブルである時は IT0CR ビット 8～14 へ設定された時刻であり、かつ INT1CR がイネーブルである時は IT1CR ビット 8～14 へ設定された時刻) です。ただし、INT0CR および INT1CR の両方とも DR (Data Renewal) がディセーブルである時は、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが“1”から“0”へ遷移するタイミングは、IT0CR ビット 8～14 へ設定された時刻です。

#### 4.5.7 割込みトリガ発生に連動するレジスタのフリーズ

MKY43 は、特定の割込みトリガを出力している最中に、特定のレジスタをフリーズ（凍結）します。割込みトリガが MKY43 から出力された後（かつ、ユーザシステムの割込み対応プログラムが処理を参照する前）に、割込み発生要因に関連する特定のレジスタが更新されてしまうことを、レジスタがフリーズすることによって防ぎます。フリーズ（凍結）するレジスタは MKY43 内部において二重化されており、ユーザシステムからリード可能な部分のみがフリーズします。よってユーザシステムの割込み対応プログラムが処理終了に伴って特定の割込みトリガのステータスをクリアした時点で、即座にフリーズが解けると同時に現状へ復帰します。

フリーズするレジスタと割込み発生要因の対応を、表 4-4 に示します。

表 4-4 フリーズするレジスタ

割込み発生要因	フリーズするレジスタおよびフラグビット
ALM (ALarM) MC (Member Change) LOK (Link group OK) LNG (Link group No Good)	RFR の全ビット LFR の全ビット SSR のビット 12 (LOK)
DR (Data Renewal)	DRFR の全ビット SSR のビット 11 (DR)



#### 注意事項

MC (Member Change) 割込みが発生しても、MFR (Member Flag Register) はフリーズしません。MFR は、“ステータス管理の起点時期”において更新されますので、MC 割込みによって起動される処理が次の“ステータス管理の起点時期”を超えて MFR を参照しない様、注意してください。

#### 4.5.8 BD、RO、JD 割込み発生について

BD (Break Detect) 割込みにおいては、対象の割込み発生要因ビットが“1”に設定されていても、SSR の検出フラグが“1”である間に要因が発生した場合には、割込みが発生しません。そのため BD 割込みの設定においては、最後に SSR の検出フラグも“0”へ設定してください。このことは、RO (Resize Overlap)、JD (Jammer Detect) 割込みにおいても、同様です。



## 第 5 章 MKY43 のレジスタリファレンス

本章は、MKY43 に搭載されたレジスタのリファレンスを、アドレス順に掲載します。



## 第5章 MKY43 のレジスタリファレンス

本章は、MKY43 に搭載されたレジスタのリファレンスを、アドレス順に掲載します（表 5-1 参照）。

本章は、以下の形式によって記述します。

- ① レジスタのアドレスを、16 ビットアクセスの先頭アドレスによって示します。
- ② データビット表現を、16 ビットアクセス表現によって示します。

本章の参照にあたっては、以下の点に注意してください。

- ① MKY43 のレジスタは、16 ビット幅レジスタと、64 ビット幅レジスタがあります。
- ② レジスタのアドレスは、MKY43 へ接続する CPU のデータバス幅およびアクセス幅（16 ビット幅データバスにおける 8 ビットアクセスなど）、エンディアンの種類によって異なります。本章に記載されていない 8 ビットアクセスについては、お客様ご自身がアドレスを換算し、ご利用ください。

表 5-1 レジスタ一覧

項目	アドレス値	領域名	レジスタ名	Bit数	対象機能	ページ
5.1	300H ~ 307H	RFR	Receive Flag Register	64	リンク検出	5-5
5.2	308H ~ 30FH	LFR	Link Flag Register	64		5-6
5.3	310H ~ 317H	MFR	Member Flag Register	64	メンバ検出	5-7
5.4	318H ~ 31FH	DRFR	Data Renewal Flag Register	64	データ遷移検出	5-8
5.5	320H ~ 327H	LGR	Link Group Register	64	リンク検出	5-9
5.6	328H ~ 32FH	MGR	Member Group Register	64	メンバ検出	5-10
5.7	330H ~ 337H	DRCR	Data Renewal Check Register	64	データ遷移検出	5-11
5.8	338H	RHCR0	Read Hazard Control Register 0	16	リード ハザード防止	5-12
5.9	33AH	RHCR1	Read Hazard Control Register 1	16		5-12
5.10	33CH	WHCR0	Write Hazard Control Register 0	16	ライト ハザード防止	5-13
5.11	33EH	WHCR1	Write Hazard Control Register 1	16		5-13
5.12	340H	MSLR	Mail Send Limit time Register	16	メール送信	5-14
5.13	342H	MSRR	Mail Send Result Register	16		5-14
5.14	344H	MESR	Mail Error Status Register	16		5-15
5.15	346H	MSCR	Mail Send Control Register	16		5-16
5.16	348H	MR0CR	Mail Receive 0 Control Register	16	メール受信	5-17
5.17	34AH	MR1CR	Mail Receive 1 Control Register	16		5-18
5.18	34CH	CCTR	Care CounTer Register	16	システム補助	5-19
5.19	34EH	UTCR	UTility pin Control Register	16		5-20
5.20	350H	QCR	Query Control Register	16		5-21
5.21	352H	NFSR	New Final Station Register	16	システム	5-22
5.22	354H	FSR	Final Station Register	16		5-22
5.23	356H	BCR	Basic Control Register	16		5-23
5.24	358H	INT0CR	INTerrupt 0 Control Register	16	割込み制御	5-24
5.25	35AH	INT1CR	INTerrupt 1 Control Register	16		5-26
5.26	35CH	IT0CR	Interrupt Timing 0 Control Register	16		5-27
5.27	35EH	IT1CR	Interrupt Timing 1 Control Register	16		5-27
5.28	360H	INT0SR	INTerrupt 0 Status Register	16		5-28
5.29	362H	INT1SR	INTerrupt 1 Status Register	16	5-30	
5.30	364H	SSR	System Status Register	16	システム	5-32
5.31	366H	SCR	System Control Register	16		5-34
5.32	368H ~ 36FH	CCR	Chip Code Register	64		5-36
5.33	370H ~ 377H	RHPB0	Read Hazard Protection Buffer 0	64	リード ハザード防止	5-37
5.34	378H ~ 37FH	RHPB1	Read Hazard Protection Buffer 1	64		5-38
5.35	380H ~ 387H	WHPB0	Write Hazard Protection Buffer 0	64	ライト ハザード防止	5-39
5.36	388H ~ 38FH	WHPB1	Write Hazard Protection Buffer 1	64		5-40

## 5.1 RFR (Receive Flag Register)

### アドレス : 300H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 15	RFR 14	RFR 13	RFR 12	RFR 11	RFR 10	RFR 9	RFR 8	RFR 7	RFR 6	RFR 5	RFR 4	RFR 3	RFR 2	RFR 1	RFR 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### アドレス : 302H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 31	RFR 30	RFR 29	RFR 28	RFR 27	RFR 26	RFR 25	RFR 24	RFR 23	RFR 22	RFR 21	RFR 20	RFR 19	RFR 18	RFR 17	RFR 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### アドレス : 304H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 47	RFR 46	RFR 45	RFR 44	RFR 43	RFR 42	RFR 41	RFR 40	RFR 39	RFR 38	RFR 37	RFR 36	RFR 35	RFR 34	RFR 33	RFR 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### アドレス : 306H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFR 63	RFR 62	RFR 61	RFR 60	RFR 59	RFR 58	RFR 57	RFR 56	RFR 55	RFR 54	RFR 53	RFR 52	RFR 51	RFR 50	RFR 49	RFR 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**【機能説明】** グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが、SCR (System Control Register) の START ビット (ビット 8) が “1” である時、最新のサイクルによってライトされていることを保証する個々のレシーブステータスが格納されたレジスタです。ビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR の START ビットへ “1” が設定されると “1” へ遷移し、“0” が設定されると “0” へ遷移します。

本レジスタのビットの遷移タイミングの詳細については、“4.2.3 グローバルメモリ (GM) データの品質保証” を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。詳細については、“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ” を参照してください。

## 5.2 LFR (Link Flag Register)

### アドレス : 308H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 15	LFR 14	LFR 13	LFR 12	LFR 11	LFR 10	LFR 9	LFR 8	LFR 7	LFR 6	LFR 5	LFR 4	LFR 3	LFR 2	LFR 1	LFR 0
--------	--------	--------	--------	--------	--------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 30AH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 31	LFR 30	LFR 29	LFR 28	LFR 27	LFR 26	LFR 25	LFR 24	LFR 23	LFR 22	LFR 21	LFR 20	LFR 19	LFR 18	LFR 17	LFR 16
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 30CH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 47	LFR 46	LFR 45	LFR 44	LFR 43	LFR 42	LFR 41	LFR 40	LFR 39	LFR 38	LFR 37	LFR 36	LFR 35	LFR 34	LFR 33	LFR 32
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 30EH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 63	LFR 62	LFR 61	LFR 60	LFR 59	LFR 58	LFR 57	LFR 56	LFR 55	LFR 54	LFR 53	LFR 52	LFR 51	LFR 50	LFR 49	LFR 48
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

**【機能説明】** グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが最新のサイクルによってライトされていることと、個々の CUnet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複製されたことの、両方を保証する個々のビットが格納されたレジスタです。ビット 0 がステーションアドレス (SA) 0 およびメモリブロック (MB) 0 へ、ビット 1 が SA1 および MB1 へ、ビット 63 が SA63 および MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR の START ビットへ“1”が設定されると“1”へ遷移し、“0”が設定されると“0”へ遷移します。

本レジスタのビットの遷移タイミングの詳細については、“**4.2.3 グローバルメモリ (GM) データの品質保証**”を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。詳細については、“**4.5.7 割込みトリガ発生に連動するレジスタのフリーズ**”を参照してください。

### 5.3 MFR (Member Flag Register)

#### アドレス : 310H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 15	MFR 14	MFR 13	MFR 12	MFR 11	MFR 10	MFR 9	MFR 8	MFR 7	MFR 6	MFR 5	MFR 4	MFR 3	MFR 2	MFR 1	MFR 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### アドレス : 312H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 31	MFR 30	MFR 29	MFR 28	MFR 27	MFR 26	MFR 25	MFR 24	MFR 23	MFR 22	MFR 21	MFR 20	MFR 19	MFR 18	MFR 17	MFR 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### アドレス : 314H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 47	MFR 46	MFR 45	MFR 44	MFR 43	MFR 42	MFR 41	MFR 40	MFR 39	MFR 38	MFR 37	MFR 36	MFR 35	MFR 34	MFR 33	MFR 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### アドレス : 316H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFR 63	MFR 62	MFR 61	MFR 60	MFR 59	MFR 58	MFR 57	MFR 56	MFR 55	MFR 54	MFR 53	MFR 52	MFR 51	MFR 50	MFR 49	MFR 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**[機能説明]** 3回連続した“リンク成立”を認識すると“1”が設定され、3回連続した“リンク不成立”を認識すると“0”が設定される、個々のメンバ状態が格納されるレジスタです。ビット0がステーションアドレス (SA) 0へ、ビット1がSA1へ、ビット63がSA63へ対応します。

本レジスタのビットは、自己ステーションのステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期 (ステータス管理の起点時期) に更新されます。

本レジスタのビットは、SCR (System Control Register) の START ビットが“0”の時およびSCR (System Control Register) の GMM ビットが“1”の時に、全てのビットが“0”を維持します。

## 5.4 DRFR (Data Renewal Flag Register)

### アドレス : 318H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRFR 15	DRFR 14	DRFR 13	DRFR 12	DRFR 11	DRFR 10	DRFR 9	DRFR 8	DRFR 7	DRFR 6	DRFR 5	DRFR 4	DRFR 3	DRFR 2	DRFR 1	DRFR 0
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 31AH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRFR 31	DRFR 30	DRFR 29	DRFR 28	DRFR 27	DRFR 26	DRFR 25	DRFR 24	DRFR 23	DRFR 22	DRFR 21	DRFR 20	DRFR 19	DRFR 18	DRFR 17	DRFR 16
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 31CH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRFR 47	DRFR 46	DRFR 45	DRFR 44	DRFR 43	DRFR 42	DRFR 41	DRFR 40	DRFR 39	DRFR 38	DRFR 37	DRFR 36	DRFR 35	DRFR 34	DRFR 33	DRFR 32
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

### アドレス : 31EH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRFR 63	DRFR 62	DRFR 61	DRFR 60	DRFR 59	DRFR 58	DRFR 57	DRFR 56	DRFR 55	DRFR 54	DRFR 53	DRFR 52	DRFR 51	DRFR 50	DRFR 49	DRFR 48
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

**【機能説明】** DRCR (Data Renewal Check Register) へ設定されているメモリブロックに対して、データ遷移検出の結果を示すレジスタです。DRFR のビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ、それぞれ対応します。データ遷移を検出したメモリブロックに対応するビットが“1”を維持します。本レジスタのビットが遷移するタイミングの詳細については、“**4.2.4 グローバルメモリのデータ遷移検出機能**”を参照してください。

本レジスタのビットの状態は、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“**4.5.7 割込みトリガ発生に連動するレジスタのフリーズ**”を参照してください。

本レジスタの機能は、MKY43 が GMM (Global Memory Monitor) ステーションとして動作している時も有効です。

## 5.5 LGR (Link Group Register)

### アドレス : 320H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 15	LGR 14	LGR 13	LGR 12	LGR 11	LGR 10	LGR 9	LGR 8	LGR 7	LGR 6	LGR 5	LGR 4	LGR 3	LGR 2	LGR 1	LGR 0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### アドレス : 322H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 31	LGR 30	LGR 29	LGR 28	LGR 27	LGR 26	LGR 25	LGR 24	LGR 23	LGR 22	LGR 21	LGR 20	LGR 19	LGR 18	LGR 17	LGR 16
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### アドレス : 324H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 47	LGR 46	LGR 45	LGR 44	LGR 43	LGR 42	LGR 41	LGR 40	LGR 39	LGR 38	LGR 37	LGR 36	LGR 35	LGR 34	LGR 33	LGR 32
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### アドレス : 326H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 63	LGR 62	LGR 61	LGR 60	LGR 59	LGR 58	LGR 57	LGR 56	LGR 55	LGR 54	LGR 53	LGR 52	LGR 51	LGR 50	LGR 49	LGR 48
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** LFR (Link Flag Register) のステータスの監視対象となるビットを設定するレジスタです。

本レジスタのビットは、LFR (Link Flag Register) のビットに対応します。

本レジスタのビットへ“1”を設定してリンク監視対象の CUnet ステーションを設定することにより、任意の CUnet ステーションのリンクステータスを一括監視することが可能となります。

## 5.6 MGR (Member Group Register)

### アドレス : 328H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 15	MGR 14	MGR 13	MGR 12	MGR 11	MGR 10	MGR 9	MGR 8	MGR 7	MGR 6	MGR 5	MGR 4	MGR 3	MGR 2	MGR 1	MGR 0
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

### アドレス : 32AH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 31	MGR 30	MGR 29	MGR 28	MGR 27	MGR 26	MGR 25	MGR 24	MGR 23	MGR 22	MGR 21	MGR 20	MGR 19	MGR 18	MGR 17	MGR 16
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

### アドレス : 32CH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 47	MGR 46	MGR 45	MGR 44	MGR 43	MGR 42	MGR 41	MGR 40	MGR 39	MGR 38	MGR 37	MGR 36	MGR 35	MGR 34	MGR 33	MGR 32
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

### アドレス : 32EH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 63	MGR 62	MGR 61	MGR 60	MGR 59	MGR 58	MGR 57	MGR 56	MGR 55	MGR 54	MGR 53	MGR 52	MGR 51	MGR 50	MGR 49	MGR 48
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

**【機能説明】** MFR (Member Flag Register) のステータスの監視対象となるビットを設定するレジスタです。  
 本レジスタのビットは、MFR (Member Flag Register) のビットに対応します。  
 本レジスタのビットへ“1”を設定してメンバグループを設定することより、任意の CUnet ステーションのメンバステータスを一括監視することが可能となります。

## 5.7 DRCR (Data Renewal Check Register)

### アドレス : 330H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 15	DRCR 14	DRCR 13	DRCR 12	DRCR 11	DRCR 10	DRCR 9	DRCR 8	DRCR 7	DRCR 6	DRCR 5	DRCR 4	DRCR 3	DRCR 2	DRCR 1	DRCR 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### アドレス : 332H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 31	DRCR 30	DRCR 29	DRCR 28	DRCR 27	DRCR 26	DRCR 25	DRCR 24	DRCR 23	DRCR 22	DRCR 21	DRCR 20	DRCR 19	DRCR 18	DRCR 17	DRCR 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W														

### アドレス : 334H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 47	DRCR 46	DRCR 45	DRCR 44	DRCR 43	DRCR 42	DRCR 41	DRCR 40	DRCR 39	DRCR 38	DRCR 37	DRCR 36	DRCR 35	DRCR 34	DRCR 33	DRCR 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W														

### アドレス : 336H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 63	DRCR 62	DRCR 61	DRCR 60	DRCR 59	DRCR 58	DRCR 57	DRCR 56	DRCR 55	DRCR 54	DRCR 53	DRCR 52	DRCR 51	DRCR 50	DRCR 49	DRCR 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W														

**【機能説明】** グローバルメモリのデータ遷移を検出する機能を利用する際に、データ遷移を検出したいメモリブロック (MB) に対応するビットを予め設定するレジスタです。“1”をライトしたビットが検出の対象です。DRCR のビット 0 が MB0 に、ビット 7 が MB7 に、ビット 63 が MB63 にそれぞれ対応します。

本レジスタの機能は、MKY43 が GMM (Global Memory Monitor) ステーションとして動作している時にも有効です。



**注意事項**

自己ステーションが占有しているメモリブロックに対しては、対象の DRCR に “1” が設定されていても、データ遷移を検出する機能は働きません。

## 5.8 RHCR0 (Read Hazard Control Register 0)

アドレス : 338H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	MB5	MB4	MB3	MB2	MB1	MB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** リード・ハザード防止機能を制御するレジスタです。  
 グローバルメモリ (GM) から MB 内の 64 ビットデータを RHPB0 (Read Hazard Protection Buffer 0) へコピーさせる際に、コピー元のメモリブロック (MB : Memory Block : “00H ~ 3FH”) 番号を本レジスタへライトしてください。

## 5.9 RHCR1 (Read Hazard Control Register 1)

アドレス : 33AH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	MB5	MB4	MB3	MB2	MB1	MB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** リード・ハザード防止機能を制御するレジスタです。  
 グローバルメモリ (GM) から MB 内の 64 ビットデータを RHPB1 (Read Hazard Protection Buffer 1) へコピーさせる際に、コピー元のメモリブロック (MB : Memory Block : “00H ~ 3FH”) 番号を本レジスタへライトしてください。

## 5.10 WHCR0 (Write Hazard Control Register 0)

アドレス : 33CH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	MB5	MB4	MB3	MB2	MB1	MB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** ライト・ハザード防止機能を制御するレジスタです。

WHPB0 (Write Hazard Protection Buffer 0) 内の 64 ビットデータを、グローバルメモリ (GM) 内の指定されるメモリブロック (MB) へ一括ライトさせる際に、ライト先のメモリブロック (MB : Memory Block : “00H ~ 3FH”) 番号を本レジスタへライトしてください。

## 5.11 WHCR1 (Write Hazard Control Register 1)

アドレス : 33EH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	MB5	MB4	MB3	MB2	MB1	MB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** ライト・ハザード防止機能を制御するレジスタです。

WHPB1 (Write Hazard Protection Buffer 1) 内の 64 ビットデータを、グローバルメモリ (GM) 内の指定されるメモリブロック (MB) へ一括ライトさせる際に、ライト先のメモリブロック (MB : Memory Block : “00H ~ 3FH”) 番号を本レジスタへライトしてください。



**注意事項**

以下の場合、グローバルメモリ (GM) はライトプロテクトされます。同様に、WHCR0 および WHCR1 も、ライトプロテクトされます。

- SCR (System Control Register) の GMM ビットが “1” である時。
- SCR の START ビットが “1” であり、且つ、占有エリア以外の MB 値が WHCR0、もしくは、WHCR1 へ書き込まれた時。

## 5.12 MSLR (Mail Send Limit time Register)

アドレス : 340H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	LMT 12	LMT 11	LMT 10	LMT 9	LMT 8	LMT 7	LMT 6	LMT 5	LMT 4	LMT 3	LMT 2	LMT 1	LMT 0
初期値:	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 【機能説明】** メール送信のタイムアウト値を設定するレジスタです。
- 本レジスタの LMT0 ~ 12 (LiMit Time) ビットへは、サイクルタイムを 1 単位とする、ユーザシステムが定めるタイムアウト値 (16 進数: “0004H ~ 1FFFH”) をライトしてください。
- 本レジスタは、MSCR (Mail Sned Control Register) のビット 14 (SEND) が “1” (メール送信中) の場合は、ライトプロテクトされます。
- 本レジスタへは、ハードウェアリセットがアクティブになると、初期値として 1FFFH が設定されます。
- 本レジスタの値が “0000H ~ 0003H” である時にメール送信開始操作を行なった場合には、LMFLT (LiMit time FauLT) エラーが発生し、メールは送信されません。

## 5.13 MSRR (Mail Send Result Register)

アドレス : 342H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	RLT 12	RLT 11	RLT 10	RLT 9	RLT 8	RLT 7	RLT 6	RLT 5	RLT 4	RLT 3	RLT 2	RLT 1	RLT 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- 【機能説明】** メール送信に要した所要時間が格納されるレジスタです。
- メール送信終了時に、メール送信の開始から終了までに要した所要時間となるサイクル数 (16 進数) が、RLT0 ~ 12 (ResuLt Time) ビットへ設定されます。
- 本レジスタは、次回のメール送信の終了まで値を維持します。

## 5.14 MESR (Mail Error Status Register)

アドレス : 344H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	STOP	LMFLT	SZFLT	TOUT	NOEX	NORDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** メール送信の開始以後、メール送信エラーが発生した場合のエラー内容を示すレジスタです。メール送信エラーの発生種別に対応するビットが“1”へ遷移します。ビット0～5が存在するアドレスへ、任意のデータをライトすることにより、全てのビットは“0”へクリアされます。

## ●ビット説明

NORDY (destination NOt ReaDY) ビット (ビット0)

**【機能】** 本ビットは、送信先の受信バッファが受信許可されていなかったことによるメール送信エラーの発生を示します。

NOEX (destination NOt EXist) ビット (ビット1)

**【機能】** 本ビットは、MSCR (Mail Send Control Register) に設定した送信先の CUnet ステーションが存在しなかったことによるメール送信エラーの発生を示します。

TOUT (limit Time OUT) ビット (ビット2)

**【機能】** 本ビットは、MSLR (Mail Send Limit time Register) に設定されているサイクル回数を経過してもメール送信が完了しなかったことによるメール送信エラーの発生を示します。

SZFLT (SiZe FauLT) ビット (ビット3)

**【機能】** 本ビットは、MSCR (Mail Send Control Register) に設定したメール送信サイズが不正値であったことによるメール送信エラーの発生を示します。

LMFLT (LiMit time FauLT) ビット (ビット4)

**【機能】** 本ビットは、MSLR (Mail Send Limit time Register) に設定した値が不正であったことによるメール送信エラーの発生を示します。

STOP (communication STOPped) ビット (ビット5)

**【機能】** 本ビットは、メール送信中のネットワーク停止によるメール送信エラーの発生を示します。

## 5.15 MSCR (Mail Send Control Register)

アドレス : 346H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERR	SEND	DST5	DST4	DST3	DST2	DST1	DST0	---	---	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W						

**【機能説明】** MSB (Mail Send Buffer) ヘライトしたデータセットのメール送信をコントロールするレジスタです。

### ●ビット説明

SZ0 ~ 5 (send SiZe) ビット (ビット0 ~ 5)

**【機能】** 本ビットへは、メール送信用のデータセットのサイズを設定します。

SEND ビット (ビット14) へ “1” をライトする以前かあるいは同時に、メール送信用データセットのサイズ (16 進数) をライトしてください。データセットのサイズは、8 バイトを 1 単位とした値です。例えば、データセットが 34 バイトである場合のサイズは “05H” です。データセットが最大の 256 バイトである場合のサイズは “20H” です。

サイズの値に、誤って “00H” もしくは、“21H ~ 3FH” を設定した場合には、SZFLT (SiZe FauLT) エラーが発生し、メールは送信されません。

DST0 ~ 5 (DeSTination station address) ビット (ビット8 ~ 13)

**【機能】** 本ビットへは、メールを送信する宛先のステーションアドレスを設定します。

SEND ビット (ビット14) へ “1” をライトする以前かあるいは同時に、メールを送信する宛先のステーションアドレス (16 進数) をライトしてください。

SEND (mail SEND) ビット (ビット14)

**【機能】** 本ビットは、メール送信を開始します。

メール送信を開始する時に、本ビットへ “1” をライトしてください。

本ビットは、ERR ビット (ビット15) が “1” である場合、ライトプロテクトされます。

本ビットは、メール送信が終了 (正常な終了あるいはエラー発生による中断) した場合、“0” へクリアされます。

本ビットが “1” の時 (メール送信中) は、MSB へのライトはプロテクトされます。また本ビットが “1” の時に MSB をリードした場合に、リードによって読み出されるデータは “00H” です。

ERR (mail send ERRor) ビット (ビット15)

**【機能】** 本ビットは、メール送信がエラー終了したことを示します。

本ビットは、メール送信時にエラーが発生した時、“1” へ遷移します。

MESR (Mail Error Status Register) の全ビットが “0” へクリアされると、本ビットも “0” へクリアされます。

## 5.16 MR0CR (Mail Receive 0 Control Register)

アドレス : 348H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRC0	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

**【機能説明】** MRB0 (Mail Receive Buffer 0) に対応するメール受信をコントロールするレジスタです。

### ●ビット説明

SZ0 ~ 5 (receive SiZe) ビット (ビット 0 ~ 5)

**【機能】** 本ビットへは、MRB0 がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

RDY (receive ReaDY) ビット (ビット 6)

**【機能】** 本ビットへは、MRB0 のメール受信許可を設定します。

本ビットは、SCR の START ビットが “1” の時に操作できます。

本ビットへ “1” をライトすることにより、MRB0 のメール受信を許可します。

本ビットが “0” の時は、MRB0 のメール受信を禁止します。

MRB0 へのメール受信中は、本ビット値を “1” から “0” へ設定することはできません。このため、“0” をライトした際は、本ビットをリードしてビットの状態を確認してください。

本ビットへ “1” をライトすると、RCV ビットへは強制的に “0” が設定されます。

本ビットが “1” の時は、MRB0 へのライトはプロテクトされます。また本ビットが “1” の時に MRB0 をリードした場合に、リードによって読み出されるデータは “00H” です。

本ビットが “1” の時に、SCR の START ビットが “0” へ遷移すると、本ビットも “0” へ遷移します。

RCV (ReCeived) ビット (ビット 7)

**【機能】** 本ビットは、メールの受信完了を示します。

本ビットは、メールの受信完了により “1” へ遷移します。本ビットが “1” になると同時に、RDY ビット (ビット 6) が “0” へ遷移します。RDY ビットへ “1” をライトすると、本ビットへは “0” が設定されます。また、RDY ビットへ “1” をライトせずに直接本ビットへ “0” をライトすることによって、本ビットを強制的に “0” にすることも可能です。

本ビットが “1” の時は、MRB0 へのライトはプロテクトされます。

SRC0 ~ 5 (SouRCe station address) ビット (ビット 8 ~ 13)

**【機能】** 本ビットへは、MRB0 へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

## 5.17 MR1CR (Mail Receive 1 Control Register)

アドレス : 34AH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRC0	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

**【機能説明】** MRB1 (Mail Receive Buffer 1) に対応するメール受信をコントロールするレジスタです。

### ●ビット説明

SZ0 ~ 5 (receive SiZe) ビット (ビット 0 ~ 5)

**【機能】** 本ビットへは、MRB1 がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

RDY (receive ReaDY) ビット (ビット 6)

**【機能】** 本ビットへは、MRB1 のメール受信許可を設定します。

本ビットは、SCR の START ビットが “1” の時に操作できます。

本ビットへ “1” をライトすることにより、MRB1 のメール受信を許可します。

本ビットが “0” の時は、MRB1 のメール受信を禁止します。

MRB1 のメール受信中は、本ビット値を “1” から “0” へ設定することはできません。このため、“0” をライトした際は、本ビットをリードしてビットの状態を確認してください。

本ビットへ “1” をライトすると、RCV ビットへは強制的に “0” が設定されます。

本ビットが “1” の時は、MRB1 へのライトはプロテクトされます。また本ビットが “1” の時に MRB1 をリードした場合に、リードによって読み出されるデータは “00H” です。

本ビットが “1” の時に、SCR の START ビットが “0” へ遷移すると、本ビットも “0” へ遷移します。

RCV (ReCeived) ビット (ビット 7)

**【機能】** 本ビットは、メールの受信完了を示します。

本ビットは、メールの受信完了により “1” へ遷移します。本ビットが “1” になると同時に、RDY ビット (ビット 6) が “0” へ遷移します。RDY ビットへ “1” をライトすると、本ビットへは “0” が設定されます。また、RDY ビットへ “1” をライトせずに直接本ビットへ “0” をライトすることによって、本ビットを強制的に “0” にすることも可能です。

本ビットが “1” の時は、MRB1 へのライトはプロテクトされます。

SRC0 ~ 5 (SouRCe station address) ビット (ビット 8 ~ 13)

**【機能】** 本ビットへは、MRB1 へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。

本ビットは、RCV もしくは RDY ビットへデータをライトすると、“00H” へクリアされます。

## 5.18 CCTR (Care CounTer Register)

アドレス : 34CH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCC 7	MCC 6	MCC 5	MCC 4	MCC 3	MCC 2	MCC 1	MCC 0	LCC 7	LCC 6	LCC 5	LCC 4	LCC 3	LCC 2	LCC 1	LCC 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

**【機能説明】** LCARE 信号および MCARE 信号の発生回数が格納されるレジスタです。

### ●ビット説明

LCC0 ~ 7 (Link Care Counter) ビット (ビット 0 ~ 7)

**【機能】** 本ビットへは、LCARE 信号の発生回数が格納されます。

本ビットによって、LCARE 信号の発生回数 (16 進数) がカウントされます。

発生回数は、“FFH” までカウントすると、“FFH” の値を維持します。

本ビットは、LCC0 ビット (ビット 0) へ “1” をライトすることにより、カウント値を “00H” へクリアできます。

MCC0 ~ 7 (Member Care Counter) ビット (ビット 8 ~ 15)

**【機能】** 本ビットへは、MCARE 信号の発生回数が格納されます。

本ビットによって、MCARE 信号の発生回数 (16 進数) がカウントされます。

発生回数は、“FFH” までカウントすると、“FFH” の値を維持します。

本ビットは、MCC0 ビット (ビット 8) へ “1” をライトすることにより、カウント値を “00H” へクリアできます。

## 5.19 UTCR (UTility pin Control Register)

アドレス : 34EH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	OE2	SS2	---	---	---	---	---	---	OE1	SS1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

**[機能説明]** UTY1(UTility 1) 端子 (端子 51) および UTY2(UTility 2) 端子 (端子 54) の設定を行なうレジスタです。設定概要を、表 5-2 に示します。

SS1 (Signal Select for utility-1) ビット (ビット 0) と、OE1 (Output Enable for utility-1) ビット (ビット 1) により、UTY1 端子を制御します。

SS2 (Signal Select for utility-2) ビット (ビット 8) と、OE2 (Output Enable for utility-2) ビット (ビット 9) により、UTY2 端子を制御します。

**表 5-2 UTCR のビット定義**

● UTY1 端子コントロール

ビット 1	ビット 0	説明
OE1	SS1	
0	0	UTY1 端子は、ハイインピーダンス (内部プルアップ)
	1	
1	0	UTY1 端子へ、#PING 信号を出力
	1	UTY1 端子へ、#CYCT 信号を出力

● UTY2 端子コントロール

ビット 9	ビット 8	説明
OE2	SS2	
0	0	UTY2 端子は、ハイインピーダンス (内部プルアップ)
	1	
1	0	UTY2 端子へ、#PING 信号を出力
	1	UTY2 端子へ、#CYCT 信号を出力

## 5.20 QCR (Query Control Register)

アドレス : 350H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	TYP4	TYP3	TYP2	TYP1	TYP0	PING	TQ	TS5	TS4	TS3	TS2	TS1	TS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** PING 機能および他の CUNet ステーションのモードを検出する機能（クエリ）をコントロールするレジスタです。

### ●ビット説明

TS0 ~ 5 (Target Station) ビット (ビット 0 ~ 5)

**【機能】** 本ビットへは、PING およびクエリの対象とするステーションアドレスを設定します。

TQ (Try Query) ビット (ビット 6)

**【機能】** 本ビットは、クエリの実施を操作します。

本ビットへ“1”をライトすることによって、TS0 ~ TS5 ビットへ設定したステーションアドレスの CUNet ステーションに対してクエリを実施します。クエリ完了後に本ビットは“0”へリセットされます。対象の CUNet ステーションが存在しない場合は、本ビットは“1”のままになります。数サイクル時間が経過しても本ビットが“0”へリセットされない場合は、本ビットへ“0”をライトしてクエリを終了させてください。

本ビットと PING ビットの両方が“1”となるデータのライトはプロテクトされます。

PING (PING) ビット (ビット 7)

**【機能】** 本ビットは、PING 命令の発行を操作するビットです。

本ビットへ“1”をライトすることにより、TS0 ~ TS5 ビットへ設定したステーションアドレスの CUNet ステーションに対して PING 命令を送信します。送信完了後に本ビットは、“0”へ遷移します。

本ビットと、TQ ビットの両方が“1”となるデータのライトはプロテクトされます。

TYP0 ~ 4 (station TYPE) ビット (ビット 8 ~ 12)

**【機能】** 本ビットへは、他の CUNet ステーションのモードを検出する機能（クエリ）が完了した時に、表 5-3 のタイプコードが設定されます。

表 5-3 クエリ完了によるタイプコード

ビット 8 ~ 12 へセットされるタイプコード	CUNet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H ~ 1FH	メーカーリザーブ	

## 5.21 NFSR (New Final Station Register)

アドレス : 352H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	NFS5	NFS4	NFS3	NFS2	NFS1	NFS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

**【機能説明】** リサイズを操作する時に、新たな FS (Final Station) 値をライトするレジスタです。

本レジスタの NFS0 ~ 5 (New Final Station) ビットへ、16 進数の NFS (New Final Station) 値をライトすることにより、リサイズが実行されます。

本レジスタへのライトは、本デバイス (MKY43) がランフェーズでない時は無視されます。また本レジスタへのライト値が、自己ステーションの占有エリアを除外する値である時にも無視されます (“4.4.2.2 リサイズの拒否” を参照)。

本レジスタは、リサイズ命令を 4 回通信ラインへ送信し終わると、“00H” へ遷移します。

本レジスタは、リサイズオーバーラップが発生した場合、およびネットワーク停止した場合も、“00H” へ遷移します。

リサイズ操作の詳細については、“4.4.2 サイクルタイムの変更 (リサイズ)” を参照してください。

## 5.22 FSR (Final Station Register)

アドレス : 354H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	FS5	FS4	FS3	FS2	FS1	FS0
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

**【機能説明】** 16 進数の FS (Final Station) 値が FS0 ~ 5 (Final Station) ビットへ格納される、リード専用のレジスタです。

### 5.23 BCR (Basic Control Register)

アドレス : 356H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFS	---	OWN5	OWN4	OWN3	OWN2	OWN1	OWN0	BPS1	BPS0	SA5	SA4	SA3	SA2	SA1	SA0
初期値:	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

**【機能説明】** CUnet を構築する MKY43 の基本設定が格納されるレジスタです。

本レジスタは、SCR (System Control Register) の GMM ビット (ビット 15) が “1” の時のみライトが可能です。

●ビット説明

SA0 ~ 5 (Station Address) ビット (ビット 0 ~ 5)

**【機能】** 本ビットへは、ステーションアドレス (SA) を設定します。

BPS0, 1 (BPS) ビット (ビット 6, 7)

**【機能】** 本ビットへは、転送レートを設定します。  
各ビット値と転送レートの関係を、表 5-4 に示します。

表 5-4 各ビット値と転送レート (48MHz 駆動クロック時)

ビット 7 : BPS1	ビット 6 : BPS0	転送レート
1	1	12Mbps
1	0	6Mbps
0	1	3Mbps
0	0	EXC 入カクロック × 1/4

OWN0 ~ 5 (OWN width) ビット (ビット 8 ~ 13)

**【機能】** 本ビットへは、占有幅 (OWN width) のブロック数を設定します。

LFS (Long Frame Select) ビット (ビット 15)

**【機能】** 本ビットへは、MKY43 のフレームオプションを設定します。  
本ビットへ “1” をライトすることにより、フレームオプションが設定されます。  
フレームオプションに関する詳細については、“4.4.9 フレームオプション [HUB 対応]” を参照してください。



**注意事項**

OWN0 ~ OWN5 ビットにすべて “0” を書き込んだ場合、OWN0 ビットが “1” になります。

## 5.24 INT0CR (INTerrupt 0 Control Register)

アドレス : 358H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

**【機能説明】** #INT0 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INT0CR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT0 端子の機能がイネーブルになります。

### ●ビット説明

ALM (ALArM) ビット (ビット0)

**【機能】** 本ビットは、サイクル中のステーションタイムが予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻になったことによる割込みトリガ発生をイネーブルにします。

DR (Data Renewal) ビット (ビット1)

**【機能】** 本ビットは、予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出による割込みトリガ発生をイネーブルにします。

本ビットは、INT1CR (INTerrupt 1 Control Register) の同ビット値が“1”の時に、“1”のライトがプロテクトされます。

MR (Mail Receive) ビット (ビット2)

**【機能】** 本ビットは、メール受信完了による割込みトリガ発生をイネーブルにします。

MSF (Mail Send Finish) ビット (ビット3)

**【機能】** 本ビットは、メール送信 (正常あるいはエラーに関わらず) 終了による割込みトリガ発生をイネーブルにします。

MGNE (Member Group Not Equal) ビット (ビット4)

**【機能】** 本ビットは、“MGR ≠ MFR” の判定結果による割込みトリガ発生をイネーブルにします。

MGNC (Member Group Not Collect) ビット (ビット5)

**【機能】** 本ビットは、“MGR > MFR” の判定結果による割込みトリガ発生をイネーブルにします。

RC (Resize Complete) ビット (ビット6)

**【機能】** 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより、自己ステーションのリサイズ完了による割込みトリガ発生をイネーブルにします。

RSTP (Run SToP) ビット (ビット7)

**【機能】** 本ビットは、ネットワーク停止による割込みトリガ発生をイネーブルにします。

RSTR (Run STaRt) ビット (ビット8)

**【機能】** 本ビットは、ランフェーズへ遷移したことによる割込みトリガ発生をイネーブルにします。

**MC (Member Change) ビット (ビット 9)**

**【機能】** 本ビットは、MFR (Member Flag Register) の内、“1”であるビット数の増減による割込みトリガ発生をイネーブルにします。  
この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

**LOK (Link group OK) ビット (ビット 10)**

**【機能】** 本ビットは、“リンク OK”の判定結果による割込みトリガ発生をイネーブルにします。  
この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

**LNG (Link group No Good) ビット (ビット 11)**

**【機能】** 本ビットは、“リンク NG (No Good)”の判定結果による割込みトリガ発生をイネーブルにします。  
この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

**BD (Break Detect) ビット (ビット 12)**

**【機能】** 本ビットは、他の CUnet ステーションから送信されるブレイクパケット受信による割込みトリガ発生をイネーブルにします。

**RO (Resize Overlap) ビット (ビット 13)**

**【機能】** 本ビットは、リサイズオーバーラップによる割込みトリガ発生をイネーブルにします。

**PR (Ping Receive) ビット (ビット 14)**

**【機能】** 本ビットは、他の CUnet ステーションからの PING 命令受信による割込みトリガ発生をイネーブルにします。

**JD (Jammer Detect) ビット (ビット 15)**

**【機能】** 本ビットは、ジャマー検出による割込みトリガ発生をイネーブルにします。

## 5.25 INT1CR (INTerrupt 1 Control Register)

アドレス : 35AH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

**【機能説明】** #INT1 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INT1CR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT1 端子の機能がイネーブルになります。

### ●ビット説明

ALM (ALArM) ビット (ビット0)

**【機能】** 本ビットは、サイクル中のステーションタイムが予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻になったことによる割込みトリガ発生をイネーブルにします。

DR (Data Renewal) ビット (ビット1)

**【機能】** 本ビットは、予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出による割込みトリガ発生をイネーブルにします。

本ビットは、INT0CR (INTerrupt 0 Control Register) の同ビット値が“1”の時に、“1”のライトがプロテクトされます。

MR (Mail Receive) ビット～ JD (Jammer Detect) ビット (ビット2～15)

**【機能】** 本ビットについては、“5.24 INT0CR” に記述された同ビットの説明を参照してください。

## 5.26 IT0CR (Interrupt Timing 0 Control Register)

アドレス : 35CH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	DR6	DR5	DR4	DR3	DR2	DR1	DR0	---	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

**【機能説明】** #INT0 端子の割込みトリガ発生機能における、DR (Data Renewal) 割込みトリガ発生タイミング、および ALM (ALArM) 割込みトリガ発生タイミングのそれぞれを設定するレジスタです。それぞれの割込みトリガは、設定値とステーションタイムが一致した時点で発生します。

### ●ビット説明

ALM0 ~ 6 (ALArM) ビット (ビット0 ~ 6)

**【機能】** 本ビットへは、ALM (ALArM) の割込み発生要因による割込みトリガの発生タイミングを設定します。本ビットへは、“0 ~ 127 (00H ~ 7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値をライトしないでください。

DR0 ~ 6 (Data Renewal) ビット (ビット8 ~ 14)

**【機能】** 本ビットは、DR (Data Renewal) の割込み発生要因による割込みトリガの発生タイミングを設定するビットです。本ビットへは、“0 ~ 127 (00H ~ 7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値はライトしないでください。

## 5.27 IT1CR (Interrupt Timing 1 Control Register)

アドレス : 35EH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	DR6	DR5	DR4	DR3	DR2	DR1	DR0	---	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

**【機能説明】** #INT1 端子の割込みトリガ発生機能における、DR (Data Renewal) 割込みトリガ発生タイミング、および ALM (ALArM) 割込みトリガ発生タイミングのそれぞれを設定するレジスタです。それぞれの割込みトリガは、設定値とステーションタイムが一致した時点で発生します。

### ●ビット説明

ALM0 ~ 6 (ALArM) ビット (ビット0 ~ 6)、および DR0 ~ 6 (Data Renewal) ビット (ビット8 ~ 14)

**【機能】** 本ビットについては、“5.26 IT0CR” に記述された同ビットの説明を参照してください。

## 5.28 INT0SR (INTerrupt 0 Status Register)

アドレス : 360H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

**【機能説明】** #INT0 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。

#INT0 端子の出力レベルは、本レジスタのビットが全て“0”になると、Hi レベル出力を維持する状態へ戻ります。

本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください(“0”をライトしても無視されます)。

### ●ビット説明

ALM (ALArM) ビット (ビット0)

**【機能】** 本ビットは、サイクル中のステーションタイムが予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻になったことにより割込みトリガが発生したことを示します。

DR (Data Renewal) ビット (ビット1)

**【機能】** 本ビットは、予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出によって割込みトリガが発生したことを示します。

MR (Mail Receive) ビット (ビット2)

**【機能】** 本ビットは、メール受信完了によって割込みトリガが発生したことを示します。

MSF (Mail Send Finish) ビット (ビット3)

**【機能】** 本ビットは、メール送信 (正常あるいはエラーに関わらず) 終了によって割込みトリガが発生したことを示します。

MGNE (Member Group Not Equal) ビット (ビット4)

**【機能】** 本ビットは、MGR ≠ MFR 判定結果によって割込みトリガが発生したことを示すビットです。

MGNC (Member Group Not Collect) ビット (ビット5)

**【機能】** 本ビットは、“MGR > MFR” の判定結果によって割込みトリガが発生したことを示します。

RC (Resize Complete) ビット (ビット6)

**【機能】** 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより自己ステーションのリサイズ完了による割込みトリガが発生したことを示します。

RSTP (Run SToP) ビット (ビット7)

**【機能】** 本ビットは、ネットワーク停止によって割込みトリガが発生したことを示します。

**第5章 MKY43 のレジスタリファレンス**

---

**RSTR (Run STaRt) ビット (ビット 8)**

**【機能】** 本ビットは、ランフェーズへ遷移したことによって割込みトリガが発生したことを示します。

**MC (Member Change) ビット (ビット 9)**

**【機能】** 本ビットは、MFR (Member Flag Register) の“1”であるビット数の増減によって割込みトリガが発生したことを示します。

**LOK (Link group OK) ビット (ビット 10)**

**【機能】** 本ビットは、“リンク OK”の判定結果によって割込みトリガが発生したことを示します。

**LNG (Link group No Good) ビット (ビット 11)**

**【機能】** 本ビットは、“リンク NG (No Good)”の判定結果によって割込みトリガが発生したことを示します。

**BD (Break Detect) ビット (ビット 12)**

**【機能】** 本ビットは、他の CUnet ステーションから送信されるブレイクパケットを受信したことによって割込みトリガが発生したことを示します。

**RO (Resize Overlap) ビット (ビット 13)**

**【機能】** 本ビットは、リサイズオーバーラップが発生したことによって割込みトリガが発生したことを示すビットです。

**PR (Ping Receive) ビット (ビット 14)**

**【機能】** 本ビットは、他の CUnet ステーションからの PING 命令を受信したことによって割込みトリガが発生したことを示します。

**JD (Jammer Detect) ビット (ビット 15)**

**【機能】** 本ビットは、ジャマー検出によって割込みトリガが発生したことを示します。

## 5.29 INT1SR (INTerrupt 1 Status Register)

アドレス : 362H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

**【機能説明】** #INT1 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。

#INT1 端子の出力レベルは、本レジスタのビットが全て“0”になると、Hi レベル出力を維持する状態へ戻ります。

本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください（“0”をライトしても無視されます）。

### ●ビット説明

ALM (ALArM) ビット (ビット0)

**【機能】** 本ビットは、サイクル中のステーションタイムが予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻になったことにより割込みトリガが発生したことを示します。

DR (Data Renewal) ビット (ビット1)

**【機能】** 本ビットは、予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出によって割込みトリガが発生したことを示します。

MR (Mail Receive) ビット (ビット2)

**【機能】** 本ビットは、メール受信完了によって割込みトリガが発生したことを示します。

MSF (Mail Send Finish) ビット (ビット3)

**【機能】** 本ビットは、メール送信（正常あるいはエラーに関わらず）終了によって割込みトリガが発生したことを示します。

MGNE (Member Group Not Equal) ビット (ビット4)

**【機能】** 本ビットは、MGR ≠ MFR 判定結果によって割込みトリガが発生したことを示すビットです。

MGNC (Member Group Not Collect) ビット (ビット5)

**【機能】** 本ビットは、“MGR > MFR” の判定結果によって割込みトリガが発生したことを示します。

RC (Resize Complete) ビット (ビット6)

**【機能】** 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより自己ステーションのリサイズ完了による割込みトリガが発生したことを示します。

RSTP (Run SToP) ビット (ビット7)

**【機能】** 本ビットは、ネットワーク停止によって割込みトリガが発生したことを示します。

**第5章 MKY43 のレジスタリファレンス**

---

**RSTR (Run STaRt) ビット (ビット 8)**

**【機能】** 本ビットは、ランフェーズへ遷移したことによって割込みトリガが発生したことを示します。

**MC (Member Change) ビット (ビット 9)**

**【機能】** 本ビットは、MFR (Member Flag Register) の“1”であるビット数の増減によって割込みトリガが発生したことを示します。

**LOK (Link group OK) ビット (ビット 10)**

**【機能】** 本ビットは、“リンク OK”の判定結果によって割込みトリガが発生したことを示します。

**LNG (Link group No Good) ビット (ビット 11)**

**【機能】** 本ビットは、“リンク NG (No Good)”の判定結果によって割込みトリガが発生したことを示します。

**BD (Break Detect) ビット (ビット 12)**

**【機能】** 本ビットは、他の CUnet ステーションから送信されるブレイクパケットを受信したことによって割込みトリガが発生したことを示します。

**RO (Resize Overlap) ビット (ビット 13)**

**【機能】** 本ビットは、リサイズオーバーラップが発生したことによって割込みトリガが発生したことを示すビットです。

**PR (Ping Receive) ビット (ビット 14)**

**【機能】** 本ビットは、他の CUnet ステーションからの PING 命令を受信したことによって割込みトリガが発生したことを示します。

**JD (Jammer Detect) ビット (ビット 15)**

**【機能】** 本ビットは、ジャマー検出によって割込みトリガが発生したことを示します。

### 5.30 SSR (System Status Register)

アドレス : 364H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC	NM	LNG	LOK	DR	BD	JD	RO	MSE	MR	MGNC	MGNE	---	---	---	---
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

**【機能説明】** ネットワークの稼動における各種ステータスが格納されるレジスタです (本レジスタの一部ビットの更新時期となる、“ステータス管理の起点時期”については、“4.2.3.2 ステータス管理の起点時期および特例”を参照してください)。

#### ●ビット説明

MGNE (Member Group Not Equal) ビット (ビット4)

**【機能】** 本ビットは、MGR のいずれかのビットが "1" である時に、“MGR ≠ MFR”を示します。  
本ビットへは、“ステータス管理の起点時期”において、MGR (Member Group Register) のビットの状態と MFR (Member Flag Register) のビットの状態が一致していない場合に “1” が設定されます。それ以外の場合は、“0” が設定されます。

MGNC (Member Group Not Collect) ビット (ビット5)

**【機能】** 本ビットは、MGR のいずれかのビットが "1" である時に、“MGR > MFR”を示します。  
本ビットへは、“ステータス管理の起点時期”において、MGR が “1” である対象の MFR 内のいずれかのビットが “0” である場合に “1” が設定されます。それ以外の場合は、“0” が設定されます。

MR (Mail Received) ビット (ビット6)

**【機能】** 本ビットは、メール受信の完了を示します。  
本ビットへは、MRB0 (Mail Receive Buffer 0) または MRB1 (Mail Receive Buffer 1) へメールによるデータセットの受信が完了した時、“1” が設定されます。  
MR0CR (Mail Receive 0 Control Register) および MR1CR (Mail Receive 1 Control Register) の両方の RCV (ReCeived) ビットが “0” へクリアされると、本ビットも “0” にクリアされます。

MSE (Mail Send Error) ビット (ビット7)

**【機能】** 本ビットは、メール送信がエラー終了したことを示します。  
本ビットへは、メール送信時にエラーが発生した時、“1” が設定されます。MESR (Mail Error Status Register) 全てのビットが “0” へクリアされると、本ビットも “0” へクリアされます。

RO (Resize Overlap) ビット (ビット8)

**【機能】** 本ビットは、“リサイズオーバーラップ検出”を示します。  
本ビットへは、自己ステーションのリサイズ操作が、他の CUnet ステーションのリサイズ操作と重複したことにより無効になった時、“1” が設定されます。本ビットへ “1” をライトすると、本ビットは “0” へクリアされます。

JD (Jammer Detect) ビット (ビット9)

**【機能】** 本ビットは、“ジャマー (Jammer) 検出”を示します。  
本ビットへは、ジャマーを検出した時、“1” が設定されます。  
本ビットへ “1” をライトすると、本ビットは “0” へクリアされます。

## BD (Break Detect) ビット (ビット 10)

**【機能】** 本ビットは、“ブレイクフェーズの CUNet ステーション検出”を示します。

本ビットへは、他の CUNet ステーションから送信されたブレイクパケットを受信した時、“1”が設定されます。本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

## DR (Data Renewal) ビット (ビット 11)

**【機能】** 本ビットは、“グローバルメモリのデータ遷移検出”を示します。

本ビットへは、DRCR (Data Renewal Check Register) が“1”である対象のメモリブロックのデータ遷移を検出した時、“1”が設定されます。本ビットが“1”から“0”へ遷移するタイミングは、MKY43 利用の環境によって異なるため、“4.2.4.3 DR ビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”を参照してください。

本ビットは、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

## LOK (Link group OK) ビット (ビット 12)

**【機能】** 本ビットは、“リンク OK”の判定を示します。

本ビットへは、LGR (Link Group Register) のビットが“1”である対象の LFR (Link Flag Register) の全ビットが“1”となった場合に、“1”が設定されます。

本ビットは、“ステータス管理の起点時期”に“0”へクリアされます。但し、本ビットは、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“4.5.7 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

## LNG (Link group No Good) ビット (ビット 13)

**【機能】** 本ビットは、“リンク NG (No Good)”の判定を示します。

本ビットへは、“ステータス管理の起点時期”において、LGR のビットが“1”である対象の LFR 内のいずれかのビットが“0”であった場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

## NM (New Member) ビット (ビット 14)

**【機能】** 本ビットは、“メンバ増加”を示します。

本ビットへは、“ステータス管理の起点時期”において、MFR のいずれかのビットが“0”から“1”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

## MC (Member Care) ビット (ビット 15)

**【機能】** 本ビットは、“メンバ減少”を示します。

本ビットへは、“ステータス管理の起点時期”において、MFR のいずれかのビットが“1”から“0”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

### 5.31 SCR (System Control Register)

アドレス : 366H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GMM	LF	SNF	OC	BRK	CALL	RUN	START	---	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【機能説明】 CUnet のネットワークをコントロールするレジスタです。

●ビット説明

ST0 ~ 6 (Station Time) ビット (ビット 0 ~ 6)

【機能】 本ビットへは、ステーションタイムが設定されます。  
現在のステーションタイム (16 進数) が設定されます。本ビットの値は、サイクルの進行に伴いダイナミックに遷移します。ステーションタイムの詳細については、“4.1.7 サイクル中の詳細タイミング”や“CUnet 導入ガイド”を参照してください。

START (START) ビット (ビット 8)

【機能】 本ビットは、ネットワークの起動と停止を制御します。  
本ビットへ “1” をライトすると、ネットワークが起動します。  
本ビットは、ネットワークの稼動中 “1” を維持します。  
本ビットが “1” である時に “0” をライトすることにより、意図的にネットワークを停止させることができます。

RUN (RUN phase) ビット (ビット 9)

【機能】 本ビットは、本デバイス (MKY43) のフェーズを示します。  
本ビットは、ランフェーズである時 “1” を維持します。

CALL (CALL phase) ビット (ビット 10)

【機能】 本ビットは、本デバイス (MKY43) のフェーズを示します。  
本ビットは、コールフェーズである時 “1” を維持します。

BRK (BRaK phase) ビット (ビット 11)

【機能】 本ビットは、本デバイス (MKY43) のフェーズを示します。  
本ビットは、ブレークフェーズである時 “1” を維持します。

OC (Out of Cycle) ビット (ビット 12)

【機能】 本ビットは、OC (Out of Cycle) によるネットワーク停止を示します。  
本ビットへは、OC によってネットワークが停止した場合に “1” が設定されます。  
本ビットは、ビット 8 (START) へ “1” をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0” へクリアされます。OC に関する詳細については、“4.1.8 ネットワークの停止”を参照してください。

## SNF (Station Not Found) ビット (ビット 13)

- 【機能】** 本ビットは、SNF (Station Not Found) によるネットワーク停止を示します。  
本ビットへは、SNF によってネットワークが停止した場合に“1”が設定されます。  
本ビットは、ビット 8 (START) へ“1”をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0”へクリアされます。SNF に関する詳細については、“**4.1.8 ネットワークの停止**”を参照してください。

## LF (Long Frame) ビット (ビット 14)

- 【機能】** 本ビットは、フレームオプションの状態を示します。  
本ビットは、フレームオプションがセットされた状態の時に“1”を維持します。  
フレームオプションに関する詳細については、“**4.4.9 フレームオプション [HUB 対応]**”を参照してください。

## GMM (Global Memory Monitor) ビット (ビット 15)

- 【機能】** 本ビットは、GMM 機能を操作します。  
本ビットへは、ビット 8 (START) が“0”の時のみ、“1”をライト可能です。  
本ビットへ“1”をライトすると、本デバイス (MKY43) が GMM (Global Memory Monitor) ステーションとして動作します。  
BCR (Basic Control Register) ヘデータをライトする時は、本ビットが“1”である必要があります。  
GMM に関する詳細については、“**4.4.8 GMM (Global Memory Monitor) 機能**”を参照してください。

### 5.32 CCR (Chip Code Register)

アドレス : 368H

ビット:	15 - 8	7 - 0
	4BH "K"	4DH "M"
R/W:	R	R

アドレス : 36AH

ビット:	15 - 8	7 - 0
	34H "4"	59H "Y"
R/W:	R	R

アドレス : 36Ch

ビット:	15 - 8	7 - 0
	5FH "_"	33H "3"
R/W:	R	R

アドレス : 36EH

ビット:	15 - 8	7 - 0
	30H "0"	76H "v"
R/W:	R	R

**【機能説明】** 本レジスタは、リトルエンディアンの CPU から "MKY43\_v0" のバイト型 ASCII コードの文字列をリード可能なレジスタです。MKY43 の組込み状態を確認するために、本レジスタはリードのみが可能です。ビッグエンディアンの CPU からリードすると、文字配列が異なります。

### 5.33 RHPB0 (Read Hazard Protection Buffer 0)

#### アドレス : 370H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB0 15	RHPB0 14	RHPB0 13	RHPB0 12	RHPB0 11	RHPB0 10	RHPB0 9	RHPB0 8	RHPB0 7	RHPB0 6	RHPB0 5	RHPB0 4	RHPB0 3	RHPB0 2	RHPB0 1	RHPB0 0
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 372H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB0 31	RHPB0 30	RHPB0 29	RHPB0 28	RHPB0 27	RHPB0 26	RHPB0 25	RHPB0 24	RHPB0 23	RHPB0 22	RHPB0 21	RHPB0 20	RHPB0 19	RHPB0 18	RHPB0 17	RHPB0 16
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 374H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB0 47	RHPB0 46	RHPB0 45	RHPB0 44	RHPB0 43	RHPB0 42	RHPB0 41	RHPB0 40	RHPB0 39	RHPB0 38	RHPB0 37	RHPB0 36	RHPB0 35	RHPB0 34	RHPB0 33	RHPB0 32
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 376H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB0 63	RHPB0 62	RHPB0 61	RHPB0 60	RHPB0 59	RHPB0 58	RHPB0 57	RHPB0 56	RHPB0 55	RHPB0 54	RHPB0 53	RHPB0 52	RHPB0 51	RHPB0 50	RHPB0 49	RHPB0 48
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

**【機能説明】** リード・ハザード防止機能を制御した時に、グローバルメモリ (GM) 内の 64 ビットのメモリブロック (MB) データが、一括コピーされるバッファです。

本バッファへは、RHCR0 (Read Hazard Control Register 0) へコピー元の MB 番号 (“00H ~ 3FH”) をライトした時に、コピー元のメモリブロック内のデータが複写されます。

### 5.34 RHPB1 (Read Hazard Protection Buffer 1)

#### アドレス : 378H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB1 15	RHPB1 14	RHPB1 13	RHPB1 12	RHPB1 11	RHPB1 10	RHPB1 9	RHPB1 8	RHPB1 7	RHPB1 6	RHPB1 5	RHPB1 4	RHPB1 3	RHPB1 2	RHPB1 1	RHPB1 0
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 37AH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB1 31	RHPB1 30	RHPB1 29	RHPB1 28	RHPB1 27	RHPB1 26	RHPB1 25	RHPB1 24	RHPB1 23	RHPB1 22	RHPB1 21	RHPB1 20	RHPB1 19	RHPB1 18	RHPB1 17	RHPB1 16
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 37CH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB1 47	RHPB1 46	RHPB1 45	RHPB1 44	RHPB1 43	RHPB1 42	RHPB1 41	RHPB1 40	RHPB1 39	RHPB1 38	RHPB1 37	RHPB1 36	RHPB1 35	RHPB1 34	RHPB1 33	RHPB1 32
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

#### アドレス : 37EH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RHPB1 63	RHPB1 62	RHPB1 61	RHPB1 60	RHPB1 59	RHPB1 58	RHPB1 57	RHPB1 56	RHPB1 55	RHPB1 54	RHPB1 53	RHPB1 52	RHPB1 51	RHPB1 50	RHPB1 49	RHPB1 48
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

**【機能説明】** リード・ハザード防止機能を制御した時に、グローバルメモリ (GM) 内の 64 ビットのメモリブロック (MB) データが、一括コピーされるバッファです。

本バッファへは、RHCR1 (Read Hazard Control Register 1) へコピー元の MB 番号 (“00H ~ 3FH”) をライトした時に、コピー元のメモリブロック内のデータが複写されます。

### 5.35 WHPB0 (Write Hazard Protection Buffer 0)

#### アドレス : 380H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WHPB0 15	WHPB0 14	WHPB0 13	WHPB0 12	WHPB0 11	WHPB0 10	WHPB0 9	WHPB0 8	WHPB0 7	WHPB0 6	WHPB0 5	WHPB0 4	WHPB0 3	WHPB0 2	WHPB0 1	WHPB0 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### アドレス : 382H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WHPB0 31	WHPB0 30	WHPB0 29	WHPB0 28	WHPB0 27	WHPB0 26	WHPB0 25	WHPB0 24	WHPB0 23	WHPB0 22	WHPB0 21	WHPB0 20	WHPB0 19	WHPB0 18	WHPB0 17	WHPB0 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

#### アドレス : 384H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WHPB0 47	WHPB0 46	WHPB0 45	WHPB0 44	WHPB0 43	WHPB0 42	WHPB0 41	WHPB0 40	WHPB0 39	WHPB0 38	WHPB0 37	WHPB0 36	WHPB0 35	WHPB0 34	WHPB0 33	WHPB0 32
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

#### アドレス : 386H

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WHPB0 63	WHPB0 62	WHPB0 61	WHPB0 60	WHPB0 59	WHPB0 58	WHPB0 57	WHPB0 56	WHPB0 55	WHPB0 54	WHPB0 53	WHPB0 52	WHPB0 51	WHPB0 50	WHPB0 49	WHPB0 48
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

**【機能説明】** 本バッファは、ライト・ハザード防止機能における、メモリブロック 1 つ分 (64 ビット : 8 バイト) のデータを格納するバッファです。

本バッファの 64 ビットのデータは、WHCR0 (Write Hazard Control Register 0) へライト先の MB 番号 (“00H ~ 3FH”) をライトした時に、一括してライトされます。



**注意事項**

SCR (System Control Register) の START ビットが “1” である時には、指定する MB が自己の占有エリア以外であると、ライトプロテクトが機能し GM へライトされません。GM のライトプロテクトについては、“4.1.5 誤操作のプロテクション” の①を参照してください。

### 5.36 WHPB1 (Write Hazard Protection Buffer 1)

#### アドレス : 388H

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WHPB1 15	WHPB1 14	WHPB1 13	WHPB1 12	WHPB1 11	WHPB1 10	WHPB1 9	WHPB1 8	WHPB1 7	WHPB1 6	WHPB1 5	WHPB1 4	WHPB1 3	WHPB1 2	WHPB1 1	WHPB1 0
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

#### アドレス : 38AH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WHPB1 31	WHPB1 30	WHPB1 29	WHPB1 28	WHPB1 27	WHPB1 26	WHPB1 25	WHPB1 24	WHPB1 23	WHPB1 22	WHPB1 21	WHPB1 20	WHPB1 19	WHPB1 18	WHPB1 17	WHPB1 16
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

#### アドレス : 38CH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WHPB1 47	WHPB1 46	WHPB1 45	WHPB1 44	WHPB1 43	WHPB1 42	WHPB1 41	WHPB1 40	WHPB1 39	WHPB1 38	WHPB1 37	WHPB1 36	WHPB1 35	WHPB1 34	WHPB1 33	WHPB1 32
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

#### アドレス : 38EH

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WHPB1 63	WHPB1 62	WHPB1 61	WHPB1 60	WHPB1 59	WHPB1 58	WHPB1 57	WHPB1 56	WHPB1 55	WHPB1 54	WHPB1 53	WHPB1 52	WHPB1 51	WHPB1 50	WHPB1 49	WHPB1 48
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

**【機能説明】** 本バッファは、ライト・ハザード防止機能における、メモリブロック 1 つ分 (64 ビット : 8 バイト) のデータを格納するバッファです。  
 本バッファの 64 ビットのデータは、WHCR1 (Write Hazard Control Register 1) へライト先の MB 番号 (“00H ~ 3FH”) をライトした時に、一括してライトされます。



**注意事項**

SCR (System Control Register) の START ビットが “1” である時には、指定する MB が自己の占有エリア以外であると、ライトプロテクトが機能し GM へライトされません。GM のライトプロテクトについては、“4.1.5 誤操作のプロテクション” の①を参照してください。

## 第6章 定格

本章は、MKY43 の各種定格について記述します。

6.1	電氣的定格 .....	6-3
6.2	AC 特性 .....	6-3
6.3	パッケージ外形寸法 .....	6-7
6.4	半田実装推奨条件 .....	6-8
6.5	リフロー推奨条件.....	6-8



## 第6章 定格

本章は、MKY43 の各種定格について記述します。

### 6.1 電気的定格

表 6-1 に、MKY43 の絶対最大定格を示します。

表 6-1 絶対最大定格 (Vss=0V)

項目	記号	定格	単位
電源電圧	VDD	-0.3 ~ +4.6	V
入力端子電圧	Vi	Vss-0.3 ~ +6.0	V
出力端子電圧	Vo	Vss-0.3 ~ +6.0	V
信号端子入力電流	Ii	-6 ~ +6	mA
ピーク出力電流 (Type-D 端子)	Iop	± 8	mA
ピーク出力電流 (Type-C, E, F 端子)	Iop	± 16	mA
許容損失	PT	345	mW
動作周囲温度	Topr	-40 ~ +85	°C
保存温度	Tstg	-65 ~ +150	°C

表 6-2 に、MKY43 の電気的定格を示します。

表 6-2 電気的定格 (TA=25°C Vss=0V)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	VDD	---	3.0	3.3	3.6	V
平均動作電流	VDDA	Vi=VDD or Vss f=50MHz 出力開放	---	29	75	mA
外部入力動作周波数	Fclk	Xi 端子へ入力	---	48	50	MHz
入力端子容量	Ci	VDD=Vi=0V f=1MHz TA=25°C	---	6	---	pF
出力端子容量	Co		---	9	---	pF
入出力端子容量	Ci/o		---	10	---	pF
入力信号の立上り/立下り時間	TIRF	---	---	---	20	ns
入力信号の立上り/立下り時間	TIRF	シュミットトリガ入力	---	---	30	μs

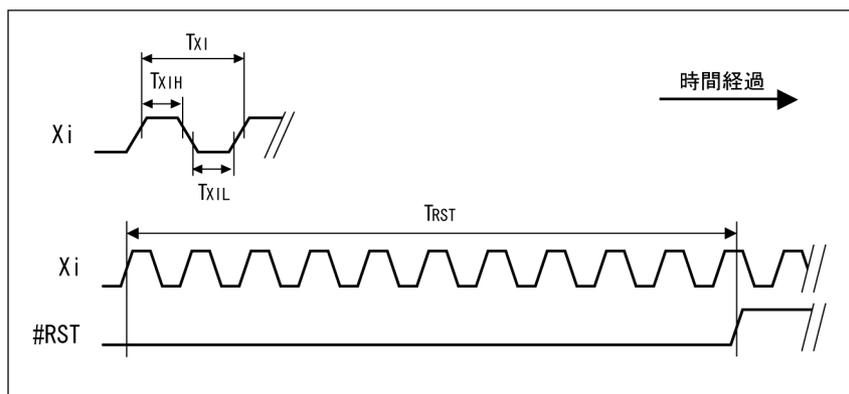
### 6.2 AC 特性

表 6-3 に、MKY43 の AC 特性測定条件を示します。

表 6-3 AC 特性測定条件

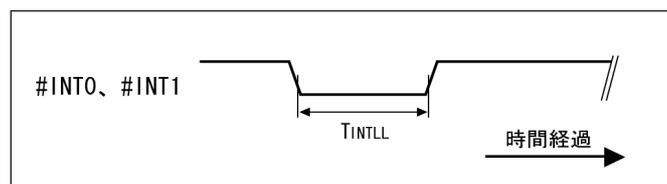
記号	名称	値	単位
COL	出力負荷容量	80	pF
VDD	測定電源電圧	3.3	V
TA	測定温度	25	°C

### 6.2.1 クロック、リセットタイミング



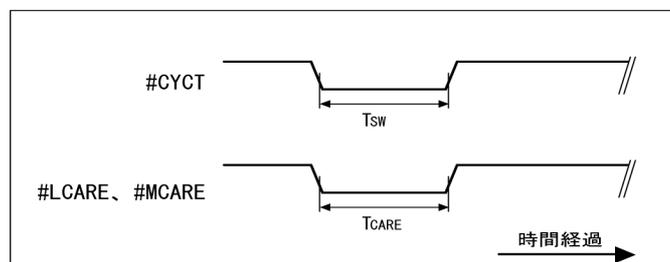
記号	名称	最小	最大	単位
TXI	クロック周期幅	20	---	ns
TXIH	クロック Hi レベル幅	5	---	ns
TXIL	クロック Lo レベル幅	5	---	ns
TRST	リセット有効 Lo レベル幅	$10 \times TXI$	---	ns

### 6.2.2 割込みトリガ出力タイミング



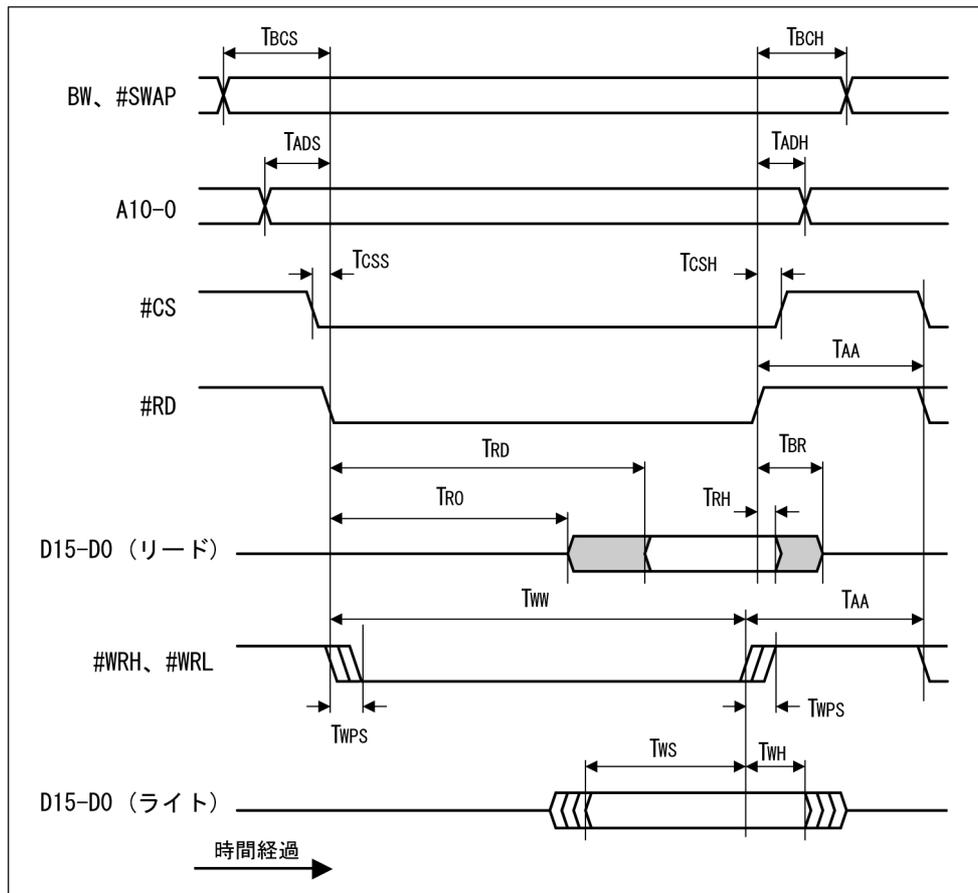
記号	名称	最小	最大	単位
TINTLL	端子 Lo レベル幅	$10 \times TXI$	---	ns

### 6.2.3 #CYCT、#LCARE、#MCARE 出力タイミング



記号	信号	最小	標準	最大	単位
TSW	#CYCT 端子出力 Lo レベル幅	$1.8 \times TBPS$	$2 \times TBPS$	$2.2 \times TBPS$	ns
TCARE	CARE パルス Lo レベル幅 (リトリガブルワンショット マルチバイブレータ出力)	$2505728 \times TXI$ (約 52.2ms : 48MHz 時)	---	---	ns

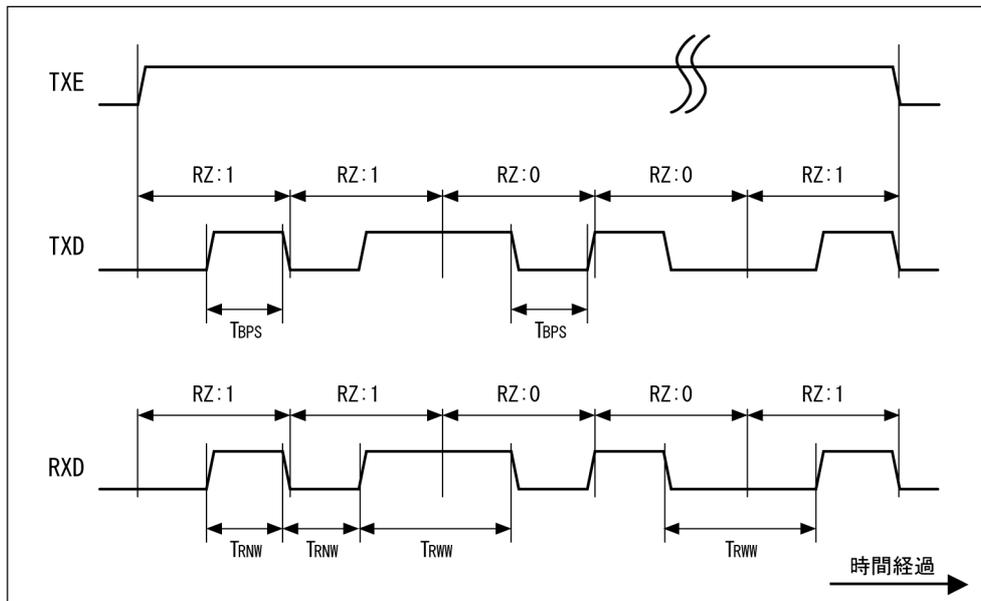
6.2.4 リード/ライトタイミング



記号	名称	最小	標準	最大	単位
TBCS	バス変更セットアップ	0	---	---	ns
TBCH	バス変更ホールド	0	---	---	ns
TADS	アドレスセットアップ	0	---	---	ns
TADH	アドレスホールド	0	---	---	ns
TCSS	CSセットアップ	0	---	---	ns
TCSH	CSホールド	0	---	---	ns
TAA	アクセス to アクセス	42 (2 × Txi)	---	---	ns
TRO	リード to アウト (バスドライブ)	47 ((2 × Txi)+5)	---	---	ns
TRD	リード to データ (有効データ出力)	---	---	89 ((4 × Txi)+5)	ns
TRH	リードデータホールド	2.5	---	---	ns
TBR	バスリリース	5	7.5	10	ns
TWW	ライト信号幅	63 (3 × Txi)	---	---	ns
TWPS	ライト信号 (#WRH、#WRL) 間の許容誤差	---	---	20 (1 × Txi)	ns
TWS	ライトデータセットアップ	10	---	---	ns
TWH	ライトデータホールド	0	---	---	ns

(駆動クロック 48MHz : Txi=20.83 ns 時)

### 6.2.5 転送レートタイミング

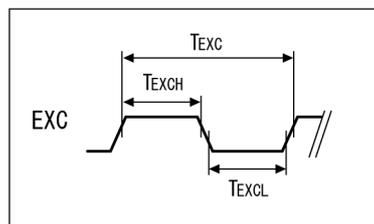


記号	転送レート	送信信号短パルス幅	単位
Tbps	12Mbps	$\approx 83.33 \pm 5$	ns
	6Mbps	$\approx 166.67 \pm 5$	ns
	3Mbps	$\approx 333.33 \pm 5$	ns

(駆動クロック 48MHz : Txi = 20.83 ns 時)

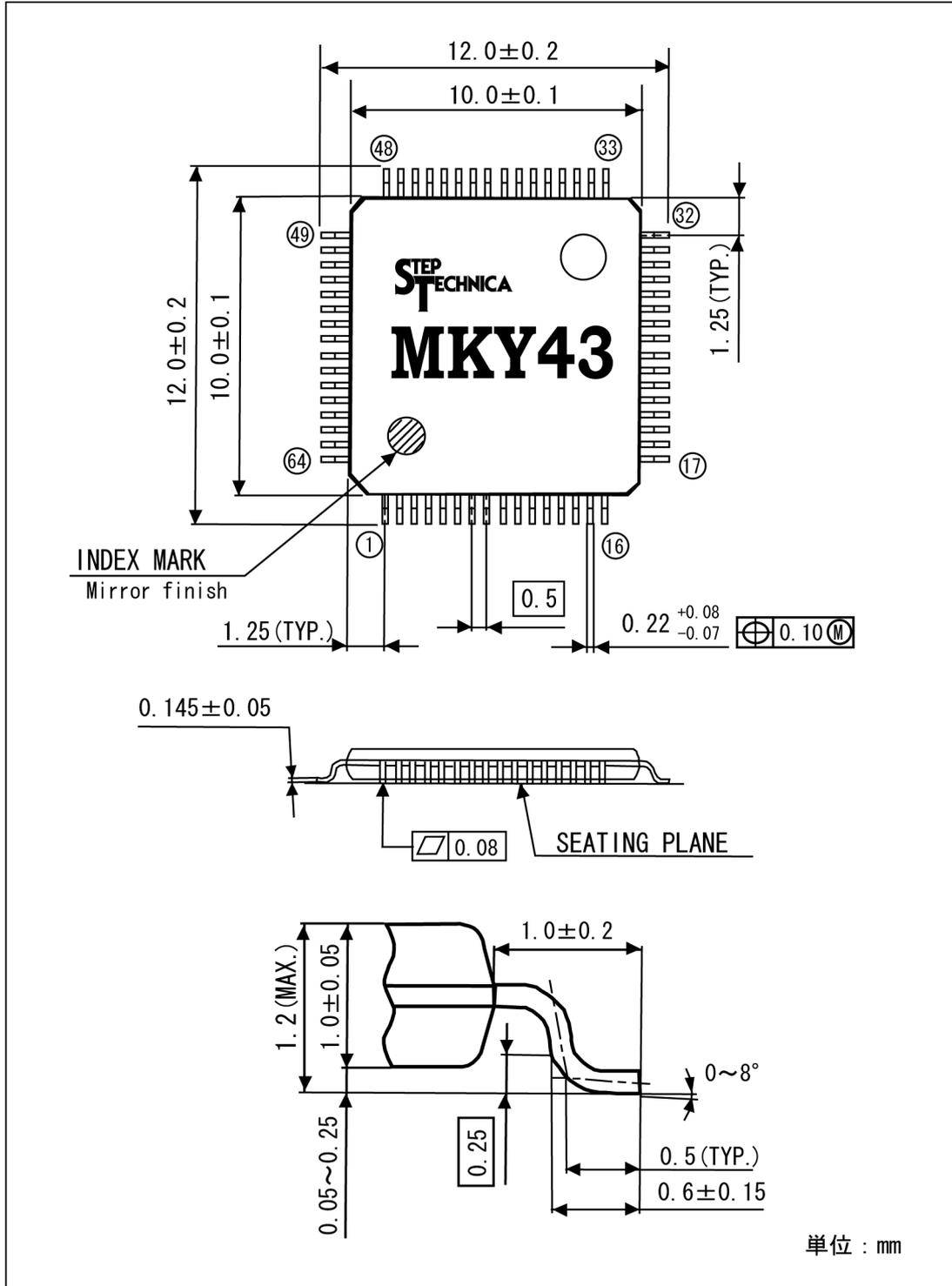
記号	名称	最小	標準	最大	備考
TRNW	入力信号短パルス幅	$0.51 \times Tbps$	$1.0 \times Tbps$	$1.49 \times Tbps$	RZ 信号として許容されるパルス幅
TRWW	入力信号長パルス幅	$1.51 \times Tbps$	$2.0 \times Tbps$	$2.49 \times Tbps$	RZ 信号として許容されるパルス幅

### 6.2.6 外部転送レートクロック (EXC) タイミング



記号	名称	最小	最大	単位
TExc	外部転送レートクロック周期幅	$4 \times Txi$	---	ns
TExch	外部転送レートクロック Hi レベル幅	$1.5 \times Txi$	---	ns
TExcl	外部転送レートクロック Lo レベル幅	$1.5 \times Txi$	---	ns

6.3 パッケージ外形寸法



## 6.4 半田実装推奨条件

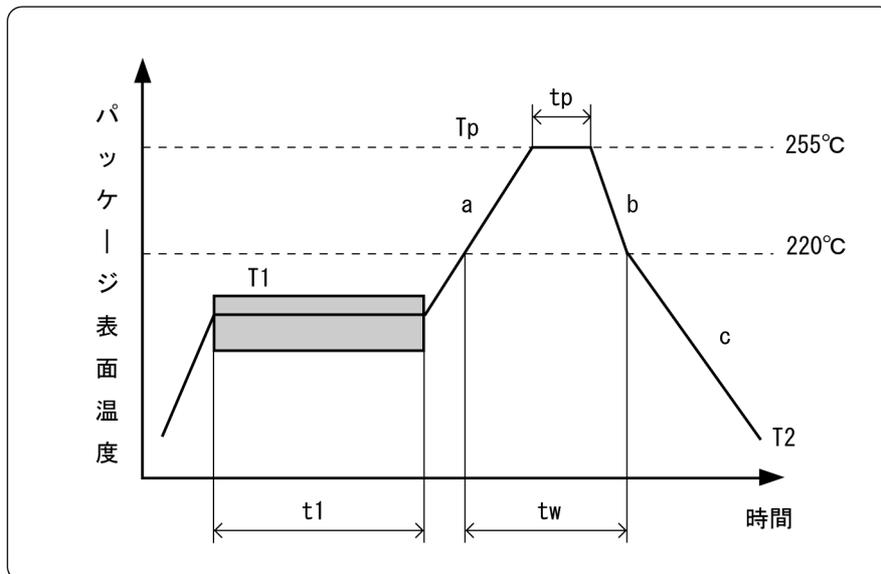
項目	記号	リフロー	手付け半田こて
ピーク温度（樹脂表面）	Tp	255℃以下	380℃以下
ピーク温度維持時間	tp	10秒以下	5秒以下



### 注意事項

- ① 製品保管条件：吸湿防止のため、 $T_A=40^\circ\text{C}$ 以下、 $RH=85\%$ 以下としてください。
- ② 手付け半田法：こて温度  $380^\circ\text{C}$ 、5秒以内。  
(デバイスリード温度は  $260^\circ\text{C}$ 、10秒以内、パッケージ表面温度は  $150^\circ\text{C}$ 以内)
- ③ リフロー回数：最大2回まで可能
- ④ フラックス：無塩素のフラックスを推奨（十分に洗浄してください）。
- ⑤ 超音波洗浄の場合：周波数および基板形状などによって、共振が発生してリードの強度へ影響する場合がありますので十分注意してください。

## 6.5 リフロー推奨条件



項目	記号	値
プリヒート（時間）	t1	60～80秒
プリヒート（温度）	T1	150～190℃
昇温レート	a	1～4℃/秒
ピーク条件（時間）	tp	最大10秒
ピーク条件（温度）	Tp	255℃
冷却レート	b	～1.5℃/秒
冷却レート	c	～0.5℃/秒
高温領域	tw	220℃、60秒以内
取出し温度	T2	$\leq 100^\circ\text{C}$



### 注意事項

本推奨条件は、温風リフローや赤外線リフローなどに適用します。温度は、パッケージ樹脂表面温度を示します。

# 付録

付録 1	サイクルタイム一覧 .....	付録 -3
付録 2	MKY40 との相違点 .....	付録 -4
付録 3	OC 停止をした場合の処理 .....	付録 -7



付録1 サイクルタイム一覧

(単位:  $\mu$ s)

FS	標準 (LF=0)			フレームオプション (LF=1)		
	12Mbps	6Mbps	3Mbps	12Mbps	6Mbps	3Mbps
1 (01H)	102.00	204.00	408.00	172.00	344.00	688.00
2 (02H)	128.33	256.67	513.33	215.83	431.67	863.33
3 (03H)	155.00	310.00	620.00	260.00	520.00	1,040.00
4 (04H)	182.00	364.00	728.00	304.50	609.00	1,218.00
5 (05H)	209.33	418.67	837.33	349.33	698.67	1,397.33
6 (06H)	237.00	474.00	948.00	394.50	789.00	1,578.00
7 (07H)	265.00	530.00	1,060.00	440.00	880.00	1,760.00
8 (08H)	293.33	586.67	1,173.33	485.83	971.67	1,943.33
9 (09H)	322.00	644.00	1,288.00	532.00	1,064.00	2,128.00
10 (0AH)	351.00	702.00	1,404.00	578.50	1,157.00	2,314.00
11 (0BH)	380.33	760.67	1,521.33	625.33	1,250.67	2,501.33
12 (0CH)	410.00	820.00	1,640.00	672.50	1,345.00	2,690.00
13 (0DH)	440.00	880.00	1,760.00	720.00	1,440.00	2,880.00
14 (0EH)	470.33	940.67	1,881.33	767.83	1,535.67	3,071.33
15 (0FH)	501.00	1,002.00	2,004.00	816.00	1,632.00	3,264.00
16 (10H)	532.00	1,064.00	2,128.00	864.50	1,729.00	3,458.00
17 (11H)	563.33	1,126.67	2,253.33	913.33	1,826.67	3,653.33
18 (12H)	595.00	1,190.00	2,380.00	962.50	1,925.00	3,850.00
19 (13H)	627.00	1,254.00	2,508.00	1,012.00	2,024.00	4,048.00
20 (14H)	659.33	1,318.67	2,637.33	1,061.83	2,123.67	4,247.33
21 (15H)	692.00	1,384.00	2,768.00	1,112.00	2,224.00	4,448.00
22 (16H)	725.00	1,450.00	2,900.00	1,162.50	2,325.00	4,650.00
23 (17H)	758.33	1,516.67	3,033.33	1,213.33	2,426.67	4,853.33
24 (18H)	792.00	1,584.00	3,168.00	1,264.50	2,529.00	5,058.00
25 (19H)	826.00	1,652.00	3,304.00	1,316.00	2,632.00	5,264.00
26 (1AH)	860.33	1,720.67	3,441.33	1,367.83	2,735.67	5,471.33
27 (1BH)	895.00	1,790.00	3,580.00	1,420.00	2,840.00	5,680.00
28 (1CH)	930.00	1,860.00	3,720.00	1,472.50	2,945.00	5,890.00
29 (1DH)	965.33	1,930.67	3,861.33	1,525.33	3,050.67	6,101.33
30 (1EH)	1,001.00	2,002.00	4,004.00	1,578.50	3,157.00	6,314.00
31 (1FH)	1,037.00	2,074.00	4,148.00	1,632.00	3,264.00	6,528.00
32 (20H)	1,073.33	2,146.67	4,293.33	1,685.83	3,371.67	6,743.33
33 (21H)	1,110.00	2,220.00	4,440.00	1,740.00	3,480.00	6,960.00
34 (22H)	1,147.00	2,294.00	4,588.00	1,794.50	3,589.00	7,178.00
35 (23H)	1,184.33	2,368.67	4,737.33	1,849.33	3,698.67	7,397.33
36 (24H)	1,222.00	2,444.00	4,888.00	1,904.50	3,809.00	7,618.00
37 (25H)	1,260.00	2,520.00	5,040.00	1,960.00	3,920.00	7,840.00
38 (26H)	1,298.33	2,596.67	5,193.33	2,015.83	4,031.67	8,063.33
39 (27H)	1,337.00	2,674.00	5,348.00	2,072.00	4,144.00	8,288.00
40 (28H)	1,376.00	2,752.00	5,504.00	2,128.50	4,257.00	8,514.00
41 (29H)	1,415.33	2,830.67	5,661.33	2,185.33	4,370.67	8,741.33
42 (2AH)	1,455.00	2,910.00	5,820.00	2,242.50	4,485.00	8,970.00
43 (2BH)	1,495.00	2,990.00	5,980.00	2,300.00	4,600.00	9,200.00
44 (2CH)	1,535.33	3,070.67	6,141.33	2,357.83	4,715.67	9,431.33
45 (2DH)	1,576.00	3,152.00	6,304.00	2,416.00	4,832.00	9,664.00
46 (2EH)	1,617.00	3,234.00	6,468.00	2,474.50	4,949.00	9,898.00
47 (2FH)	1,658.33	3,316.67	6,633.33	2,533.33	5,066.67	10,133.33
48 (30H)	1,700.00	3,400.00	6,800.00	2,592.50	5,185.00	10,370.00
49 (31H)	1,742.00	3,484.00	6,968.00	2,652.00	5,304.00	10,608.00
50 (32H)	1,784.33	3,568.67	7,137.33	2,711.83	5,423.67	10,847.33
51 (33H)	1,827.00	3,654.00	7,308.00	2,772.00	5,544.00	11,088.00
52 (34H)	1,870.00	3,740.00	7,480.00	2,832.50	5,665.00	11,330.00
53 (35H)	1,913.33	3,826.67	7,653.33	2,893.33	5,786.67	11,573.33
54 (36H)	1,957.00	3,914.00	7,828.00	2,954.50	5,909.00	11,818.00
55 (37H)	2,001.00	4,002.00	8,004.00	3,016.00	6,032.00	12,064.00
56 (38H)	2,045.33	4,090.67	8,181.33	3,077.83	6,155.67	12,311.33
57 (39H)	2,090.00	4,180.00	8,360.00	3,140.00	6,280.00	12,560.00
58 (3AH)	2,135.00	4,270.00	8,540.00	3,202.50	6,405.00	12,810.00
59 (3BH)	2,180.33	4,360.67	8,721.33	3,265.33	6,530.67	13,061.33
60 (3CH)	2,226.00	4,452.00	8,904.00	3,328.50	6,657.00	13,314.00
61 (3DH)	2,272.00	4,544.00	9,088.00	3,392.00	6,784.00	13,568.00
62 (3EH)	2,318.33	4,636.67	9,273.33	3,455.83	6,911.67	13,823.33
63 (3FH)	2,365.00	4,730.00	9,460.00	3,520.00	7,040.00	14,080.00

## 付録 2 MKY40 との相違点

MKY43 は、CUnet Family の Station-IC の一品種である MKY40 (5V) の MEM モード機能継承品として開発されました。CUnet Family Station-IC としての機能や動作は MKY40 と相違なく利用できますが、実際の利用にあたっては、以下の点にご注意ください。

### 相違点の概要

- 3.3V 単一電源 (5V トレラント信号端子)。消費電力は 60% 以上低減。
- 小型パッケージ : 64 ピン、0.5mm、10mm × 10mm: TQFP
- 16/8 ビット、3.3V 系 /5V 系 TTL レベル CPU バス接続可
- MKY40 とはメモリマップおよび各レジスタアドレスが相違。

### レジスタ機能互換一覧

(○ : 完全機能互換 △ : 一部相違)

アドレス値	領域名	レジスタ名称	Bit 数	対象機能	MKY40 互換
300H ~ 307H	RFR	Receive Flag Register	64	リンク検出	△
308H ~ 30FH	LFR	Link Flag Register	64		△
310H ~ 317H	MFR	Member Flag Register	64	メンバ検出	△
318H ~ 31FH	DRFR	Data Renewal Flag Register	64	データ遷移検出	○
320H ~ 327H	LGR	Link Group Register	64	リンク検出	○
328H ~ 32FH	MGR	Member Group Register	64	メンバ検出	○
330H ~ 337H	DRCR	Data Renewal Check Register	64	データ遷移検出	○
338H	RHCR0	Read Hazard Control Register 0	16	リード・ハザード防止	新規
33AH	RHCR1	Read Hazard Control Register 1	16		新規
33CH	WHCR0	Write Hazard Control Register 0	16	ライト・ハザード防止	新規
33EH	WHCR1	Write Hazard Control Register 1	16		新規
340H	MSLR	Mail Send Limit time Register	16	メール送信	○
342H	MSSR	Mail Send Result Register	16		○
344H	MESR	Mail Error Status Register	16		○
346H	MSCR	Mail Send Control Register	16		○
348H	MR0CR	Mail Receive 0 Control Register	16	メール受信	△
34AH	MR1CR	Mail Receive 1 Control Register	16		△
34CH	CCTR	Care CounTer Register	16	システム補助	○
34EH	UTCR	UTility pin Control Register	16		新規
350H	QCR	Query Control Register	16		○
352H	NFSR	New Final Station Register	16	システム	△
354H	FSR	Final Station Register	16		○
356H	BCR	Basic Control Register	16		○
358H	INT0CR	INTerrupt 0 Control Register	16	割り込み制御	○
35AH	INT1CR	INTerrupt 1 Control Register	16		○
35CH	IT0CR	Interrupt Timing 0 Control Register	16		○
35EH	IT1CR	Interrupt Timing 1 Control Register	16		○
360H	INT0SR	INTerrupt 0 Status Register	16		○
362H	INT1SR	INTerrupt 1 Status Register	16		○
364H	SSR	System Status Register	16	システム	△
366H	SCR	System Control Register	16		△
368H ~ 36FH	CCR	Chip Code Register	64		○
370H ~ 377H	RHPB0	Read Hazard Protection Buffer 0	64	リード・ハザード防止	新規
378H ~ 37FH	RHPB1	Read Hazard Protection Buffer 1	64		新規
380H ~ 387H	WHPB0	Write Hazard Protection Buffer 0	64	ライト・ハザード防止	新規
388H ~ 38FH	WHPB1	Write Hazard Protection Buffer 1	64		新規

## ハードウェア相違点

項目	MKY43	MKY40
電源電圧	3.3V	5.0V
パッケージ	0.5mm pitch 64pin-TQFP	0.5mm pitch 100pin-TQFP
バス端子レベル	3.3V系 TTL (5V トレラント) (3.3V系 TTL レベル CPU バス接続可能) (5.0V系 TTL レベル CPU バス接続可能)	5V系 TTL レベル (5.0V系 TTL レベル CPU バスのみ接続可)
バス幅	16 bit / 8 bit	32 bit / 16 bit / 8 bit
16 ビットユーザバス 接続時のバイトライト	バイトライト非対応 (ライトアクセス時には、#WRH 端子と #WRL 端子の両方を Lo レベルとする事)	バイトライト対応
割込み端子	#INT0、#INT1	#INT0、#INT1、#INT2
SSR の Port Out ビット BCR の Care Pulse ビット	無し	PO0、PO1、PO2、PO3 (SSR) CP (BCR)
アドレス等設定端子 (BCR の初期値取込み)	無し	#SA0 ~ #SA5、#OWN0 ~ #OWN5、 BPS0、BPS1
IO モード機能	無し	有り (MODE 端子有り)
CYCT 出力、PING 出力 (CYCT は STB と同等です)	UTY1、UTY2 端子へ #CYCT 信号、#PING 信号を出力可	#STB 端子へ #STB 信号を出力 PING 端子へ PING 信号を出力
UTCR (Utility pin Control Register)	UTY1、UTY2 端子制御用に増設 (Hi-Z / #CYCT 出力 / #PING 出力の選択設定)	-----
駆動クロック	Xi 端子へクロック入力 (発振子非対応)	Xi 端子へクロック入力 もしくは Xi、Xo 端子間での水晶発振子対応
リセット期間中の TXD 端子出力	Lo レベル	駆動クロックの 32 分周クロック
ハザード防止	ハザード防止バッファ方式	ウインドロック方式
メモリマップ	MKY40 と異なる	-----
各レジスタのアドレス	MKY40 と異なる	-----
バス・アクセスタイム	TRD (max) 89 ns	TRD (max) 130 ns
動作電流 (max)	75mA	130mA

## ●ハザード防止機能について

ユーザの CPU バス幅に起因して生じるリード・ライトアクセス時のデータハザードを回避可能な手段が換わりました。MKY40 が保有していた 2 つの GM ウインドは MKY43 においては 1 つの GM に統一され、ウインドロック機能が廃止されました。それに伴い MKY43 においては MKY40 が保有していたウインドロック機能と関連レジスタが削除され、新たにハザード防止機能が搭載されました。ハザード防止機能は、以下の様に利用できます。

- ★ リード時：RHCR0 (Read Hazard Control Register 0) ヘコピー元となる MB (Memory Block : “00H ~ 3FH”) 番号をライトすると、MB の 64 ビットデータが一括して RHPB0 (Read Hazard Protection Buffer 0) ヘコピーされます。ユーザは、RHPB0 をリードすることによって、データハザードの生じない 64 ビットデータを参照できます。RHCR1 と RHPB1 の動作も同様です。
- ★ ライト時：1 つの MB ヘライトする 64 ビットデータは、WHPB0 (Write Hazard Protection Buffer 0) ヘ 64 ビット分全てライトしておきます。WHCR0 (Write Hazard Control Register 0) ヘコピー先の MB 番号をライトすることによって、WHPB0 の 64 ビットデータが一括してコピー先の MB ヘライトされます。WHCR1 と WHPB1 の動作も同様です。

**機能的相違点 (概要)**

項目	MKY43	MKY40
SSR の Break Detect	常時検出	RUN フェーズ中のみ検出
SSR の Resize Overlap	NFSR が “00h” 以外の時に検出を実施	NFSR の値に関わらず検出を実施
SSR の MGNE、MGNC	MGR の全てのビットが “0” である時には判定結果は常に “0”	MGR の全てのビットが “0” であっても判定結果の “1” が出現
OC 停止時の状態	FS (Final Station) と自己 SA (Station Address) の値の関係が “(FS - SA) > 2” の場合、OC 停止直前の RFR、LFR、MFR および #MON 端子状態を保持し、“(FS - SA) > 2” 以外の場合は MKY40 と同様	RFR：自己ステーションの占有エリア以外のビットが、パケット受信状態に応じて遷移 LFR：自己ステーションの占有エリア以外のビットが “0” MFR：全てのビットが “0” #MON 端子：Hi レベルを出力
SCR の SNF	RUN フェーズと BREAK フェーズからネットワーク停止	RUN フェーズからネットワーク停止
NFSR	リサイズ命令を 4 回通信ラインへ送信し終わると “00h” へ遷移する。RO 発生時、ネットワーク停止時も “00h” へ遷移する	送信終了による “00h” への遷移無し
RFR、LFR	自己占有対象ビットは、SCR の START ビットが “1” へ設定される事により “1”	自己占有対象ビットは、GMM 以外は常に “1”
GMM 中の RFR 更新動作	個別のビットがリアルタイムに更新される	全てのビットが、サイクル先頭時期に一括更新される
ネットワーク停止 割込み	SCR の START ビットへの “0” 設定、SNF 停止、OC 停止によって発生	SNF 停止、OC 停止によって発生
MSLR	“0003h” 以下の設定により、LMFLT (LiMit time FauLT) 発生	“0000h” の設定により、LMFLT (LiMit time FauLT) 発生
MRB0 のライトプロテクト	MR0CR の RDY ビットもしくは RCV ビットが “1” である時	SCR の START ビットが “1” である時
MRB1 のライトプロテクト	MR1CR の RDY ビットもしくは RCV ビットが “1” である時	
MR0CR、MR1CR	RCV もしくは RDY ビットヘータをライトすると、ビット 0～5 (SiZe) およびビット 8～13 (SRC) の値が、“00h” へクリア	RCV もしくは RDY ビットヘータをライトしてもビット 0～5 (SiZe) およびビット 8～13 (SRC) の値は保持
エンディアンの扱い	MKY43 と MKY40 ではエンディアンの扱いが変わりました (注 1 参照)	

注 1：これまで MKY40 を搭載していたシステムに MKY43 を採用した場合、もしくは、MKY40 を搭載しているシステム向けのプログラムを移植する場合には、所定のメモリ領域に対応するアドレスが MKY40 と MKY43 とで異なる場合があります。このため、MKY43 と MKY40 を混在してネットワーク接続するシステム、もしくは、MKY40 を搭載しているシステム向けのプログラムを MKY43 用に移植する場合には、所定のメモリ領域に対応するアドレスにご注意の上ご利用ください。

### 付録3 OC停止をした場合の処理

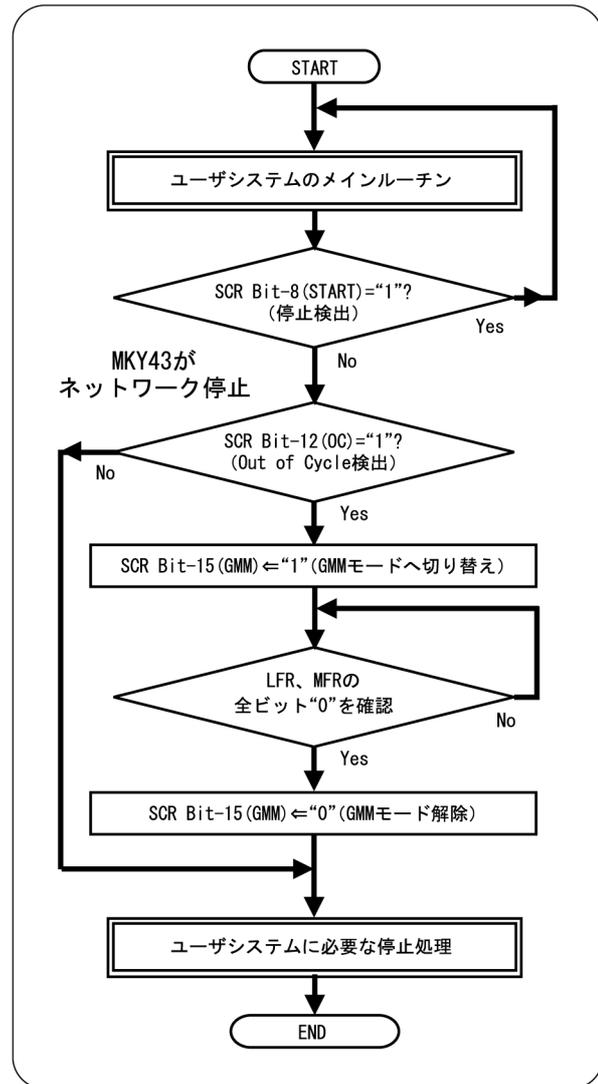
CUNetステーションにおけるネットワーク停止は、自らSCRのSTARTビットへ“0”をライトし停止させる“意図したネットワーク停止”の他に、SNF（Station Not Found）停止（“4.1.8.1 SNF（Station Not Found）の詳細”参照）とOC（Out of Cycle）停止（“4.1.8.2 OC（Out of Cycle）の詳細”参照）による“意図しないネットワーク停止”があります。そのためCUNetステーションの運用にあたっては、ネットワーク停止を検出し処理をする必要があります。

MKY43は、FS（Final Station）と自己SA（Station Address）の値の関係が“(FS - SA) > 2”の状態においてOC停止した場合、ネットワーク停止直前のレシーブステータス（RF：Receive Flag）をRFR（Receive Flag Register）へ、リンクステータス（LF：Link Flag）をLFR（Link Flag Register）へ、メンバステータス（MF：Member Flag）をMFR（Member Flag Register）へ、それぞれ保持します。この状態保持によって、MFRの自己ステーション以外のCUNetステーションに対応するビットのいずれかに“1”が格納されていた場合、#MON端子へLoレベルが出力されます。#MON端子へLED表示部品をLoレベル出力の時に点灯するように接続している場合には、LED表示部品が点灯状態となります。MKY43の、OC停止による停止直前のRFR、LFR、MFR状態は、以下3つの何れかの方法によって、解除できます。

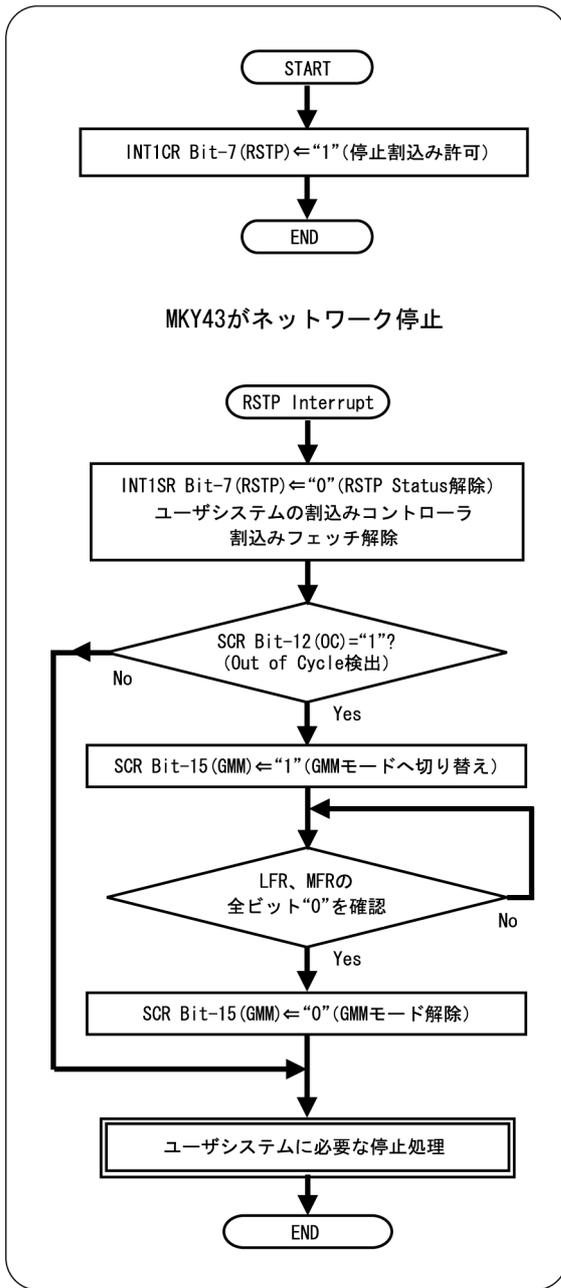
- ① GMM機能への切り替え（約1サイクル時間後に保持が解除）。
- ② ハードウェアリセット。
- ③ 稼動中のネットワークによる、停止したMKY43の占有エリアを包括する拡張サイズ。

状態保持が解除されると、LFRとMFRの全てのビットは“0”が格納され、#MON端子へHiレベルが出力されます。#MON端子へLED表示部品をLoレベル出力の時に点灯するように接続している場合には、LED表示部品は消灯します。

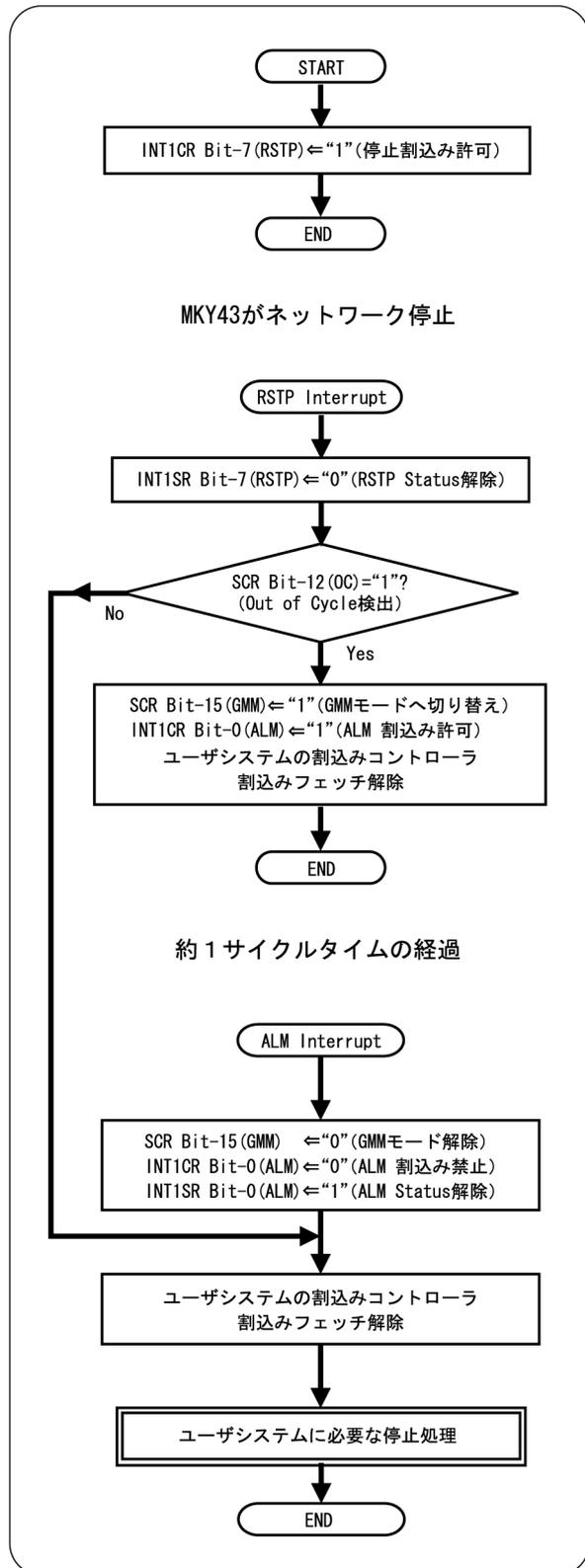
上記①“GMM機能への切り替え（約1サイクル時間後に保持が解除）”の方法を利用して、ネットワーク停止を検出し管理するアルゴリズムの例を、付図1～付図3に示します。図の先頭の“起動完了”については、“4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”、をご参照ください。尚、上記②、③の方法を利用する場合にはGM（Global Memory）のデータは受信によって更新されませんが、上記①の方法によるGMM機能が稼動している最中はGMのデータも受信によって更新されます。



付図1 ポーリングによる停止時の処理例



付図 2 割込みを利用した停止時の処理例(1)



付図 3 割込みを利用した停止時の処理例(2)

## 更新履歴

バージョン No	更新年月日	ページ	更新内容
1.1	2009 年 1 月	2-4	表 2-1 の #MCARE、#LCARE、#MON 項の機能文に参照先を追記。
		2-6	表 2-2 の No. 51、54 の i/o 項、誤記訂正。
		4-9	付録 3 についての注意事項を追加。
		4-21	4.2.3.6 MGR の項、(2) 文修正、注意事項を追加。
		4-31	4.3.2 メール受信時の操作の項、注意事項に②文を追加。
		4-47	付録 3 についての注意事項を追記。
		4-50	参考の文に一項目を追記。
		4-57	表 4-3 の MGNE、MGNC 文を適正化。
		5-17, 18	RDY ビットの【機能】の文へ、以下の 2 文を追記。 「本ビットは、SCR の START ビットが“1”の時に操作できます。」 「本ビットが“1”の時に、SCR の START ビットが“0”へ遷移すると、本ビットも“0”へ遷移します。」
		5-32	MGNE の【機能】および MGNC の【機能】の文へ、 “MGR のいずれかのビットが“1”である時に、”を追記。
付録 -6	機能的相違点の表中 ・「SSR の MGNE、MGNC」項目行を追記。 ・「OC 停止時の状態」項目行を追記。 ・「RFR、LFR、MFR」を「RFR、LFR」に修正。 ・「GMM 中の RFR 更新動作」項目行を追記。		
付録 -7, 8	「付録 3 OC 停止をした場合の処理」追記。		
1.2	2018 年 1 月	3-5	リセット信号解除後のアクセス開始注意事項記載。
		3-15	リセット信号解除後のアクセス開始注意事項記載。
		4-33	MSCR のライトプロテクト注意事項記載。
		4-35	メール送信先の表記修正。
		4-35	メールの受信時間計算式修正。
		4-41	リサイズとフレームオプション設定注意事項記載。
		4-45	CCTR 誤記修正。
		4-53	BCR の LFS 設定値記載訂正。
		4-53	リサイズとフレームオプション設定注意事項記載。
5-23	BCR の LFS 設定値記載訂正。		
1.3	2023 年 12 月		住所変更

■開発・製造

株式会社ステップテクニカ

〒207-0021 東京都東大和市立野 1-1-15

TEL: 042-569-8577

<https://www.steptechnica.com/>

[info@steptechnica.com](mailto:info@steptechnica.com)

**CUnet**

**CUnet 専用 IC MKY43 ユーザーズマニュアル**

ドキュメント No. : STD-CU43-V1.3J

発行年月日 : 2023年 12 月