

ハイスピードリンクシステム
サテライト IC
MKY35
ユーザーズマニュアル

ご注意

1. 本ガイドに記載された内容は、将来予告なしに変更する場合があります。本製品をご使用になる際には、本ガイドが最新の版数であるかをご確認ください。
2. 本ガイドにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本ガイドに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本ガイドの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておりません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本ガイドの一部または全部を、当社に無断で転載および複製することを禁じます。

はじめに

本マニュアルは、ハイスピードリンクシステムにおけるサテライト IC の一品種である MKY35 について記述します。

MKY35 の利用および本マニュアルの理解に先駆けて、“ハイスピードリンクシステム 導入ガイド”を必ずお読みください。

本書においては、ハイスピードリンクシステムを、略称として“HLS”と呼びます。

対象読者

- ・ハイスピードリンクシステムを初めて構築する方
- ・ハイスピードリンクシステムを構築するために、弊社の各種 IC を初めてご利用になる方

読者が必要とする知識

- ・ネットワーク技術に関する標準的な知識
- ・半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

関連マニュアル

- ・ハイスピードリンクシステム 導入ガイド
- ・ハイスピードリンクシステム テクニカルガイド

【注意事項】

- ・2001年3月までに発行した“第4版”までの“ハイスピードリンクシステム ユーザーズマニュアル”をお持ちの方へ

本書は、国際標準規格の表現に統一するために、一部の用語が変更されていますのでご注意ください。

本書は、ISO（世界標準規格）や ANSI（米国規格）といった国際標準規格に準拠した“スタンダード・イングリッシュ™”のノウハウに基づいて記述されています。このため本書は、同製品の英文ドキュメント“STD-HLS35-V6.2E”と完全に整合された日本語ドキュメントです。

- ・スタンダード・イングリッシュは、株式会社ウインの商標です。

目 次

第 1 章 MKY35 の概要

1.1	サテライト IC の位置付けと MKY35 の関係	1-3
1.2	MKY35 の内部構成	1-4
1.3	MKY35 の操作	1-4
1.4	MKY35 の応答速度	1-5
1.5	MKY35 の特徴	1-5
1.5.1	HLS におけるサテライト IC としての基本機能の特徴	1-5
1.5.2	拡張機能	1-5

第 2 章 MKY35 ハードウェア2-3

第 3 章 MKY35 基本機能の接続

3.1	駆動クロック	3-3
3.1.1	駆動クロックの自己生成	3-3
3.1.2	生成済みの駆動クロックを供給する	3-4
3.1.3	駆動クロックの選択	3-5
3.1.4	駆動クロックの確認	3-5
3.2	ハードウェアリセット	3-6
3.3	サテライトアドレス設定	3-6
3.4	ネットワークインターフェースの接続	3-7
3.4.1	RXD、TXE、TXD 端子の詳細	3-7
3.4.2	推奨のネットワーク接続	3-8
3.5	MKY35 の動作モード設定	3-9
3.5.1	内部入力端子と内部出力端子	3-9
3.5.2	MKY35 動作モードの一覧	3-10
3.5.3	IO モード 1 と IO モード 2	3-11
3.5.4	IO モード 3 と IO モード 4	3-12
3.5.5	IO モード 5 と IO モード 6	3-13
3.6	MKY35 基本機能の接続例	3-14

第 4 章 MKY35 拡張機能

4.1	スキャン応答信号とその応用	4-3
4.1.1	#MON 端子機能	4-3
4.1.2	スキャン応答表示	4-4
4.1.3	ウォッチドッグタイマ	4-4
4.1.4	CLR 端子機能	4-5

4.2	ストロープ信号の設定とその応用	4-6
4.2.1	STB1 端子機能.....	4-6
4.2.2	Io 端子状態のサンプリング時期 (STB2 端子).....	4-6
4.2.3	ストロープ信号のタイミング設定 (SSA 端子).....	4-7
4.2.4	ハンドシェイク有効 / 無効の設定 (SSB 端子).....	4-8
4.2.4.1	ハンドシェイク有効性の例	4-9
4.2.4.2	文字列データ送信上の注意	4-10
4.2.4.3	ハンドシェイク利用上の注意 (1).....	4-11
4.2.4.4	ハンドシェイク利用上の注意 (2).....	4-11
4.3	PWM モード	4-12
4.3.1	PWM モード 1.....	4-12
4.3.2	PWM 回路	4-13
4.3.2.1	PWM 回路の基本動作	4-14
4.3.2.2	ECS、EBC 端子の機能.....	4-14
4.3.2.3	DIR 端子の機能	4-15
4.3.2.4	POI 端子の機能	4-15
4.3.2.5	PWM 機能利用上の注意.....	4-16
4.3.2.6	PWM 回路動作の利用例 (1).....	4-17
4.3.2.7	PWM 回路動作の利用例 (2).....	4-18
4.3.3	PWM モード 2.....	4-19
4.3.4	ユニバーサルカウンタ	4-20
4.3.4.1	フリーカウントモード	4-21
4.3.4.2	内部ゲート 1 モード	4-22
4.3.4.3	内部ゲート 2 モード	4-24
4.3.4.4	外部ゲートモード	4-24
4.3.4.5	ゲート型カウンタの利用例.....	4-25
4.3.4.6	ゲート型カウンタの応用.....	4-26

第 5 章 定格

5.1	電氣的定格	5-3
5.2	AC 特性.....	5-4
5.2.1	クロック、リセットタイミング (#RST、Xi).....	5-4
5.2.2	転送レートタイミング (TXE、TXD、RXD).....	5-5
5.2.3	ストロープ / 入出力端子タイミング (Io0 ~ Io15 [in/out]、STB1、STB2、CLR).....	5-6
5.2.4	PWM 出力遷移タイミング (CWON、CCWON、CWP、CCWP).....	5-6
5.2.5	ユニバーサルカウンタタイミング (フリーカウントモード : #CRST、Ci).....	5-7
5.2.6	ユニバーサルカウンタタイミング (外部ゲートモード : Gate、Ci).....	5-7
5.3	パッケージ外形寸法.....	5-8
5.4	半田実装推奨条件	5-9
5.5	リフロー推奨条件	5-9

目 次

図 1.1	サテライト IC の位置付け	1-3
図 1.2	MKY35 の内部構成	1-4
図 2.1	MKY35 の端子配列	2-3
図 2.2	MKY35 の入出力回路形式における端子電気的特性.....	2-6
図 3.1	MKY35 のクロック関係図	3-3
図 3.2	ハードウェアリセット	3-6
図 3.3	推奨のネットワーク接続	3-8
図 3.4	内部入力端子と内部出力端子	3-9
図 3.5	IO モード 1	3-11
図 3.6	IO モード 2	3-11
図 3.7	IO モード 3	3-12
図 3.8	IO モード 4	3-12
図 3.9	IO モード 5	3-13
図 3.10	IO モード 6	3-13
図 3.11	基本機能の接続例	3-14
図 4.1	スキャン応答表示	4-4
図 4.2	#MON 端子と CLR 端子の接続例	4-5
図 4.3	内部出力端子 (Do0 ~ Do15) の更新タイミング	4-6
図 4.4	SSA 端子設定と更新タイミング	4-7
図 4.5	STB2 ストローブ信号発生タイミング	4-8
図 4.6A	障害が発生していない動作	4-9
図 4.6B	ハンドシェイク無効	4-9
図 4.6C	ハンドシェイク有効	4-9
図 4.7	文字カウンタを付加した送信	4-10
図 4.8	コマンドパケットに障害が発生した時の動作	4-11
図 4.9	PWM モード 1	4-12
図 4.10	PWM 信号	4-13
図 4.11	イネーブル信号の論理反転	4-15
図 4.12	PWM 機能による電球の調光制御例	4-17
図 4.13	PWM 機能によるモータ駆動制御例	4-18
図 4.14	PWM モード 2	4-19
図 4.15	フリーカウントモードの等価回路	4-21
図 4.16	内部ゲート 1 モード等価回路	4-22

図 4.17	ゲート型カウンタの動作	4-23
図 4.18	外部ゲートモード等価回路.....	4-24
図 4.19	回転速度フィードバックを持つ制御例.....	4-25

表 目 次

表 2-1	MKY35 の端子機能	2-4
表 2-2	MKY35 の電氣的定格.....	2-6
表 3-1	駆動クロックと転送レートの対応	3-5
表 3-2	MKY35 の動作モード.....	3-10
表 4-1	#MON 端子が Hi レベルへ遷移する所定の時間	4-3
表 4-2	駆動クロック、PWM 信号の基準クロック、周期	4-14
表 4-3	カウントモード	4-20
表 4-4	内部ゲート 1 モードのゲート時間	4-23
表 4-5	内部ゲート 2 モードのゲート時間	4-24
表 5-1	絶対最大定格.....	5-3
表 5-2	電氣的定格	5-3
表 5-3	AC 特性測定条件.....	5-4

第 1 章 MKY35 の概要

本章は、ハイスピードリンクシステム（以下、“HLS”と記述します）における MKY35 の概要について記述します。

1.1	サテライト IC の位置付けと MKY35 の関係	1-3
1.2	MKY35 の内部構成	1-4
1.3	MKY35 の操作	1-4
1.4	MKY35 の応答速度	1-5
1.5	MKY35 の特徴	1-5

第1章 MKY35 の概要

本章は、ハイスピードリンクシステム（以下、“HLS”と記述します）における MKY35 の概要について記述します。

1.1 サテライト IC の位置付けと MKY35 の関係

MKY35 は、HLS を構成するサテライト IC の一品種です。MKY35 の利用および本マニュアルの理解に先駆けて、“ハイスピードリンクシステム 導入ガイド”を必ずお読みください。

MKY35 には個別な SA（Satellite Address）を設定することが義務付けられています。

HLS におけるサテライト IC は、センタ IC から呼びかけられる、SA と一致するコマンドパケット (CP) に反応し、レスポンスパケット (RP) を返送します。これによりサテライト IC の入力端子 (Di) の状態は、センタ IC 内メモリの Di 領域へ、そのまま複写 (Copy) されます。またセンタ IC から発行される CP には、センタ IC 内メモリの Do 領域に配列されているデータ中の 1 つの情報が埋め込まれています。

HLS におけるサテライト IC は、SA が一致する CP を正常に受信する度に、CP 内のデータをサテライト IC の出力端子 (Do) へ出力します。センタ IC は、CP の送信と RP の受信を周期的に繰り返し、サテライト IC に対するスキャンを継続します。これら継続する一連の動作により、サテライト IC の入力端子 (Di) の状態はセンタ IC 内メモリの Di 領域内データと同一化 (リンク) され、センタ IC 内メモリの Do 領域内の配列データが、サテライト IC の出力端子 (Do) 状態と同一化 (リンク) されます。センタ IC 内メモリの Di 領域および Do 領域の配列は、サテライト IC に設定が義務付けられている個別な SA に対応します (図 1.1 参照)

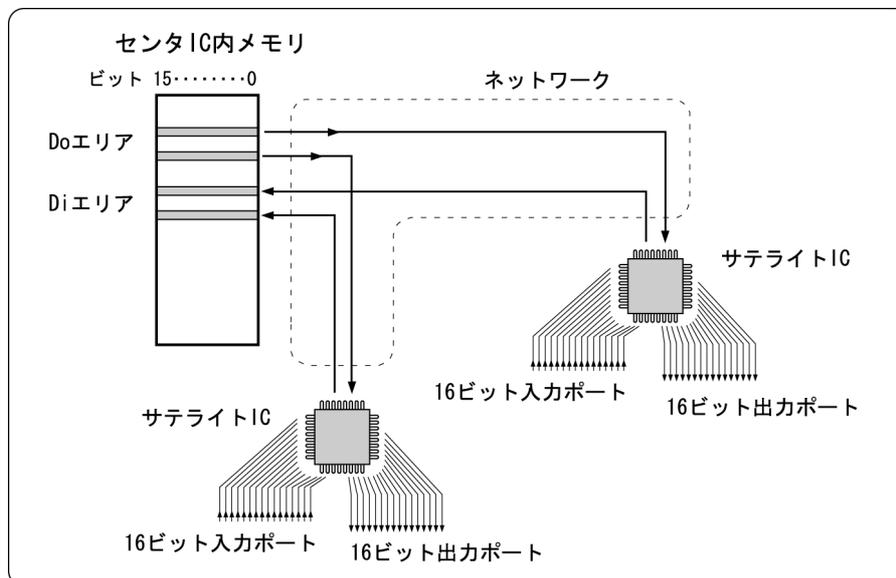


図1.1 サテライトICの位置付け

MKY35 は、小型パッケージを特徴とするサテライト IC です。そのためサテライト IC に装備される 16 本の入力 (Di) と 16 本の出力 (Do) の合計 32 本の入出力をパッケージ内部に装備しています。MKY35 のパッケージは、32 本の入出力のいずれかと接続可能な 16 本の入出力端子を装備しています。MKY35 は、入力端子 (Di) と出力端子 (Do) の他にも、各種ユーザシステムへの組込みに有効ないくつかの拡張機能も装備しています。

1.2 MKY35 の内部構成

MKY35 は、標準的衛星 IC のコアを内部に実装しています。また MKY35 は、16 本の Io 端子 (Io0 ~ Io15) と 3 本の IOS (IO Select) 端子を装備しています (図 1.2 参照)。

MKY35 に搭載されている標準的衛星 IC のコアは、内部端子として 16 本の入力端子 (Di) と 16 本の出力端子 (Do) を装備していますが、外部端子へは直接接続されていません。3 本の IOS (IO Select) 端子の設定によって、内部入力端子 (Di0 ~ Di15) または内部出力端子 (Do0 ~ Do15) が外部端子である Io 端子 (Io0 ~ Io15) へ接続されます。

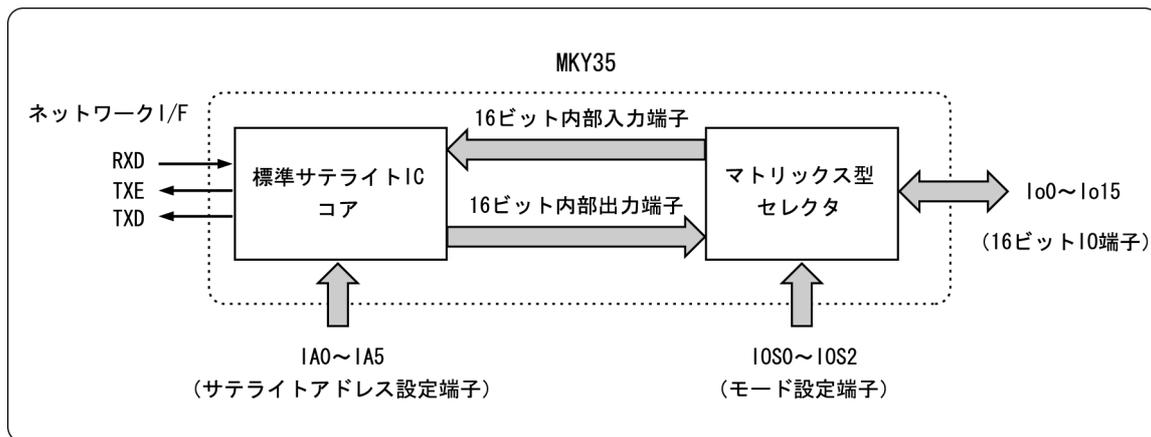


図1.2 MKY35の内部構成



参考

IOS (IO Select) 端子の設定による Io 端子 (Io0 ~ Io15) と内部端子との接続についての詳細は、“3.5 MKY35 の動作モード設定” に記述されています。

1.3 MKY35 の操作

MKY35 は受動 IC であり、センタ IC からリモート操作します。センタ IC がスキャンを継続する HLS においては、MKY35 を利用するためのユーザシステム (センタ IC へのアクセス) は、極めてシンプルです。

ユーザシステムは、MKY35 の内部出力端子 (Do0 ~ Do15) 状態を変えたい時に、センタ IC 内メモリへデータをライトするだけです。例えば、MKY35 の内部出力端子 (Do0 ~ Do15) が接続された Io 端子にリレーが接続されている場合、リレーを“ON”したい時あるいは“OFF”したい時のみセンタ IC 内メモリへデータをライトするだけです。

ユーザシステムは、MKY35 の内部入力端子 (Di0 ~ Di15) の状態を取得したい時に、センタ IC 内メモリをリードするだけです。例えば、MKY35 の内部入力端子 (Di0 ~ Di15) が接続された Io 端子にセンサが接続されていた場合、メモリをリードするだけで、そのセンサの状態を取得できます。

センタ IC が複数のコマンド (0 ~ FH) の発行が可能なタイプである場合、MKY35 は HLS 基本機能のコマンド“0”に応答します。MKY35 に装備された拡張機能も、コマンド“0”によって操作してください。



注意事項

MKY35 がコマンド“0”以外のコマンドパケット (CP) を受信した場合でも、MKY35 の機能や動作に対して障害を与えることはありません。この場合、MKY35 は 0000H データをレスポンスパケット (RP) 内に埋め込んで返信します。

1.4 MKY35 の応答速度

センタ IC がスキャンを継続する HLS においては、応答速度の定時性とリアルタイム性の両方が保証されています。センタ IC 内メモリのデータと、MKY35 の内部入力端子 (Di) 状態および内部出力端子 (Do) 状態の同一化に要する時間は、基本的に HLS のスキャンタイムと一致しており、極めて高速です。

例えば、ベルトコンベア上を流れてくる箱の位置をきめ細かく検出しなければならないユーザーシステムの場合、かつ 16 本の Io 端子 (Io0 ~ Io15) を“入力”に設定した 4 個の MKY35 をセンタ IC に対して接続し、全ての MKY35 の Io 端子 (Io0 ~ Io15) に対して位置検出センサを接続した場合、64 個のセンサ (16 センサ × 4 個の MKY35) の状態は、60.7 μs (12Mbps: フルデュプレックス時) のスキャンタイム間隔によってセンタ IC 内メモリへ格納され、常に最新状態のデータが保たれます。たとえ最も遠い位置の MKY35 が 100m 離れていたとしても、この速度は変わりません。位置センサが 5cm 間隔によって配列されていた場合、ベルトコンベア上を流れて来る箱が秒速 823m (時速 2900km 以上) の速さであったとしても、その位置を誤って認識することはありません。



スキャンタイムの詳細は、MKY35 を接続するセンタ IC の“ユーザーズマニュアル”の“スキャンタイム”を参照してください。

1.5 MKY35 の特徴

MKY35 の基本機能の特徴と拡張機能を以下に示します。

1.5.1 HLS におけるサテライト IC としての基本機能の特徴

MKY35 は、小型化が追求されたサテライト IC です。

“入力”または“出力”に設定可能な、16 本の Io 端子 (Io0 ~ Io15) 端子を装備しています。

12Mbps、6Mbps、3Mbps の標準転送レートに対応しています。

フルデュプレックス(全二重)およびハーフデュプレックス(半二重)の両方の通信方式に対応します。

SA(Satellite Address)を設定する 6 本の端子を装備。01H ~ 3FH の 63 装置中の任意の 1 装置へ設定可能です。

5.0V 単一電源。0.5mm ピッチ。48-pin TQFP。

1.5.2 拡張機能

スキャン応答信号を出力する端子を装備しています。

内部出力端子 (Do0 ~ Do15) 状態として Lo レベルを設定できる CLR 端子を装備しています。

内部出力端子 (Do0 ~ Do15) の更新および内部入力端子 (Di0 ~ Di15) の受信時期を示すストロブ出力端子をそれぞれ装備しています。それぞれの更新タイミングに合わせた周辺回路設計への応用が可能です。

センタ IC へのリンクを確認するハンドシェイク設定も可能です。

電力量の制御および DC モータ制御などに有益な、2 種類の PWM (Pulse Width Modulation) モードを装備しています。

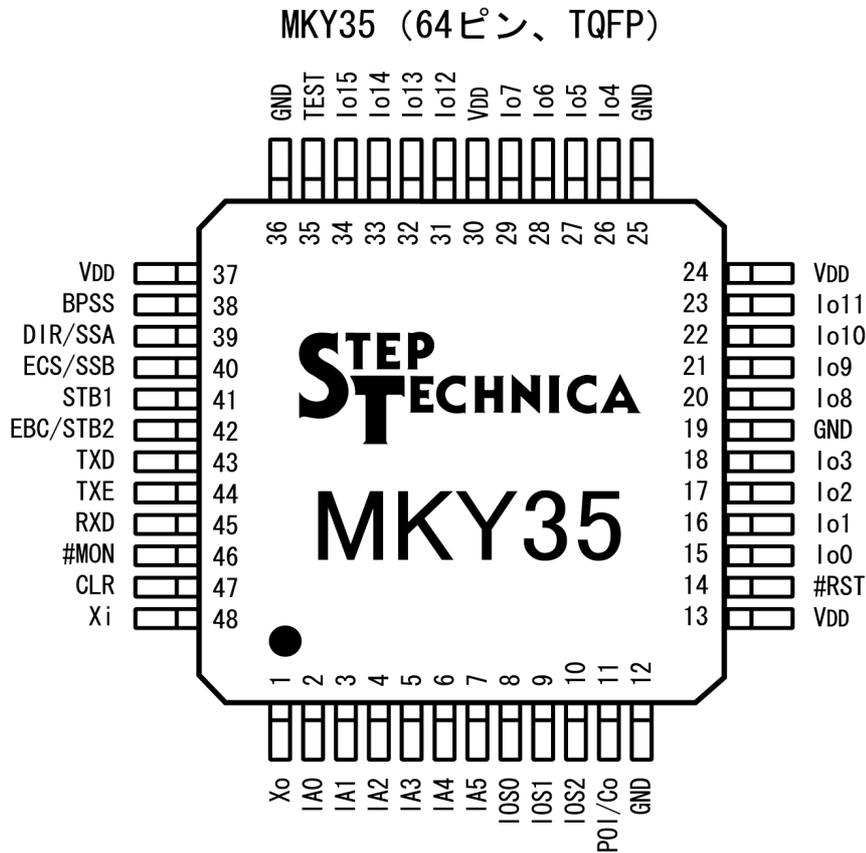
第 2 章 MKY35 ハードウェア

本章は、MKY35 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

第2章 MKY35 ハードウェア

本章は、MKY35の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

MKY35の端子配列を図2.1に示します。



注記：先頭に“#”が付いている端子は、負論理（Loアクティブ）を示します。

図2.1 MKY35の端子配列

表 2-1 に、MKY35 の端子機能を示します。

表 2-1 MKY35 の端子機能

端子名	端子番号	論理	I/O	機 能
Xo	1	正	O	発振子接続端子です。
IA0 ~ IA5	2 ~ 7	正	I	サテライトアドレスを設定する入力端子です。Hi レベルを“1”とする正論理の 16 進数の値“1 ~ 63 (01H ~ 3FH)”を設定してください。IA5 が MSB に対応します(この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力であると認識されます)。
IOS0 ~ IOS2	8 ~ 10	正	I	MKY35 のモードを設定する入力端子です。16 進数の値“0 ~ 7 (0H ~ 7H)”を設定してください。IOS2 が MSB に対応します。この端子は 3 本とも必ず、Hi または Lo レベルに設定してください(この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力と認識されます)。
Co/POI	11	正	O/I	IOS0 ~ IOS2 端子によって、IO モード 1 ~ 6 のいずれかが設定されている時、Co 端子として機能します。Co 端子は出力端子です。Co 端子時には、MKY35 の駆動クロックを出力します。IOS0 ~ IOS2 端子によって、PWM モード 1 ~ 2 のいずれかが設定されている時には、POI 端子として機能します。POI 端子は入力端子です。POI 端子へは、PWM 回路へ供給する POI 信号を接続してください。IOS0 ~ IOS2 端子によって PWM モード 1 ~ 2 のいずれかが設定されている時、本端子へは必ず Hi または Lo レベルを設定してください。
#RST	14	負	I	MKY35 のハードウェアリセット入力端子です。電源“ON”直後から、あるいはユーザが意図的にハードウェアをリセットする時には、Xi 端子の周波数の 10 クロック以上 Lo レベルを維持してください。
Io0 ~ Io15	15 ~ 18 26 ~ 29 20 ~ 23 31 ~ 34	正	I/O	16 ビットの汎用入出力端子です。IOS0 ~ IOS2 端子の設定によって、入出力および機能が設定されます。
TEST	35	正	I	必ず GND へ接続してください(メーカーが利用するテスト用端子です)。
BPSS	38	正	I	駆動クロック選択用の入力端子です(この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力であると認識されます)。
SSA/DIR	39	正	I	IOS0 ~ IOS2 端子によって、IO モード 1 ~ 6 のいずれかが設定されている時には、SSA 端子として機能します。SSA 端子時には、ストロブ信号の機能を選択するための Hi レベルまたは Lo レベルを設定してください。IOS0 ~ IOS2 端子によって、PWM モード 1 ~ 2 のいずれかが設定されている時には、DIR 端子として機能します。DIR 端子時には、PWM 回路へ供給する DIR 信号を接続してください。この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力であると認識されます。

(つづく)

表 2-1 MKY35 の端子機能

(つづき)

端子名	端子番号	論理	I/O	機 能
SSB/ECS	40	正	I	IOS0 ~ IOS2 端子によって、IO モード 1 ~ 6 のいずれかが設定されている時には、SSB 端子として機能します。SSB 端子へは、ストローブ信号の機能を選択するための Hi レベルまたは Lo レベルを入力してください。 IOS0 ~ IOS2 端子によって、PWM モード 1 ~ 2 のいずれかが設定されている時には、ECS 端子として機能します。ECS 端子へは、PWM 回路に供給する ECS 信号を接続してください。この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力であると認識されます。
STB1	41	正	O	センタ IC から送信されたコマンドパケットを正常に受信した時には、内部出力端子の状態を更新するタイミングを示す Hi レベルパルスのストローブ信号を出力します。
STB2/EBC	42	正	O/I	IOS0 ~ IOS2 端子によって、IO モード 1 ~ 6 のいずれかが設定されている時には、STB2 端子として機能します。STB2 端子時には、Io 端子状態を内部入力端子へ取り込むタイミングを示す Hi レベルパルスのストローブ信号を出力します。 IOS0 ~ IOS2 端子によって、PWM モード 1 ~ 2 のいずれかが設定されている時には、EBC 端子として機能します。EBC 端子は入力端子です。PWM 回路へ供給する EBC 信号を接続してください。この端子が IOS0 ~ IOS2 端子によって PWM モード 1 ~ 2 のいずれかが設定されている時には、必ず Hi または Lo レベルを設定してください。
TXD	43	正	O/Z	センタ IC ヘレスポンスパケットを出力する端子です。ドライバなどのドライブ入力端子へ接続してください。この端子は、TXE 端子の出力レベルが Lo レベルの時には、ハイインピーダンス状態になります。
TXE	44	正	O	センタ IC ヘレスポンスパケットを出力している期間中には、Hi レベルになる出力端子です。ドライバなどのイネーブル入力端子へ接続してください。
RXD	45	正	I	センタ IC から送信されたコマンドパケットを入力する端子です。レシーバなどの出力端子へ接続してください。
#MON	46	負	O	MKY35 のスキャン応答状態を出力する端子です。スキャン応答が正常な時には、Lo レベルを出力します。
CLR	47	正	I	内部出力端子の状態を強制的に全て Lo レベルにする入力端子です。通常は Lo レベルを維持してください(この端子が開放されている場合、内部のプルダウン抵抗によって Lo レベル入力であると認識されます)。
Xi	48	正	I	発振子もしくは生成済みのクロックを接続する端子です。
V _{DD}	13、24 30、37	---	---	電源端子。5.0V へ接続。
GND	12、19 25、36	---	---	電源端子。0V へ接続。

注記：先頭に“#”が付いている端子は、負論理（Lo アクティブ）を示します。

表 2-2 および図 2.2 に、MKY35 端子の電氣的定格を示します。

表 2-2 MKY35 の電氣的定格

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	O	Xo	--	13	--	VDD	--	25	--	GND	--	37	--	VDD	--
2	I	IA0	A	14	I	#RST	C	26	I/O	Io4	F	38	I	BPSS	A
3	I	IA1	A	15	I/O	Io0	F	27	I/O	Io5	F	39	I	SSA/DIR	A
4	I	IA2	A	16	I/O	Io1	F	28	I/O	Io6	F	40	I	SSB/ECS	A
5	I	IA3	A	17	I/O	Io2	F	29	I/O	Io7	F	41	O	STB1	H
6	I	IA4	A	18	I/O	Io3	F	30	--	VDD	--	42	O/I	STB2/EBC	G
7	I	IA5	A	19	--	GND	--	31	I/O	Io12	F	43	O/Z	TXD	I
8	I	IOS0	A	20	I/O	Io8	F	32	I/O	Io13	F	44	O	TXE	H
9	I	IOS1	A	21	I/O	Io9	F	33	I/O	Io14	F	45	I	RXD	D
10	I	IOS2	A	22	I/O	Io10	F	34	I/O	Io15	F	46	O	#MON	J
11	O/I	Co/POI	E	23	I/O	Io11	F	35	I	TEST	B	47	I	CLR	A
12	--	GND	--	24	--	VDD	--	36	--	GND	--	48	I	Xi	--

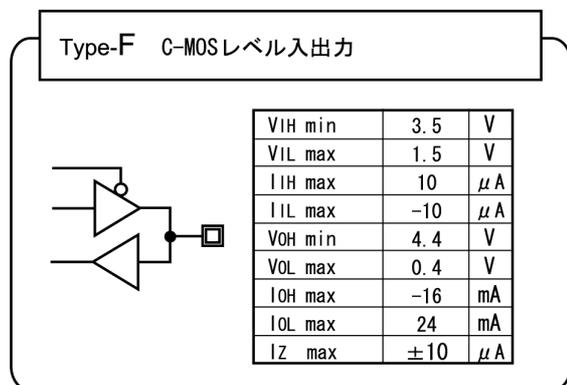
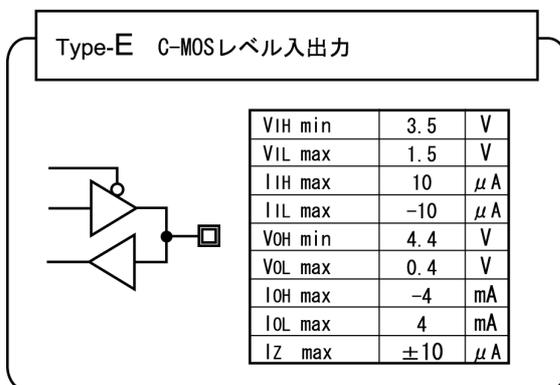
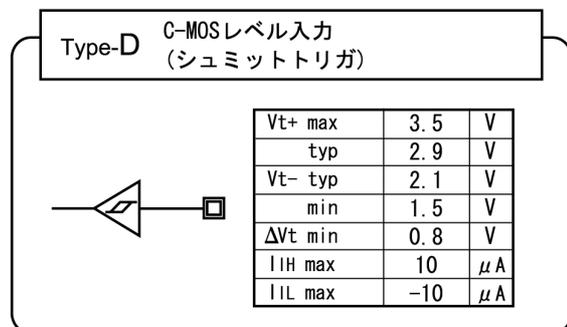
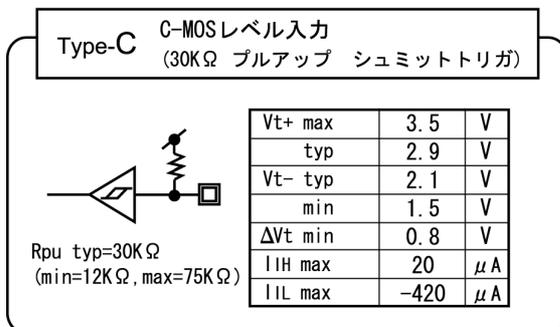
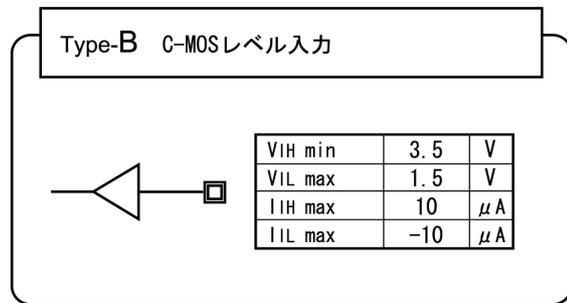
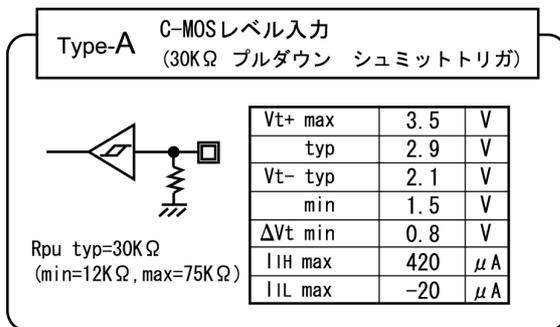


図 2.2 MKY35の入出力回路形式における端子電氣的特性

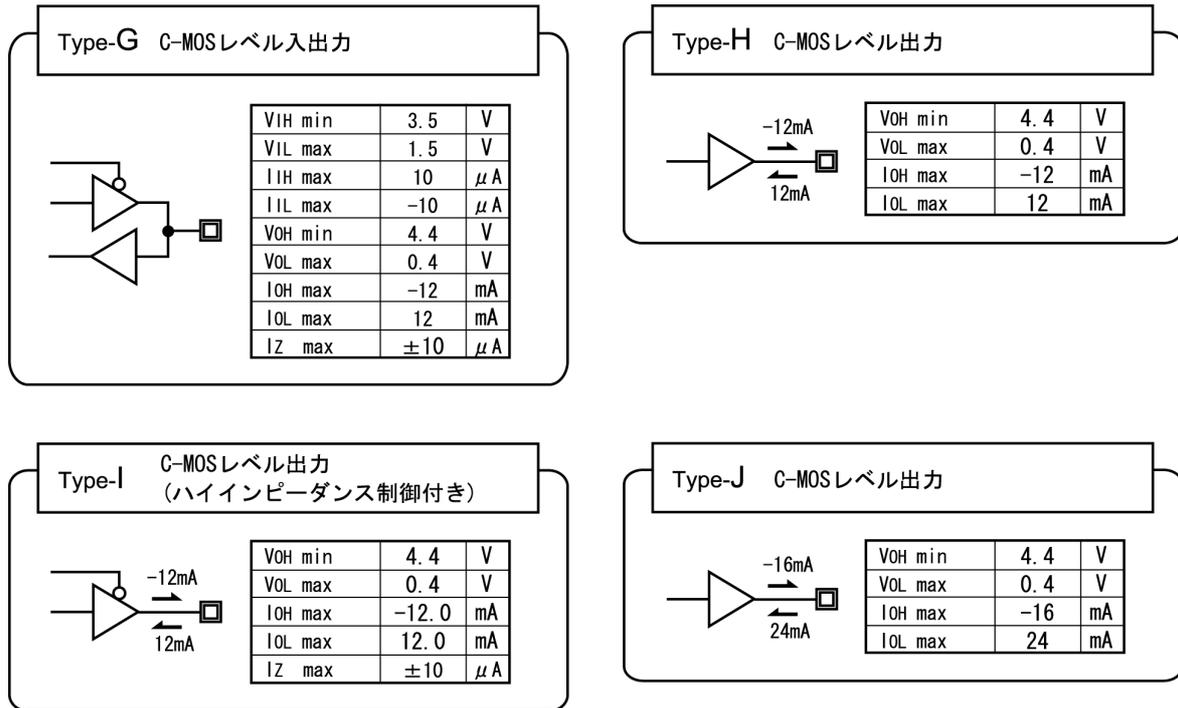


図2.2 MKY35の入出力回路形式における端子電気的特性

第 3 章 MKY35 基本機能の接続

本章は、MKY35 の基本機能を動作させるために必要な、端子の役割や接続について記述します。

3.1 駆動クロック	3-3
3.2 ハードウェアリセット	3-6
3.3 サテライトアドレス設定	3-6
3.4 ネットワークインターフェースの接続	3-7
3.5 MKY35 の動作モード設定	3-9
3.6 MKY35 基本機能の接続例	3-14

第3章 MKY35 基本機能の接続

本章は、MKY35 の基本機能を動作させるために必要な、端子の役割や接続について記述します。

3.1 駆動クロック

本節は、MKY35 の駆動クロックについて記述します。

3.1.1 駆動クロックの自己生成

MKY35 は、発振子を接続して自ら駆動クロックを生成することができます。この場合、発振子を Xi 端子 (端子 48) と Xo 端子 (端子 1) へ接続してください。生成するクロック周波数は、転送レートの 4 倍あるいは 8 倍でなければなりません。転送レートが 6Mbps の場合、駆動クロックは 24MHz あるいは 48MHz です。正常に駆動クロックが生成されている場合かつ MKY35 の動作モードが IO モード 1 ~ 6 である場合、Co (Clock out) 端子 (端子 11) からのクロック出力が認められます。この Co 端子から出力されるクロックは、BPSS (BPS Select) 端子 (端子 38) が Lo レベルの時、ハードウェアリセットがアクティブな期間中も Co 端子から出力されています。

Xi 端子と Xo 端子へ接続する発振子および補助部品は、MKY35 本体の近傍に配置してください。発振子としては、水晶発振子やセラミック発振子を利用することができます。発振子のメーカーおよび品種に応じて、適切な値の付加容量を選択し接続してください (図 3.1 参照)。

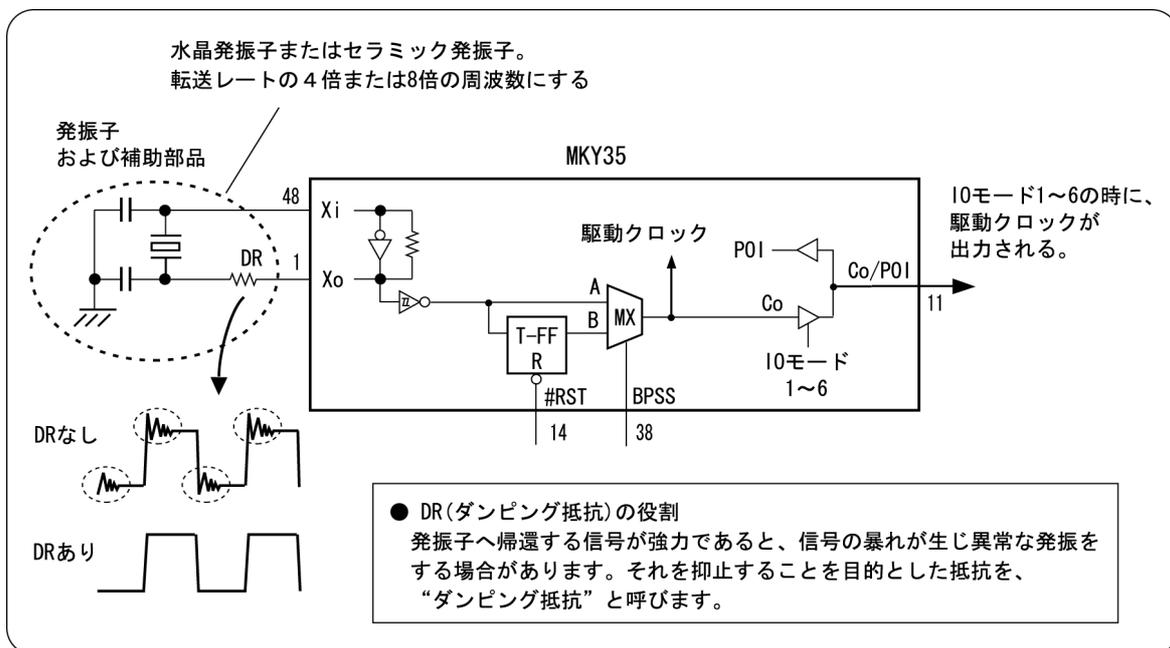


図3.1 MKY35のクロック関係図

**注意事項**

MKY35 が発振可能な周波数範囲は、20MHz ~ 50MHz です。この範囲を逸脱する駆動クロック周波数を必要とするような場合は、“3.1.2 生成済みの駆動クロックを供給する”を採用してください。

発振子のメーカーおよび品種によっては、X_o 端子と発振子の間に、ダンピング抵抗 (DR) の挿入を必要とする場合もあります。

発振周波数精度の許容範囲は、転送レートの 4 倍の周波数に対して ± 5% 以内ですが、周波数精度が低い場合には、センタ IC と正常にリンクできる通信ケーブル長が短くなる場合があります。したがって、水晶発振子の利用を推奨します。水晶発振子を利用した場合には、± 0.1% 以内の周波数精度を維持できます。

発振状態の認識および発振周波数の計測には、MKY35 の動作モードが IO モード 1 ~ 6 である場合に、Co 端子を利用可能です。

**参考**

弊社は、技術レポートなどの情報を Web サイトにおいて提供することに努めております。発振子に応じた適切な値の付加容量や発振の安定度を策定する方法など、参考となる技術情報を必要とする場合は、弊社の Web サイトもご参照ください。

<http://www.steptecnica.com/>

3.1.2 生成済みの駆動クロックを供給する

発振器などによって生成された外部クロックを直接 MKY35 へ供給し、MKY35 の駆動クロックとして利用することができます。外部クロックを MKY35 へ直接供給する際には、Xi 端子 (端子 48) へ供給し、X_o 端子 (端子 1) は開放してください。外部クロックを直接供給する際の仕様は以下です。

上限周波数は 50MHz であり、下限はありません。

$V_{IH} = \min 3.5V$ 。 $V_{IL} = \max 1.5V$ 。

信号の立上りおよび立下りが 20ns 以内。

信号の Hi レベルおよび Lo レベルの最小時間が 5ns 以上
クロックのジッタ成分が以下の範囲内。

- ・ 入力する周波数が 25MHz 以上の場合には 250ps 以内
- ・ 入力する周波数が 25MHz 未満の場合には 500ps 以内

周波数精度が ± 1000ppm (± 0.1%) 以内

**参考**

一般的な水晶発振器におけるクロックの出力は、上記 ~ の値に対して問題になりません。

3.1.3 駆動クロックの選択

MKY35 の駆動クロックは、BPSS(BPS Select) 端子 (端子 38) が Lo レベルの時、自己生成したクロックあるいは外部クロックです。BPSS(BPS Select) 端子 (端子 38) が Hi レベルの時の駆動クロックは、自己生成したクロックあるいは外部クロックを MKY35 内部の 2 分周回路によって周波数を半分にしたクロックです。自己生成クロックあるいは外部クロックの周波数と BPSS 端子は、MKY35 を接続する HLS センタ IC に設定される転送レートと一致するように設定してください (表 3-1 参照)。

表 3-1 駆動クロックと転送レートの対応

Xi 端子における周波数	BPSS=Lo レベル		BPSS=Hi レベル	
	駆動クロック	転送レート	駆動クロック	転送レート
48MHz	48MHz	12Mbps	24MHz	6Mbps
24MHz	24MHz	6Mbps	12MHz	3Mbps
12MHz	12MHz	3Mbps	6MHz	1.5Mbps

3.1.4 駆動クロックの確認

MKY35 の Co(Clock out) 端子 (端子 11) は、図 3.1 に示す内部等価回路のように接続されています。MKY35 の動作モードが IO モード 1 ~ 6 である場合、Co 端子によって駆動クロックを確認することができます。Co 端子から出力される駆動クロックは、駆動クロックの確認以外の目的にも利用することが可能です。ただし、図 3.1 に示されるように、BPSS 端子が Hi レベルに設定された状態においてハードウェアリセットがアクティブである期間中は、Co 端子の出力レベルは Lo を維持し、クロックが出力されないことに注意してください。



MKY35 の動作モードについては、“3.5 MKY35 の動作モード設定”および“4.3 PWM モード”を参照してください。

3.2 ハードウェアリセット

#RST(ReSeT) 端子 (端子 14) へ Lo レベルを入力すると、MKY35 はハードウェアリセットされます。ただし、この Lo レベル信号が入力されている期間が“1 クロック” 以下の場合は、誤動作を防止するためにこの信号は無視されます。また MKY35 を完全にリセットするためには、駆動クロックが供給されている間に #RST 端子は“10 クロック” 以上 Lo レベルを維持していなければなりません。#RST 端子は、内部のシュミット型入力バッファへ接続されていますので、電源“ON” 時の立上り時定数回路を直接接続することもできます (図 3.2 参照)。

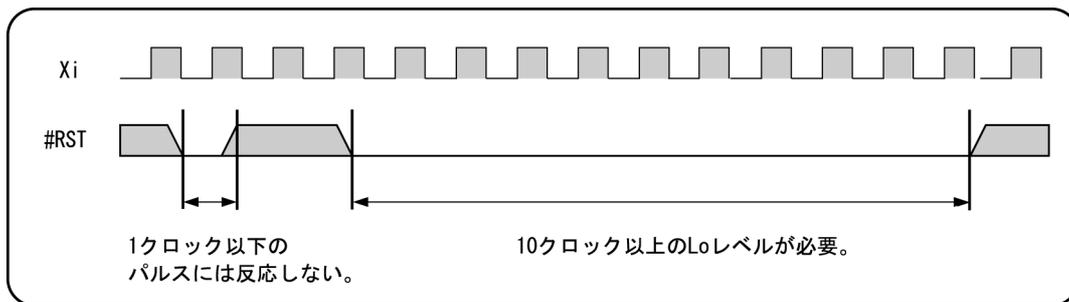


図3.2 ハードウェアリセット



注意事項

MKY35 へ電源を投入した直後には、必ずハードウェアリセットがアクティブとなるように設定してください。

3.3 サテライトアドレス設定

MKY35 は、6 本の SA(Satellite Address) 設定端子 (IA0 ~ IA5 : Input Address0 ~ 5) を装備しています。HLS を利用する際には、それぞれのサテライト IC へ個別な SA(Satellite Address) の設定が義務付けられています。MKY35 への SA 値は、IA0 ~ IA5 (端子 2 ~ 7) へ入力する Hi レベルを“1”、Lo レベルを“0”とした 16 進数の 01H ~ 3FH (1 番 ~ 63 番) によって設定します。最上位ビットは IA5 (端子 7) です。この SA の設定と、センタ IC の各領域内のメモリアドレス (配列) が対応します。

例 1 : SA=1 (01H) の MKY35 の内部入力端子 (Di) の状態は、センタ IC の Di 領域メモリのアドレス 02H へ格納されます。

例 2 : SA=63 (3FH) の MKY35 の内部入力端子 (Di) の状態は、センタ IC の Di 領域メモリのアドレス 7EH へ格納されます。



参考

この SA(Satellite Address) は、“センタ IC に近い順に設定する”などの、ネットワーク上における物理的な配置関係は規定されません。またセンタ IC に 2 本の入力端子 (RXD1、RXD2) が存在する場合も、“どちらのネットワーク側に特定の SA が設定された MKY35 を接続する”などの規定もありません。



注意事項

センタ IC へ接続された全てのサテライト IC は、同一の SA 値が設定されていることがあってはなりません。また、00H の SA 値は設定禁止です。もし、00H の SA 値をサテライト IC へ誤って設定してしまった場合、システムに悪影響を与えることはありませんが、この値を設定したサテライト IC はセンタ IC からスキャンされません。

3.4 ネットワークインターフェースの接続

MKY35 のネットワークインターフェース（以下、“ネットワーク I/F”）の端子は、RXD 端子（端子 45）、TXE 端子（端子 44）および、TXD 端子（端子 43）の 3 本です。

3.4.1 RXD、TXE、TXD 端子の詳細

MKY35 は、センタ IC からのコマンドパケット (CP) を RXD 端子から入力します。センタ IC から送信される CP のシリアルパターン信号が常に RXD 端子へ入力されるように、ネットワークの TRX（ドライバ/レシーバ部品）の接続を設計してください。

MKY35 は、受信した CP の宛先が IA0 ~ IA5 によって設定された SA と一致した時、直ちにセンタ IC ヘレスポンスパケット (RP) を返送します。RP の送信中は、TXE 端子が Hi レベルになります。このため TXE 端子が Hi レベルになった時には、TRX のドライバのイネーブル端子がアクティブとなり、TXD 端子から出力される RP のシリアルパターンをネットワークへ送信できるように、TRX を設計してください。

MKY35 の TXD 端子は、RP の送信中に RP を構成するシリアルパターンの Hi レベルパルスもしくは Lo レベルパルスを出力します。MKY35 の TXD 端子は、TXE 端子が Lo レベルの時（RP の送信中でない時）およびハードウェアリセットがアクティブである時にハイインピーダンス状態になります。これにより、複数の MKY35 を同一基板に実装する場合には、ワイヤードオア接続が可能になります。一般的な TRX のドライバのドライブ入力端子は、ドライバ内部においてプルアップされています。このため MKY35 の TXD 端子を、TRX のドライバのドライブ入力端子へ直接接続できます。ドライバ内部がプルアップとなっていないドライバへ TXD 端子を接続する場合は、MKY35 の TXD 端子をプルアップ（もしくはプルダウン）処理してください。

MKY35 の TXE 端子は、ハードウェアリセットがアクティブとなった場合、その直前のレベルを維持します。その後ハードウェアリセットが解除された時に、Lo レベルになります。



ハーフデュプレックス（半二重）通信方式による HLS の運用時は、MKY35 が RP を返送している期間に、自己の TXD 端子から出力された信号がそのまま RXD 端子へ入力されてしまう場合があります。しかし、MKY35 は TXE 端子が Hi の期間中には入力しない仕組みを採用しているため、まったく問題は生じません。

3.4.2 推奨のネットワーク接続

図 3.3 は、推奨のネットワーク接続です。TRX (ドライバ/レシーバ部品) は、RS-485 仕様のドライバ/レシーバ (5.0V 駆動 LSI) とパルストランスから構成されます。通信ケーブルは、LAN 用の通信ケーブル (10BASE-T、カテゴリ 3 以上) と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。フルデュプレックス (全二重) 通信方式による HLS の運用時には 2 対のツイストペアを、ハーフデュプレックス (半二重) 通信方式による運用時には 1 対のツイストペアを利用します (図 3.3 参照)。

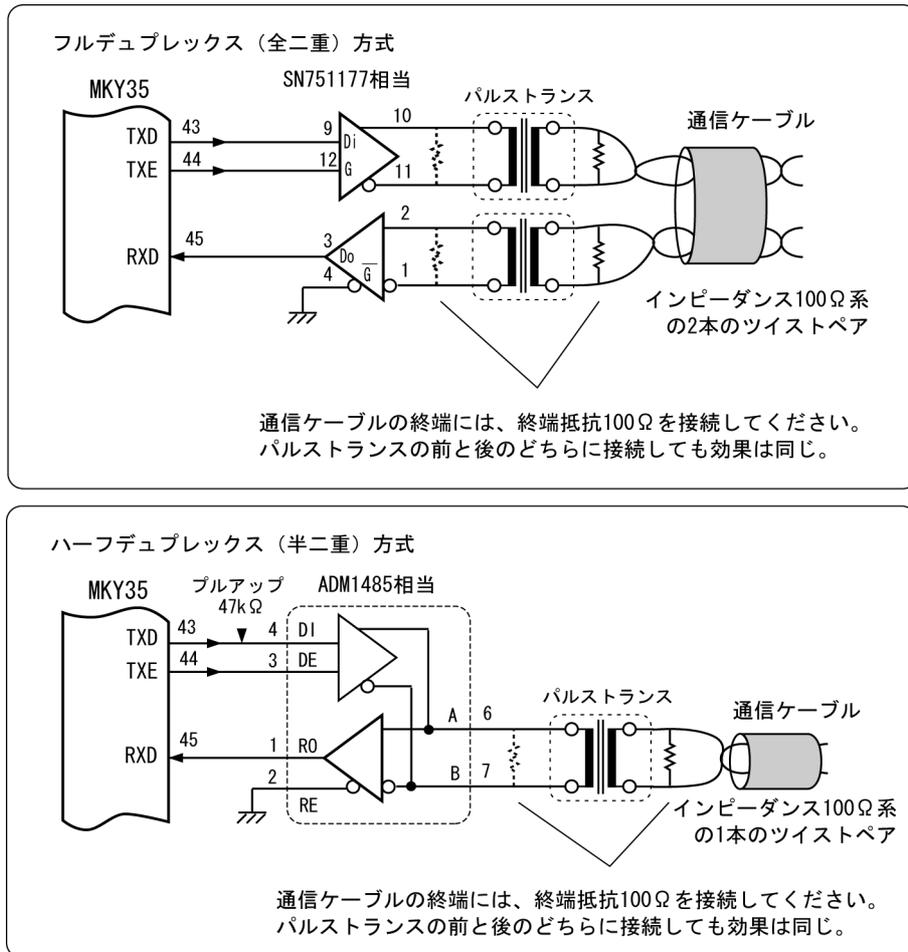


図3.3 推奨のネットワーク接続

注意事項

MKY35 の TXD 端子は、レスポンスパケットを送信していない期間、ハイインピーダンスになります。ドライバ入力が高インピーダンス状態になることを許容しないドライバ部品を使用する場合は、TXD 端子とドライバ入力の接続線へ、プルアップまたはプルダウン抵抗を接続してください。

参考

ネットワーク IF の TXE 端子 (端子 44) に出力される Hi レベルの信号は、センタ IC がスキャンを実行していることの検出にも利用可能です。HLS 利用におけるユーザシステムの動作確認や応答速度の測定などを行うことができます。

通信ケーブルの敷設に役立つ予備知識や資料は、“**ハイスピードリンクシステム テクニカルガイド**” に記述されています。また部品の選択や推奨部品の入手については、弊社の Web サイトもご参照ください。

<http://www.steptecnica.com/>

3.5 MKY35 の動作モード設定

MKY35 の動作モードは、3 本の IOS (IO Select) 端子によって設定することができます。

MKY35 は、16 本の Io 端子 (Io0 ~ Io15) を装備しています。この端子は、3 本の IOS (IO Select) 端子の設定 (動作モード) によって、“入力” または “出力” として利用することができます。



注意事項

MKY35 の稼動中に IOS 端子の設定を変更しても、動作モードは切り替わりません。この場合、稼動中の Io 端子の入出力遷移時間は、接続環境 (負荷容量など) により変動します。さらに出力レベルは稼動状態に依存します。よって弊社は、稼動中における IOS 端子の設定変更は推奨しておりません。

ユーザが稼動中に意図して IOS 端子の設定を変更する場合には、(Io 端子の入出力遷移や出力端子の電氣的な衝突や競合が発生しないようにするなど)、問題が発生しないようお客様ご自身によって配慮してください。

3.5.1 内部入力端子と内部出力端子

MKY35 は、16 ビットの内部入力端子 (Di0 ~ Di15) と 16 ビットの内部出力端子 (Do0 ~ Do15) を装備しています (図 3.4 参照)。

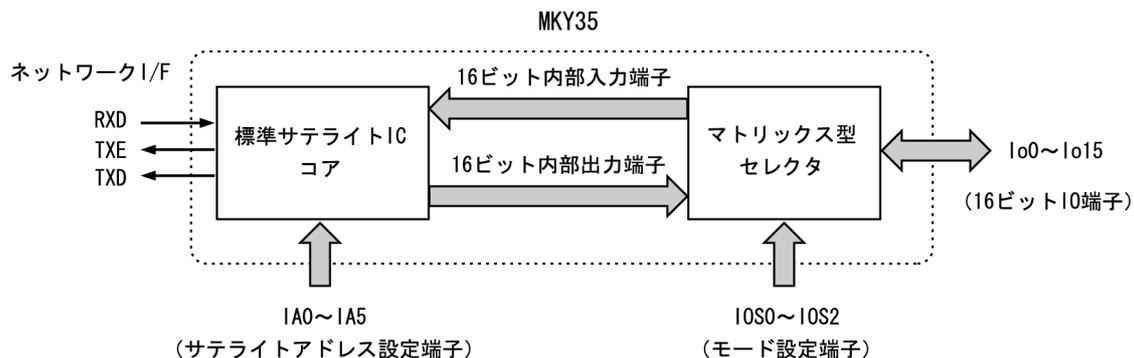


図3.4 内部入力端子と内部出力端子

MKY35 の内部入力端子 (Di0 ~ Di15) の状態が、センタ IC の Di 領域の SA に対応したメモリアドレスへ複写されます。MKY35 は、センタ IC から送信されたコマンドパケット (CP) を正常に受信すると、その CP の宛先が IA0 ~ IA5 によって設定された SA と一致した場合、CP 内に埋め込まれているデータを 16 ビットの内部出力端子 (Do0 ~ Do15) へ設定します。

16 ビットの内部出力端子 (Do0 ~ Do15) は、ハードウェアリセットがアクティブである時、上記のデータ維持に優先して Lo レベルになります。ハードウェアリセットが解除された後も、上記の更新まで Lo レベルが継続します。また、後述する “ 4.1.4 CLR 端子機能 ” に記述された拡張機能の CLR 端子がアクティブとなった時も、ハードウェアリセットがアクティブとなった時と同様に、16 ビットの内部出力端子 (Do0 ~ Do15) はデータ維持に優先して Lo レベルになります。

16 本の Io 端子 (Io0 ~ Io15) は、3 本の IOS (IO Select) 端子の設定によって、16 ビットの内部入力端子 (Di0 ~ Di15) か、16 ビットの内部出力端子 (Do0 ~ Do15) へ接続されます。Io 端子へ接続されない内部入力端子は GND レベル (0) へ接続され、Io 端子へ接続されない内部出力端子は開放されます。

3.5.2 MKY35 動作モードの一覧

表 3-2 に、MKY35 の動作モードの一覧を示します。

表 3-2 MKY35 の動作モード

IOS2	IOS1	IOS0	動作モード	入力数	出力数	Io0 ~ Io15 端子の接続、他
Lo	Lo	Lo	IO モード 1	16	0	Io0 ~ Io15 端子 Di0 ~ Di15
Lo	Lo	Hi	IO モード 2	12	4	Io0 ~ Io11 端子 Di0 ~ Di11。 Do12 ~ Do15 Io12 ~ Io15
Lo	Hi	Lo	IO モード 3	8	8	Io0 ~ Io7 端子 Di0 ~ Di7。 Do8 ~ Do15 Io8 ~ Io15
Lo	Hi	Hi	IO モード 4	4	12	Io0 ~ Io3 端子 Di0 ~ Di3。 Do4 ~ Do15 Io4 ~ Io15
Hi	Lo	Lo	IO モード 5	2	18	Io0 ~ Io1 端子 Di0 ~ Di1。 Do2 ~ Do15 Io2 ~ Io15
Hi	Lo	Hi	IO モード 6	0	16	Do0 ~ Do15 Io0 ~ Io15
Hi	Hi	Lo	PWM モード 1	8	4	“4.3.1 PWM モード 1”を参照してください。
Hi	Hi	Hi	PWM モード 2	4	4	“4.3.3 PWM モード 2”を参照してください。



注意事項

ユーザシステムにおいて“入力”に設定された Io 端子は、開放しないでください。この場合に該当する端子は、Hi または Lo レベルを維持してください。なお、ユーザシステムにおいて“出力”に設定された Io 端子の中の未使用端子は、開放のままです。

3.5.3 IOモード1とIOモード2

図 3.5 に IO モード 1 の内部接続を、図 3.6 に IO モード 2 の内部接続を示します。

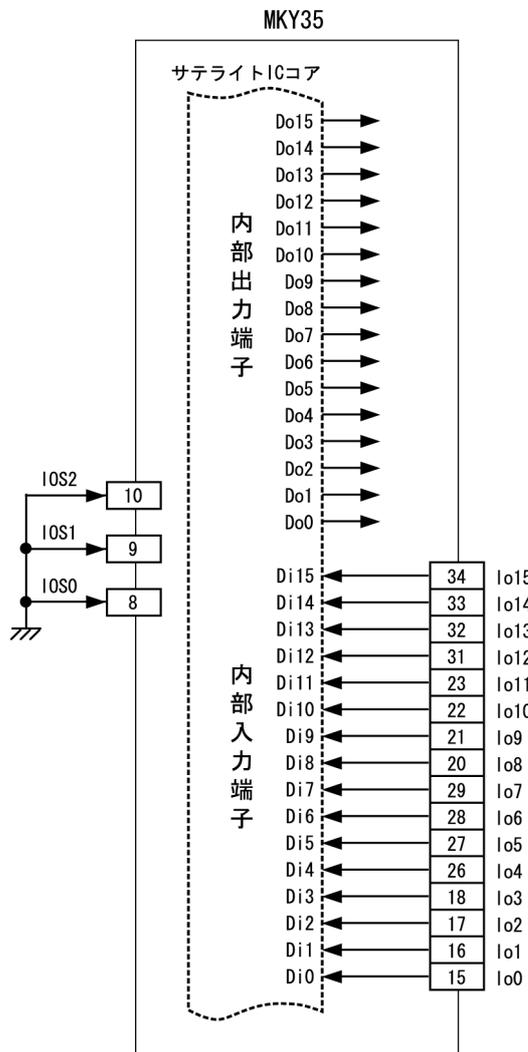


図3.5 IOモード1

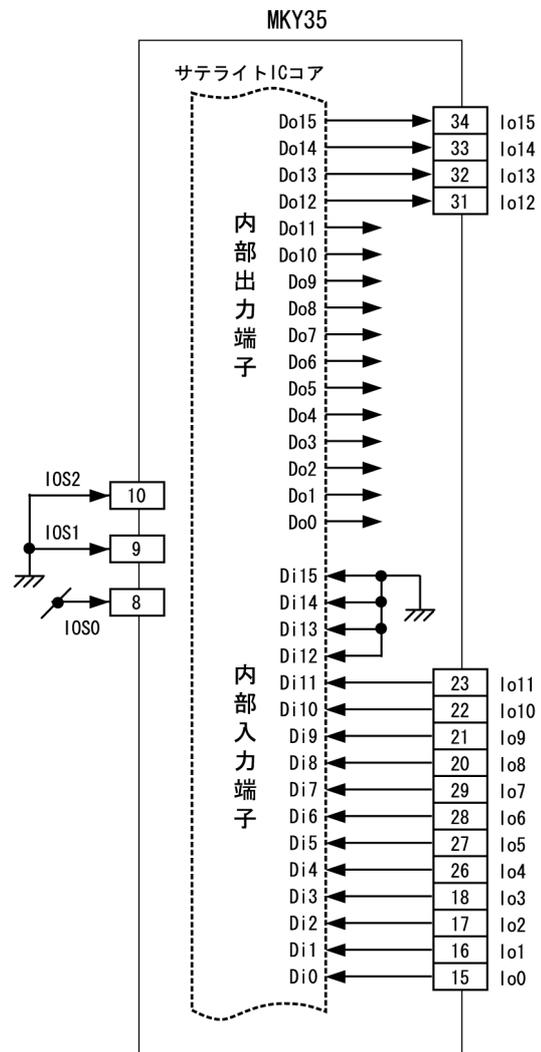


図3.6 IOモード2

3.5.4 IOモード3とIOモード4

図 3.7 に IO モード 3 の内部接続を、図 3.8 に IO モード 4 の内部接続を示します。

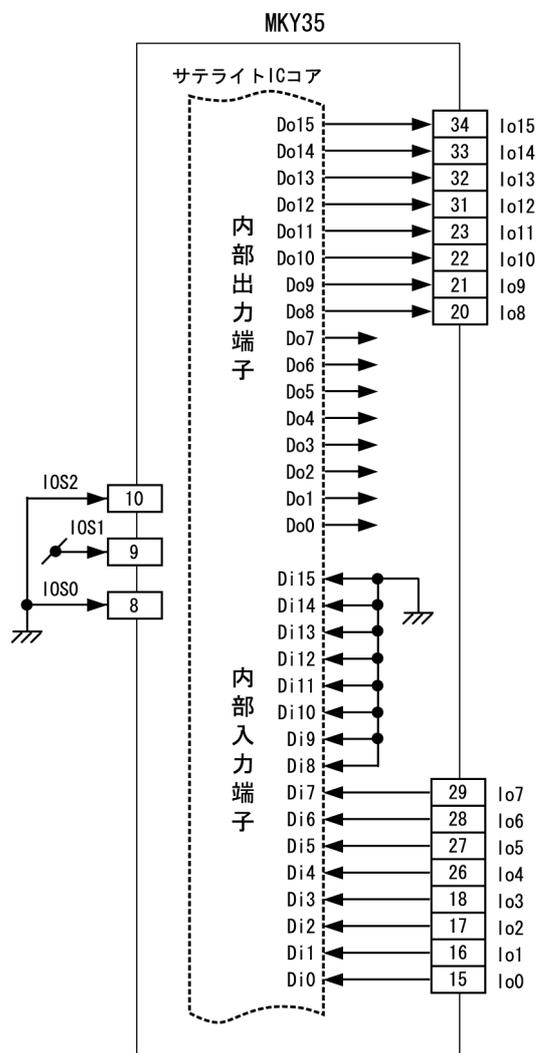


図3.7 IOモード3

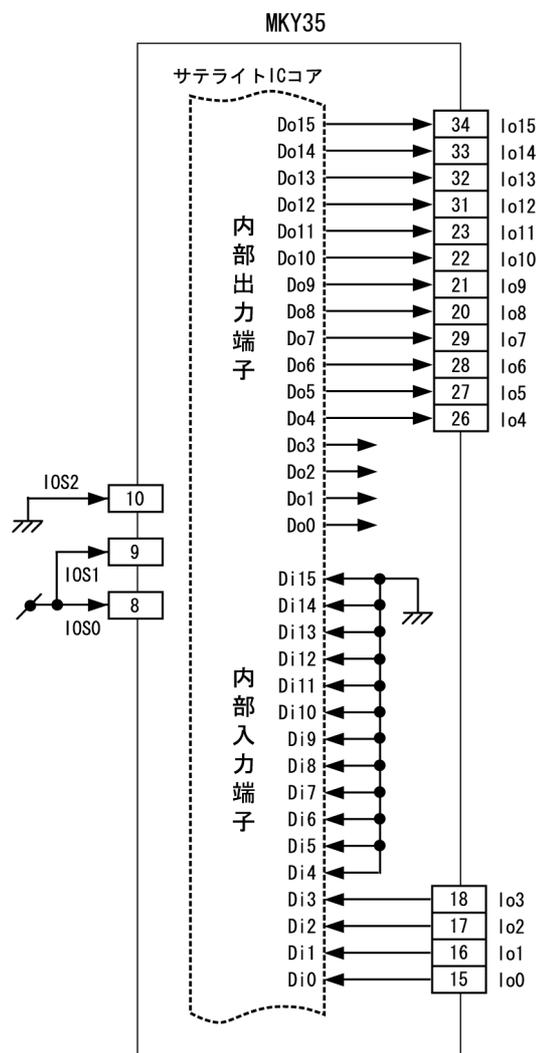


図3.8 IOモード4

3.5.5 IOモード5とIOモード6

図3.9にIOモード5の内部接続を、図3.10にIOモード6の内部接続を示します。

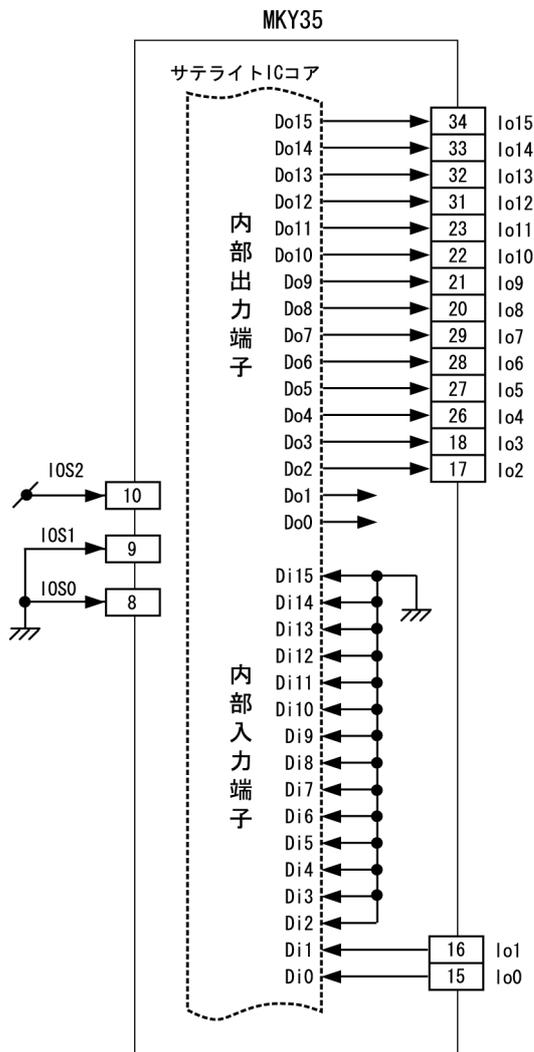


図3.9 IOモード5

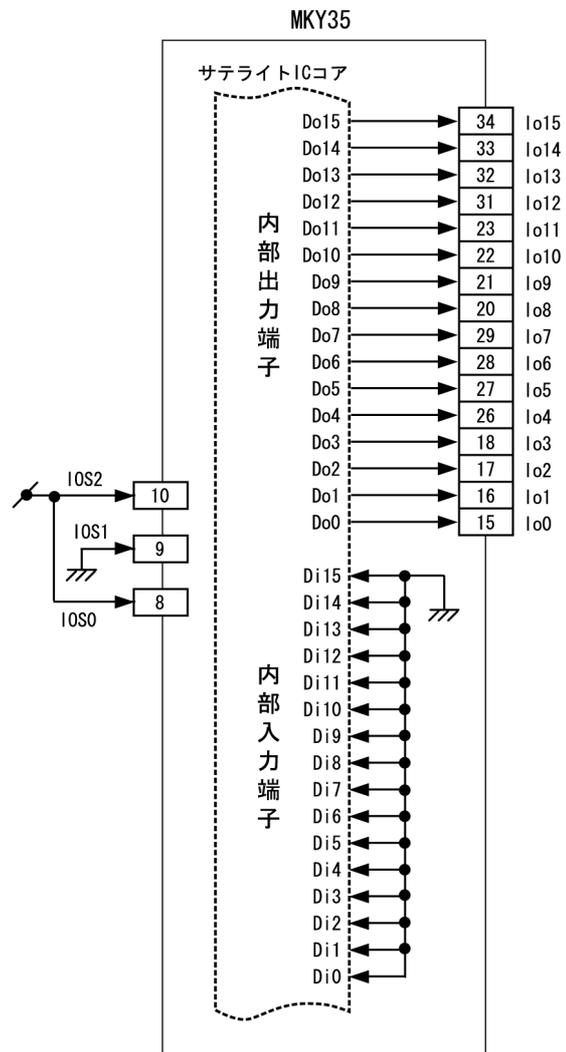


図3.10 IOモード6

3.6 MKY35 基本機能の接続例

図 3.11 に、MKY35 基本機能の接続例を示します。図 3.11 の回路は、IO モード 1 の設定です。また、後述する拡張機能は（#MON 端子機能を除き）全て未使用の設定です。MKY35 のサテライトアドレスは、DIP-SW によって設定できます。

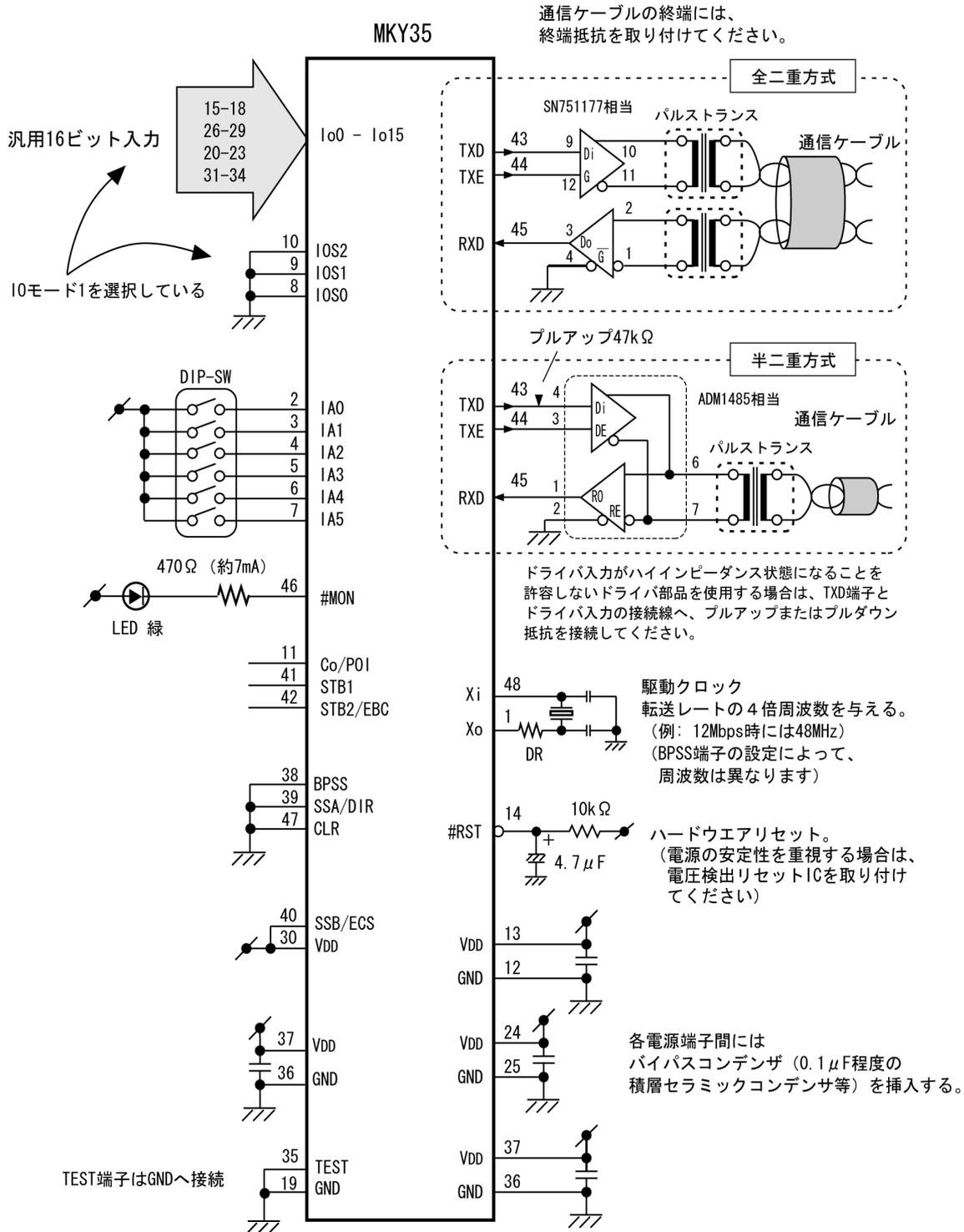


図3.11 基本機能の接続例

第 4 章 MKY35 拡張機能

本章は、MKY35 拡張機能を動作させるために必要な、端子の役割や接続について記述します。

4.1 スキャン応答信号とその応用	4-3
4.2 ストローブ信号の設定とその応用	4-6
4.3 PWM モード	4-12

第4章 MKY35 拡張機能

本章は、MKY35 の拡張機能を利用するために必要な、端子の役割や接続について記述します。

4.1 スキャン応答信号とその応用

本節は、“1.5.2 拡張機能”に記述された拡張機能のうち、以下の2点の利用方法について記述します。

スキャン応答信号を出力する端子を装備しています。

内部出力端子 (Do0 ~ Do15) 状態として Lo レベルを設定できる CLR 端子を装備しています。

4.1.1 #MON 端子機能

MKY35 は、スキャン応答信号を出力する #MON 端子 (端子 46) を装備しています。

#MON 端子は、MKY35 に内蔵されているリトリガブルワンショットマルチバイブレータ回路によって、以下のように動作します。

ハードウェアリセットがアクティブになると、#MON 端子は Hi レベルになります。

その後、IA0 ~ IA5 端子に設定された SA と一致する宛先へ送信された、センタ IC からのコマンドパケット (自己宛ての CP) を正常に受信すると、#MON 端子は Lo レベルになります。

さらにその後、所定の時間が経過する間に自己宛ての CP を受信できなかった場合、#MON 端子は Hi レベルになります。

所定の時間は、HLS の稼動状態によって、ある程度の幅が生じます。所定の時間は、“ $393216 \times$ 駆動クロック周期 (最短)” ~ “ $458752 \times$ 駆動クロック周期 (最長)” です。表 4-1 に、駆動クロックに対する所定時間を示します。

表 4-1 #MON 端子が Hi レベルへ遷移する所定の時間

Xi 端子周波数	BPSS=Lo レベル			BPSS=Hi レベル		
	駆動クロック	最短時間	最長時間	駆動クロック	最短時間	最長時間
48MHz	48MHz	8.192ms	9.557ms	24MHz	16.384ms	19.115ms
24MHz	24MHz	16.384ms	19.115ms	12MHz	32.768ms	38.229ms
12MHz	12MHz	32.768ms	38.229ms	6MHz	65.536ms	76.459ms



#MON 端子の出力信号を、ウォッチドッグタイマのタイムアップ信号として利用するユーザーシステムにおいては、最短時間をタイムアップ時間として設計してください。

4.1.2 スキャン応答表示

#MON 端子 (端子 46) に、Lo レベルの時に点灯する LED を接続しておくことにより、MKY35 がセンタ IC のスキャンに反応していることを表示することができます。#MON 端子は ± 8mA の駆動能力があります。8mA 以下によって点灯可能な LED であれば、図 4.1 の接続が可能です。図 4.1 の電流制限抵抗の値は、使用する LED の定格に合わせて MKY35 を搭載する端末装置のハードウェア設計者が決定してください。

#MON 端子へは、安定を示す緑色の LED を接続することを推奨します。本端子を使用しない場合は、開放にしてください。

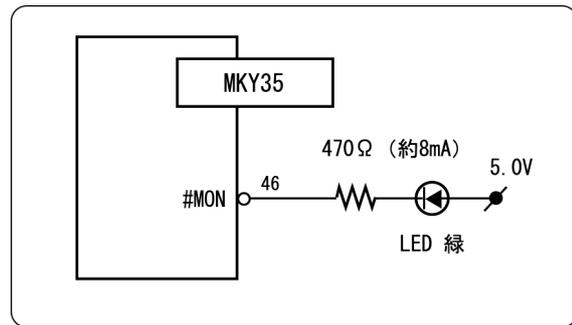


図4.1 スキャン応答表示

4.1.3 ウォッチドッグタイマ

#MON 端子が一旦 Lo レベルになってから所定の時間(タイムアップ)を経て Hi レベルになる機能を、MKY35 を搭載する端末装置のウォッチドッグタイマとして利用することができます。

一般的にウォッチドッグタイマのタイムアップ時間は、複数回のスキャンタイムを許容できる時間よりも長い時間に設定すべきです。以下のような場合には、#MON 端子のタイムアップ時間が不適合となる可能性があります。

ネットワークに HUB を挿入するユーザシステムの場合：HUB の挿入段数に応じて 1 回のスキャンタイムが長くなります。

センタ IC を操作するユーザプログラムが、スキャンをポーズ (一旦停止) する場合。

センタ IC を操作するユーザプログラムがシングルスキャンを利用し、かつウォッチドッグタイマのタイムアップ時間に不適合なタイミングによってシングルスキャンをスタートさせた場合。

センタ IC を操作するユーザプログラムが、意図的にスキャンを停止させる場合。

#MON 端子のタイムアップ時間がユーザシステムに適合であるか否かは、お客様ご自身が判断してください。



スキャンタイム、スキャンのポーズ (一旦停止)、シングルスキャンは、MKY35 を接続するセンタ IC の “ユーザーズマニュアル” を参照してください。

4.1.4 CLR 端子機能

MKY35 は、内部出力端子 (Do0 ~ Do15) を強制的に Lo にできる、CLR (CLear) 端子 (端子 47) を備えています。CLR 端子に Hi レベルが入力された時、内部出力端子 (Do0 ~ Do15) の状態が全て Lo に設定されます。これによって、16 本の Io 端子 (Io0 ~ Io15) のうち、IOS (IO Select) 端子の設定によって内部出力端子 (Do0 ~ Do15) へ接続された Io 端子も Lo レベル出力に設定されます。通常の利用状態においては、CLR 端子が Lo レベルとなるように設計してください。CLR 端子は、誤動作を防止するために、“1クロック”よりも短い幅の Hi レベル信号を無視します。

MKY35 の内部出力端子 (Do0 ~ Do15) の状態は、IA0 ~ IA5 によって設定された SA と一致する宛先へ送信されたセンタ IC からのコマンドパケット (CP) を正常に受信する度に、更新されます。しかし、通信ケーブルの断線や、センタ IC 側のトラブルなどの理由によりスキャンが停止した場合、内部出力端子 (Do0 ~ Do15) の状態を維持し続けることになります。

ユーザシステムとして、スキャン停止時の内部出力端子 (Do0 ~ Do15) の状態維持が適切でない場合、CLR 端子の利用により強制的に内部出力端子 (Do0 ~ Do15) の状態をクリア (Lo レベル) することができます。図 4.2 に、ウォッチドッグタイマとして #MON 端子の信号を CLR 端子へ接続することによって、内部出力端子 (Do0 ~ Do15) の状態をクリアする回路の例を示します。

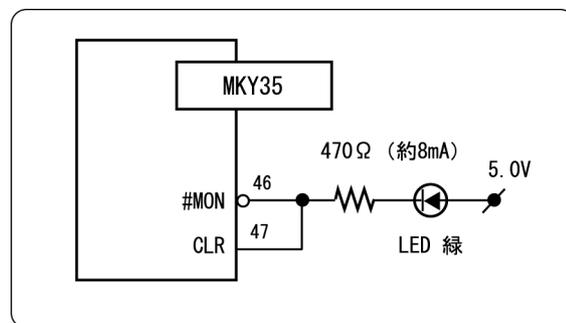


図4.2 #MON端子とCLR端子の接続例



注意事項

本回路例は、“4.1.3 ウォッチドッグタイマ”に記述された内容を充分理解の上ご利用ください。

4.2 ストローブ信号の設定とその応用

本節は、“1.5.2 拡張機能”に記述された拡張機能のうち、以下の2点の利用方法について記述します。

内部出力端子 (Do0 ~ Do15) の更新および内部入力端子 (Di0 ~ Di15) の受信時期を示すストローブ出力端子をそれぞれ装備しています。それぞれの更新タイミングに合わせた周辺回路設計への応用が可能です。

センタ IC へのリンクを確認するハンドシェイク設定も可能です。

4.2.1 STB1 端子機能

MKY35 は、SA が一致するコマンドパケット (CP) をセンタ IC から正常に受信する度に、CP 内のデータを MKY35 の内部出力端子 (Do0 ~ Do15) へ出力します。内部出力端子 (Do0 ~ Do15) の状態は、STB1(STroBe-1) 端子 (端子 41) のパルス状のストローブ信号の “1/4” ~ “1/2” 時期に更新されます (図 4.3 参照)。この結果、“出力” に設定されている Io 端子の状態も同時期に遷移します。この STB1 端子の機能を利用して、“出力” に設定されている Io 端子へ接続された回路に対し、出力更新を通知することができます。

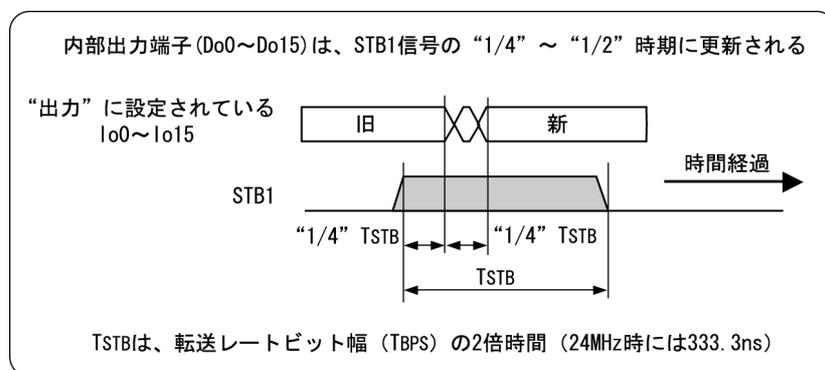


図4.3 内部出力端子 (Do0~Do15) の更新タイミング



参考

STB1 端子から出力されるパルス状のストローブ信号は、センタ IC のコマンドの値には影響されません。また、更新前の内部出力端子状態と更新後の内部出力端子状態が同一である場合にも、STB1 端子からストローブ信号が出力されます。

4.2.2 Io 端子状態のサンプリング時期 (STB2 端子)

MKY35 は、SA が一致するコマンドパケット (CP) に反応してレスポンスパケット (RP) を返送する時に、センタ IC が発行した CP 内のコマンドが “0” である場合、内部入力端子 (Di0 ~ Di15) をサンプリングします。MKY35 は、パルス状のストローブ信号を STB2(STroBe-2) 端子 (端子 42) から出力することによって、内部入力端子 (Di0 ~ Di15) 状態のサンプリング時期を示します。内部入力端子 (Di0 ~ Di15) の状態は、ストローブ信号の先頭位置においてサンプリングされています。なお、Io 端子へ接続されない内部入力端子のビットは、GND レベルへ接続されているため、センタ IC へ送信される対象のデータビット値は “0” です。



参考

“4.2.4 ハンドシェイク有効/無効の設定 (SSB 端子)” に記述された SSB(Strobe Select-B) 端子が Lo レベルの時には、MKY35 が RP を返送する際に STB2 端子からのストローブ信号が出力されない場合があります。

4.2.3 ストローブ信号のタイミング設定 (SSA 端子)

HLS を利用するユーザシステムにおいては、以下の2種類の要望が生じます。

“入力” に設定されている I_o 端子の入力状態をサンプリングした後に、“出力” に設定されている I_o 端子の出力状態を更新させる。

“出力” に設定されている I_o 端子の出力状態を更新した後に、“入力” に設定されている I_o 端子の入力状態をサンプリングする。

MKY35 においては、SSA (Strobe Select-A) 端子 (端子 39) の設定により、STB1 端子と STB2 端子から出力されるストローブ信号のタイミングを選択することができます。これにより、2種類の要望のどちらも満たすことができます。MKY35 は、SSA 端子を Lo レベルに設定した場合に上記の動作を、SSA 端子を Hi レベルに設定した場合に上記の動作を実施します (図 4.4 参照)。

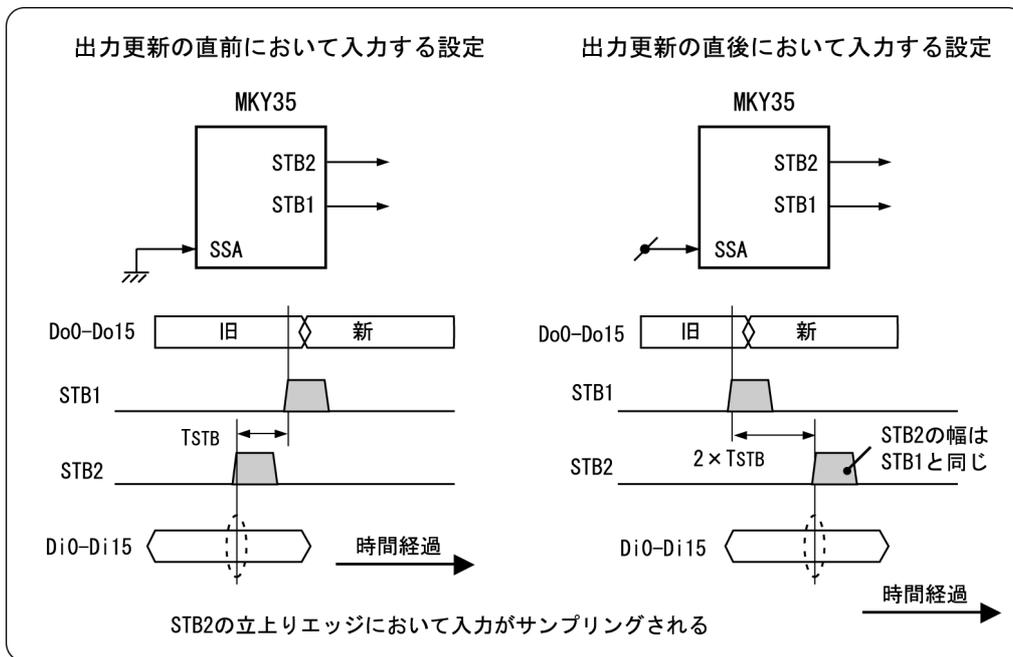


図4.4 SSA端子設定と更新タイミング

4.2.4 ハンドシェイク有効 / 無効の設定 (SSB 端子)

SSB(Strobe Select-B) 端子 (端子 40) の設定により、センタ IC とのハンドシェイクの有効または無効かを設定することができます。SSB 端子が Lo レベルの時、センタ IC とのハンドシェイクは有効になります。

MKY35 は、センタ IC から自己宛てのコマンドパケット (CP) を入力した際に、前回のスキャン時にセンタ IC へ返送したレスポンスパケット (RP) がセンタ IC へ正常に受信されていたかを認識しています。

ハンドシェイクが有効である場合、MKY35 は前回に返送した RP をセンタ IC が正常に入力していた時に限り、STB2 端子からストローブ信号を出力して内部入力端子 (Di0 ~ Di15) のサンプリングを実行し、サンプリングした内部入力端子 (Di0 ~ Di15) の状態が RP に埋め込まれます。

前回に返送した RP をセンタ IC が正常に入力していなかった場合には、STB2 端子にストローブ信号を出力せず内部入力端子 (Di0 ~ Di15) 状態のサンプリングも実行しません。これにより、RP には前回サンプリングしていた内部入力端子 (Di0 ~ Di15) の状態が再度埋め込まれます。図 4.5 に、サテライトユニット数が “5”、ハーフデュプレックス通信方式、“SA=2” の MKY35 における STB2 ストローブ信号発生タイミングを示します。

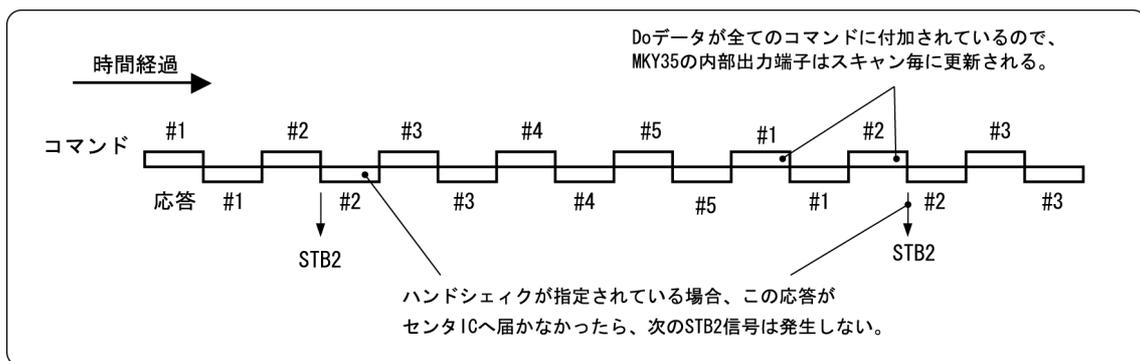


図4.5 STB2ストローブ信号発生タイミング



参考

“入力”に設定された I_o 端子にセンサなどを接続するといった、リアルタイム性を重視するユーザシステムにおいては、ハンドシェイクを“無効”に設定してください。

4.2.4.1 ハンドシェイク有効性の例

センタ IC とのハンドシェイクの有効性の例を説明します。ユーザシステムによっては、STB2 端子から出力されるストローブ信号に同期して、文字列データをセンタ IC へ送信したい欲求が生じる場合があります。例えば、“ABCDE” の 5 文字の文字列データを、STB2 ストローブ信号の出力毎に 1 文字ずつ、MKY35 の “入力” に設定された I_o 端子へ供給する場合（図 4.6A 参照）センタ IC とハンドシェイクが無効であると、センタ IC が取得する文字列データに欠落が生じてしまう可能性があります。例えば、3 文字めの “c” の文字を送信している間に、ネットワークに何らかの障害（ノイズ侵入など）が発生してセンタ IC 側において RP が破棄された場合でも、次のスキャンによって STB2 ストローブが出力されます。したがって、センタ IC が受け取る文字列データは “ABDE” (“c” 文字の欠落) となってしまいます（図 4.6B 参照）。

これに対して、ハンドシェイクが有効であれば、センタ IC 側において RP が破棄された場合の次のスキャン時には STB2 ストローブが出力されないため、文字の欠落は生じません（図 4.6C 参照）。

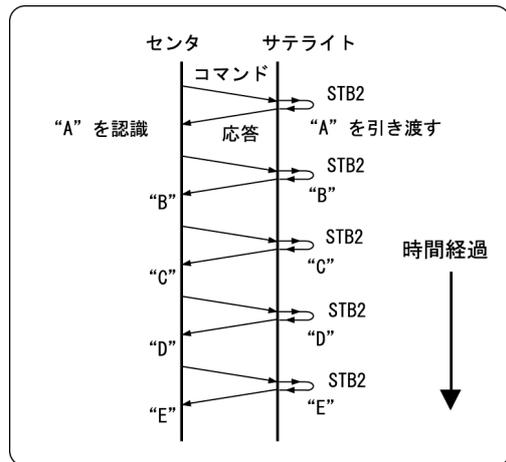


図4.6A 障害が発生していない動作

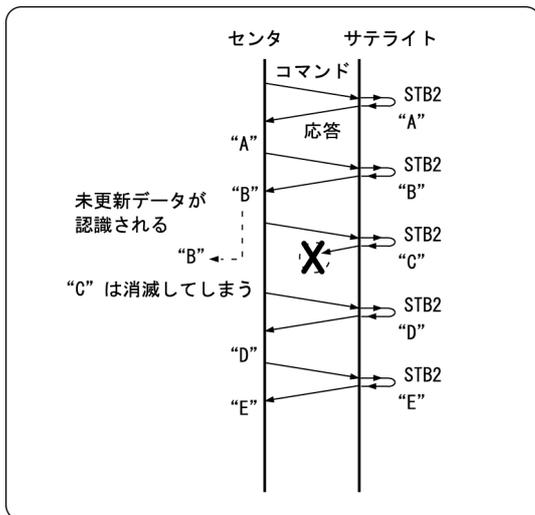


図4.6B ハンドシェイク無効

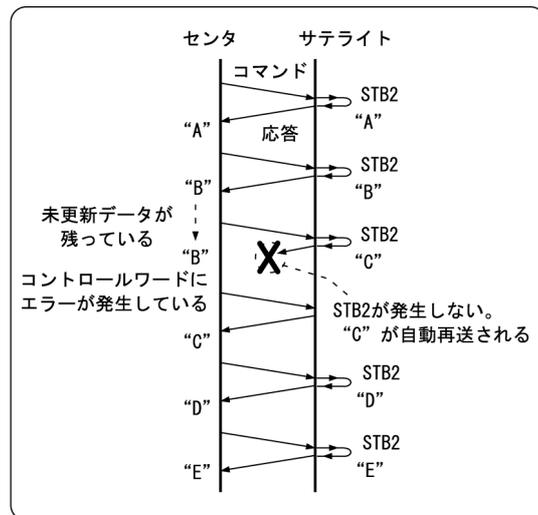


図4.6C ハンドシェイク有効

4.2.4.2 文字列データ送信上の注意

本節は、SSB 端子に Lo レベルを設定してハンドシェイクを有効にした場合の、文字列データ送信上の注意について記述します。

前述したようにハンドシェイクを有効にして文字列データを送信すれば、センタ IC のメモリへ確実に（欠落なく）文字列データが届きます。この場合、センタ IC 側のユーザシステムプログラムは、スキャンに同期してメモリから文字列データを取得しなければなりません。図 4.6C の例の場合、以下のような注意が必要です。

単純にスキャンのタイミングに同期してメモリから文字列データを取得した場合には、“ABBCDE”のように重複した文字を含む文字列データを読み取る可能性があります（3 度目のスキャン時点において 3 文字目が到達できないため）。

3 度目のスキャン時点において、該当のサテライト IC はエラーを発生します（センタ IC 内のコントロールワードにおける無応答フラグビットによって認識可能）。

上記のようなエラーが発生した場合には、データをリードしないアルゴリズムによって処理することが理想です。しかし、スキャンが高速であることと、このような処理を各サテライト IC に対して設定しなければならないために、プログラムの実行速度がスキャン速度に追従できない可能性も生じます。

上記のような注意点に配慮した時、センタ IC 側のプログラムのアルゴリズムを簡単に作成する方法を以下に示します。

16 本の Io 端子 (Io0 ~ Io15) を全て“入力”に設定した時、文字コード（8 ビット情報）を入力するために 8 本の端子を利用して、8 本の端子が残っています。このため、この 8 本の Io 端子に対して、“文字カウンタ”を採用すると、センタ IC 側のプログラムのアルゴリズムを簡単に作成することができます。図 4.7 は、上位の 1 バイト分（8 ビット）を文字カウンタとした例を示しています。

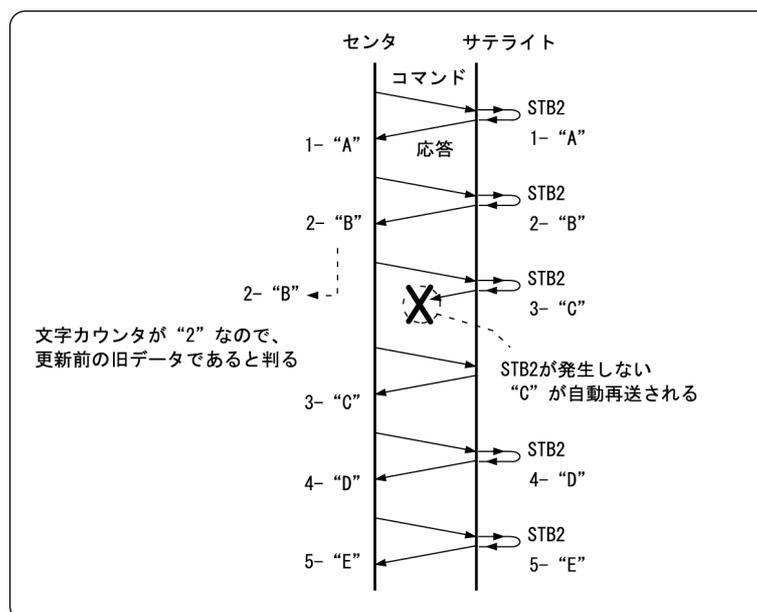


図4.7 文字カウンタを付加した送信

4.2.4.3 ハンドシェイク利用上の注意(1)

HLS においては、サテライト IC がサンプリングしたデータは欠落することなくセンタ IC に送信できることを、ハンドシェイク機能の目的にしています。これにより、コマンドパケットにおいて障害が発生した場合と、レスポンスパケットにおいて障害が発生した場合、センタ IC へのデータ到着に差異が生じます。

文字列データを送信する場合の例を示します。レスポンスパケットにおいて障害が発生した場合(図 4.6C、図 4.7)は、リンク不成立の時に“c”の文字が到着せずに、次回の正常なスキャン時点で“c”の文字が到着します。これに対してコマンドパケットにおいて障害が発生した場合(図 4.8)は、リンク不成立の前後のスキャンによって、“B”の文字が2回センタ IC へ到着します。

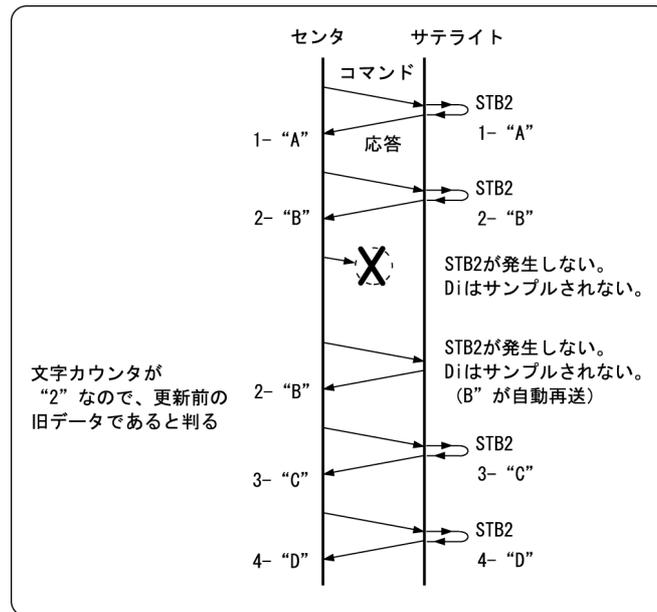


図4.8 コマンドパケットに障害が発生した時の動作

この例の様に、いずれの場合もサテライト IC がサンプリングしたデータは欠落すること無くセンタ IC へ送信されます。しかし、ユーザシステムのプログラムは、センタ IC へのデータ到着に差異が生じることを理解して、センタ IC (メモリ) のデータを操作する必要があります。“4.2.4.2 文字列データ送信上の注意”に記述された、少なくとも2ビット以上の文字カウンタをMKY35の傍らに装備することによって、ユーザシステムのプログラムはこの様な場合にも容易に対応することが可能です。

4.2.4.4 ハンドシェイク利用上の注意(2)

SSB 端子(端子40)に“ハンドシェイク有効”が設定されている場合、ユーザシステムがMKY35に対してコマンド“0”または“8”(基本機能指定)以外のコマンドを実行している際には、STB2端子からストローブ信号は出力されません

MKY35 が、後述するPWMモードに設定されている場合には、SSAとSSBは、内部においてSSA=Lo(STB2信号の発生がSTB1信号発生の前)およびSSB=Hi(ハンドシェイク無効)の状態を強制的に維持します。

4.3 PWM モード

本節は、“1.5.2 拡張機能”に記述された拡張機能のうち、に記述された 2 種類の PWM (Pulse Width Modulation) モードについて記述します。

4.3.1 PWM モード 1

MKY35 は、IOS2 端子 =Hi、IOS1 端子 =Hi、IOS0 端子 =Lo に設定されている時、PWM モード 1 に設定されます。PWM モード 1 においては、内部出力端子 (Do0 ~ Do7) と Io 端子 (Io12 ~ Io15) の間に、PWM 回路が挿入されます (図 4.9 参照)。IO モードの時、Co および STB2 出力端子であった端子 11 と端子 42 は PWM 回路の入力専用端子 (POI : Pwm On Invert、EBC : External Base Clock) として、SSA および SSB 入力端子であった端子 39 と端子 40 は PWM 回路の入力専用端子 (DIR : DIRection、ECS : External Clock Select) として機能します。PWM モード 1 においては、内部出力端子 (Do8 ~ Do11) と内部入力端子 (Di0 ~ Di7) は、IO モード同様に利用できます。

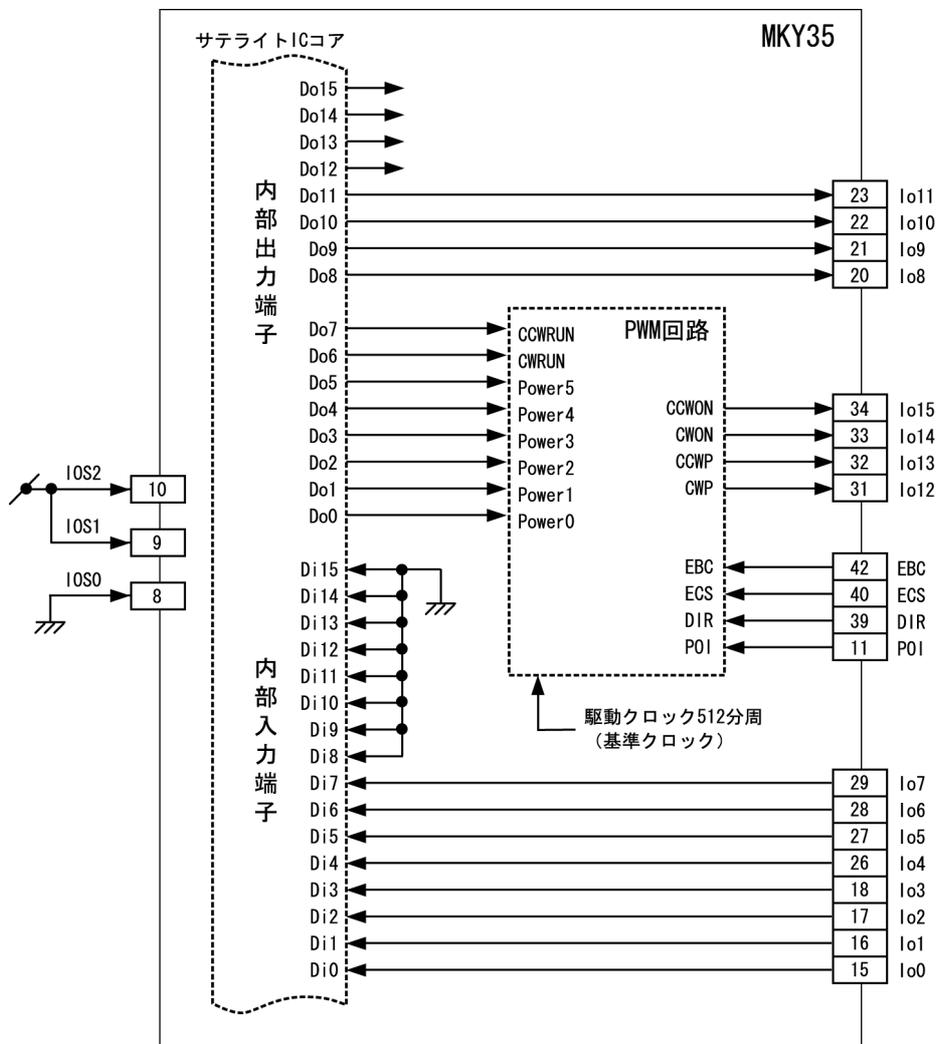


図4.9 PWMモード1



MKY35 が PWM モードに設定されている場合には、SSA および SSB は、内部において SSA=Lo (STB2 信号の発生が STB1 信号発生の前) および SSB=Hi (ハンドシェイク無効) の状態を強制的に維持します。Co 出力および STB2 出力も利用できません。

4.3.2 PWM 回路

MKY35 の PWM (Pulse Width Modulation) 回路は、デューティ比を可変可能なクロックを生成する回路です (図 4.10 参照)。デューティ比は、Power0 ~ Power5 端子 (内部出力端子の Do0 ~ Do5) に設定する Power 値 (00H ~ 3FH) に比例します。クロック周期は、PWM 回路へ供給される “ 基準クロック ” によって決定します。PWM 回路が生成するパルス信号を、“ PWM 信号 ” と呼びます。なお、Power 値として 3FH が設定された場合に限り、“ PWM 信号 ” はクロックではなく Hi レベルのステータスになります。

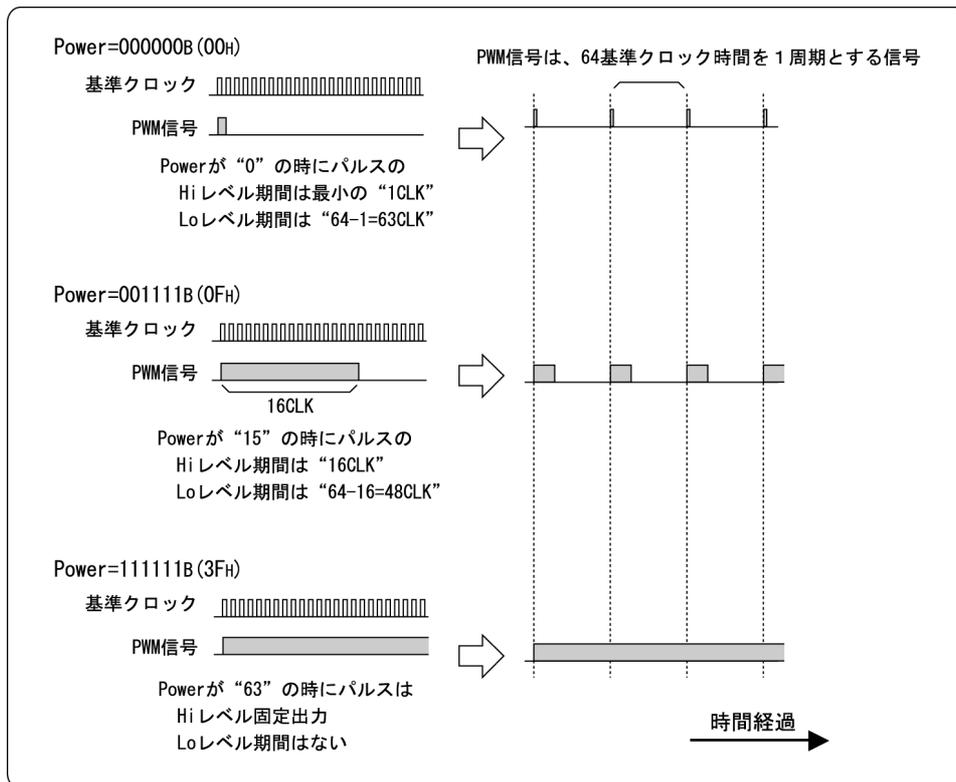


図4.10 PWM信号

Power 値に対する PWM 信号のデューティ比の計算式を示します。

[デューティ比] (Power 値 +1) ÷ 64

例 Power 値 = 0(00H)・・・デューティ比 = (0 + 1) ÷ 64 1.6%

例 Power 値 = 15(0FH)・・・デューティ比 = (15 + 1) ÷ 64 = 25.0%

例 Power 値 = 32(20H)・・・デューティ比 = (32 + 1) ÷ 64 51.5%

例 Power 値 = 63(3FH)・・・デューティ比 = (63 + 1) ÷ 64 = 100%

4.3.2.1 PWM 回路の基本動作

PWM 回路に備えられた、CWP (Clock Wise Pulse)、CCWP (Counter-Clock Wise Pulse) 出力端子は、PWM 信号が出力される端子です。

CWON (Clock Wise ON)、CCWON (Counter-Clock Wise ON) 出力端子は、PWM 信号のイネーブルが出力される端子です。

DIR (DIRection)、POI (Pwm On Invert)、CWRUN (Clock Wise RUN)、CCWRUN (Counter-Clock Wise RUN) 入力端子は、PWM 信号の出力を制御する端子です。

ECS (External Clock Select) 入力端子は、PWM 信号の基準クロックを選択する端子です。

EBC (External Base Clock) 入力端子は、PWM 信号の基準クロックを供給する端子です。

PWM 回路は、DIR、POI、ECS、EBC 端子の入力が Lo レベルに設定されている状態の時に、以下の基本動作を実行します。

CWRUN (内部出力端子の Do6) が Hi レベルに設定された時、CWON (Io14 端子) が Hi レベルに設定され、PWM 信号が CWP (Io12 端子) から出力されます。

CCWRUN (内部出力端子の Do7) が Hi レベルに設定された時、CCWON (Io15 端子) が Hi レベルに設定され、PWM 信号が CCWP (Io13 端子) から出力されます。

CWRUN と CCWRUN の両方が Hi レベルに設定された場合は、CWP および CCWP のどちらからもパルスは出力されず、CWON、CCWON、CWP、CCWP が Lo レベルに設定されます。

PWM 信号生成のための基準クロックとしては、MKY35 の駆動クロックを内部において 512 分周したクロックが採用されます。表 4-2 に、駆動クロック、PWM 信号の基準クロック、周期を示します。

表 4-2 駆動クロック、PWM 信号の基準クロック、周期

Xi 端子周波数	BPSS=Lo レベル			BPSS=Hi レベル		
	駆動クロック	PWM 回路の基準クロック	PWM 信号周期	駆動クロック	PWM 回路の基準クロック	PWM 信号周期
48MHz	48MHz	93.7500kHz	1.465kHz	24MHz	46.8750kHz	732.42Hz
24MHz	24MHz	46.8750kHz	732.42Hz	12MHz	23.4375kHz	366.21Hz
12MHz	12MHz	23.4375kHz	366.21Hz	6MHz	11.71875kHz	183.11Hz

4.3.2.2 ECS、EBC 端子の機能

PWM 回路の ECS (External Clock Select) 端子は、以下のように PWM 信号の基準クロックを選択および設定する端子です。

ECS (External Clock Select) 入力が Lo レベルに設定されている時、PWM 信号の基準クロックとしては、MKY35 の駆動クロックを内部において 512 分周したクロックが採用されます (表 4-2 参照)。

ECS (External Clock Select) 入力が Hi レベルに設定されている時、PWM 信号の基準クロックとしては、EBC (External Base Clock) 端子へ供給するクロックが採用されます。EBC (External Base Clock) 端子へ入力できる最高周波数は 50MHz、最小 Hi レベル幅および最小 Lo レベル幅は 10ns です。



注意事項

上記 の場合には、EBC 端子が開放状態とならないように、EBC 端子は Hi レベルまたは Lo レベルを維持してください。

4.3.2.3 DIR 端子の機能

PWM 回路の DIR (DIRection) 端子は、CW (Clock Wise : 時計回り) および CCW (Counter-Clock Wise : 反時計回り) によって示す方向の概念を入れ替えます。

DIR 端子が Hi レベルの時には、“4.3.2.1 PWM 回路の基本動作” に記述された と の動作が、以下のようになります。

CWRUN (内部出力端子の Do6) が Hi レベルに設定された時、CCWON (Io15 端子) が Hi レベルに設定され、PWM 信号が CCWP (Io13 端子) から出力されます。

CCWRUN (内部出力端子の Do7) が Hi レベルに設定された時、CWON (Io14 端子) が Hi レベルに設定され、PWM 信号が CWP (Io12 端子) から出力されます。

4.3.2.4 POI 端子の機能

PWM 回路の POI (Pwm On Invert) 端子は、PWM 信号のイネーブル出力である CWON および CCWON 出力の論理を反転させます。

POI 端子が Lo レベルの時、CWON および CCWON 出力は Hi レベルによって、PWM 信号のイネーブルを出力します (“4.3.2.1 PWM 回路の基本動作” に記述された と 参照)。

POI 端子が Hi レベルの時、CWON および CCWON 出力は Lo レベルによって、PWM 信号のイネーブルを出力します (図 4.11 参照)。さらに、POI 端子が Hi レベルの時には、“4.3.2.1 PWM 回路の基本動作” に記述された は以下のようになります。

「CWRUN と CCWRUN の両方が Hi レベルに設定された場合は、CWP および CCWP のどちらからもパルスは出力されず、CWON および CCWON が Hi レベルに、CWP および CCWP が Lo レベルに設定されます。」

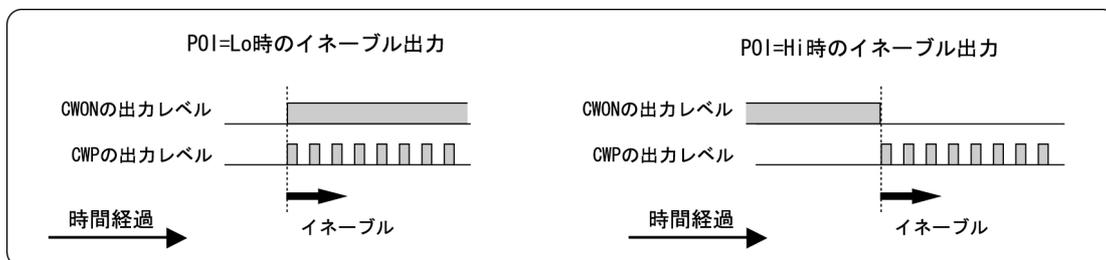


図4.11 イネーブル信号の論理反転



注意事項

POI 端子によるイネーブル出力の論理反転機能を利用しない場合には、POI 端子が開放状態とならないように、POI 端子は必ず Lo レベルを維持してください。

4.3.2.5 PWM 機能利用上の注意

PWM 機能利用上の注意を、以下に記述します。

PWM 回路が Power 値、CWRUN、CCWRUN を認識するタイミングは、PWM 信号の基準クロックの 64 クロック周期毎です。このため PWM 回路の稼働状況に関わらず Power 値、CWRUN、CCWRUN を変更しても、PWM 回路の出力信号にハザードや異常なショートパルスは発生しません。

DIR(DIRection)および POI(Pwm On Invert)入力のレベルの遷移は、CWP、CCWP、CWON、CCWON 出力に即座に反映されます。したがって弊社は、PWM 機能の稼働中に DIR および POI 入力のレベルを変更することを推奨しておりません。お客様が PWM 機能の稼働中に意図して DIR および POI 入力のレベルを変更する場合には、(PWM 回路の出力信号にハザードやショートパルスが発生する可能性が生じることを認識のうえ) お客様ご自身において問題が発生しないよう配慮してください。

CWP、CCWP、CWON、CCWON 出力の信号によって、スイッチングタイプの電力制御部品 (パワー MOSFET やトライアック他) を駆動するようにシステムを設計する場合、出力信号のレベルが遷移する時間を “ 5.2 AC 特性 ” において参照し、問題が発生しないようお客様ご自身が配慮してください。

4.3.2.6 PWM 回路動作の利用例 (1)

図 4.12 に、PWM 回路を利用して電球の明るさを制御 (調光制御) する例を示します。

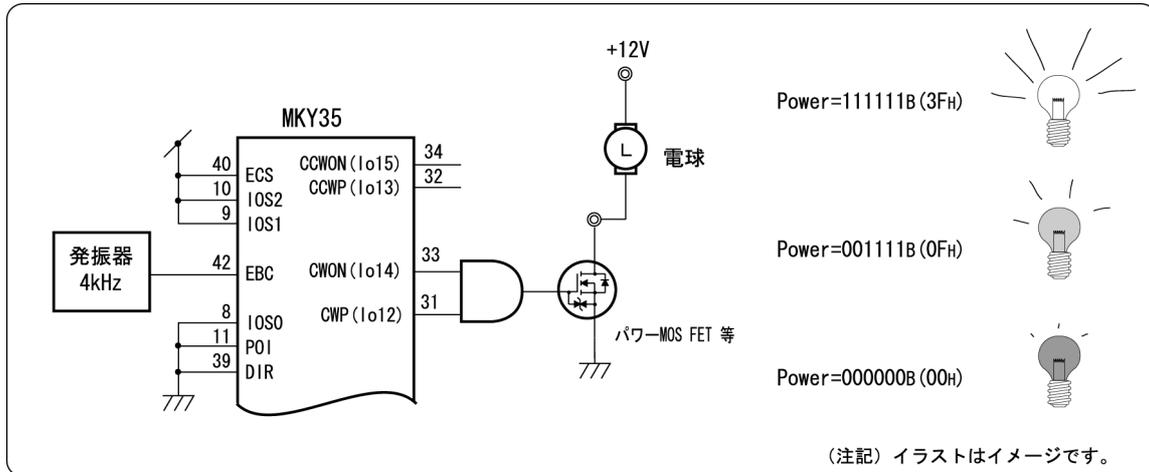


図4.12 PWM機能による電球の調光制御例

この例においては、ECS (External Clock Select) 入力は Hi レベルを維持し、EBC (External Base Clock) 入力へ 4kHz のクロックを供給しています。CWP 端子から出力される PWM 信号のパルス周期は 16ms (62.5Hz) となり、家庭用電力の 60Hz に近い値ですので、電球を調光しても人は光のちらつきを感じません。CCWON (Counter-Clock Wise ON) 出力およびCCWP (Counter-Clock Wise Pulse) 出力は未使用のため開放されています。

図 4.12 の構成を持った端末装置が HLS のネットワークへ接続されている場合、ユーザシステムは、センタ IC のメモリ (Do 領域のデータ) をライトすることによって、遠隔からの調光を簡易に制御することができます。

例えば、Power0 ~ Power5 (内部出力端子の Do0 ~ Do5) に相当するビットへ明るさの数値をライトすることによって、電球の明るさを制御できます。

例えば、CWRUN 端子 (内部出力端子の Do6) に相当するビットへ “ 1 ” をライトすることによって電球の点灯を、“ 0 ” をライトすることによって電球の消灯を制御できます。

注意事項

図 4.12 は、電球の調光制御の概念を示した図であり、動作を保証するものではありません。使用部品や (周波数を含む) 基準クロックについては、お客様ご自身がシステムに適合するように選択してください。

4.3.2.7 PWM 回路動作の利用例 (2)

図 4.13 に、PWM 回路を利用した DC モータの回転方向と回転速度を制御する例を示します。

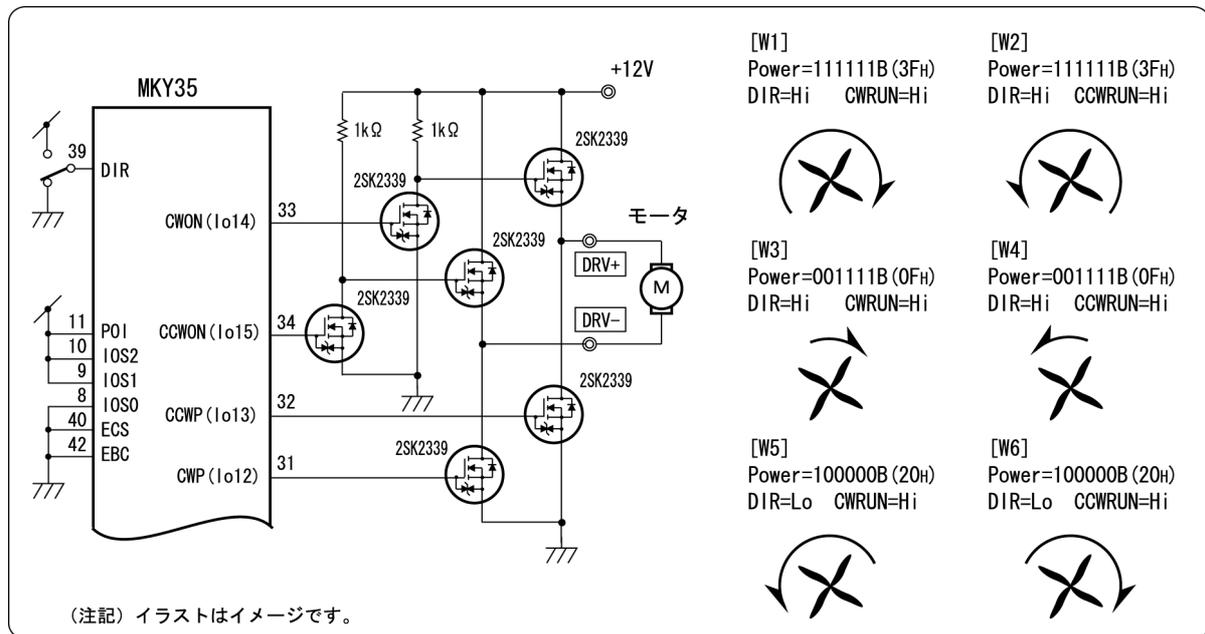


図4.13 PWM機能によるモータ駆動制御例

この例においては、ECS (External Clock Select) と EBC (External Base Clock) の入力は Lo レベルを維持し、内部の基準クロックを使用しています。

図 4.13 の構成を持った端末装置が HLS のネットワークへ接続されている場合、ユーザシステムは、センタ IC のメモリ (Do 領域のデータ) をライトすることによって、遠隔から DC モータの回転方向と回転速度を簡易に制御することができます。

図 4.13 の [W1] は、CWRUN (内部出力端子の Do6) に対応するビットへ “ 1 ” を、Power (内部出力端子の Do0 ~ Do5) に対応するビットへモータの回転速度を最速とする数値をライトした場合に、時計方向にファンが回転している様子を示しています。

[W2] は、CCWUN (内部出力端子の Do7) に対応するビットへ “ 1 ” をライトした場合に、反時計方向にファンの回転を制御した様子を示しています。

[W3] は、時計方向に低速のファン回転を制御した様子を示しています。同様に [W4] は、反時計方向に低速のファン回転を制御した様子を示しています。

[W5] と [W6] は DIR 端子の入力が Hi レベルに切り替えられた場合の例であり、中速に制御されたファンは、CWRUN および CCWUN に対して、逆方向にファンが回転している様子を示します。

[W5] と [W6] の例に様に、モータ軸の回転運動をギヤなどによって伝達する場合、実際の回転方向と制御データとしての回転方向が一致しない場合があります。この場合は、DIR 端子のレベルを切り替えることによって、実際の回転方向と制御データとしての回転方向を一致させることができます。

注意事項

図 4.13 は、DC モータの駆動制御の概念を示した図であり、動作を保証するものではありません。使用部品や (周波数を含む) 基準クロックについては、お客様ご自身がシステムに適合するように選択してください。

4.3.3 PWM モード 2

MKY35 は、IOS2 端子 =Hi、IOS1 端子 =Hi、IOS0 端子 =Hi が設定されている時、PWM モード 2 に設定されます。PWM モード 2 においては、PWM モード 1 と同様に内部出力端子 (Do0 ~ Do7) と Io 端子 (Io12 ~ Io15) の間に、PWM 回路が挿入されます。IO モードの時、Co および STB2 出力端子である端子 11 と端子 42 が PWM 回路の入力専用端子 (POI : Pwm On Invert、EBC : External Base Clock) として、SSA および SSB 入力端子である端子 39 と端子 40 が PWM 回路の入力専用端子 (DIR : DIRection、ECS : External Clock Select) として機能します。PWM モード 2 においてはさらに、内部入力端子 (Di0 ~ Di11) と Io 端子 (Io4 ~ Io7) の間に、ユニバーサルカウンタが挿入されます (図 4.14 参照)。PWM モード 2 の時には、内部出力端子 (Do8 ~ Do11) は、IO モード同様に利用できます。内部入力端子 (Di12 ~ Di15) へは、Io 端子 (Io0 ~ Io3) が接続されます。PWM モード 2 における PWM 回路の動作は、PWM モード 1 と同一です。詳細は、“4.3.2 PWM 回路”を参照してください。

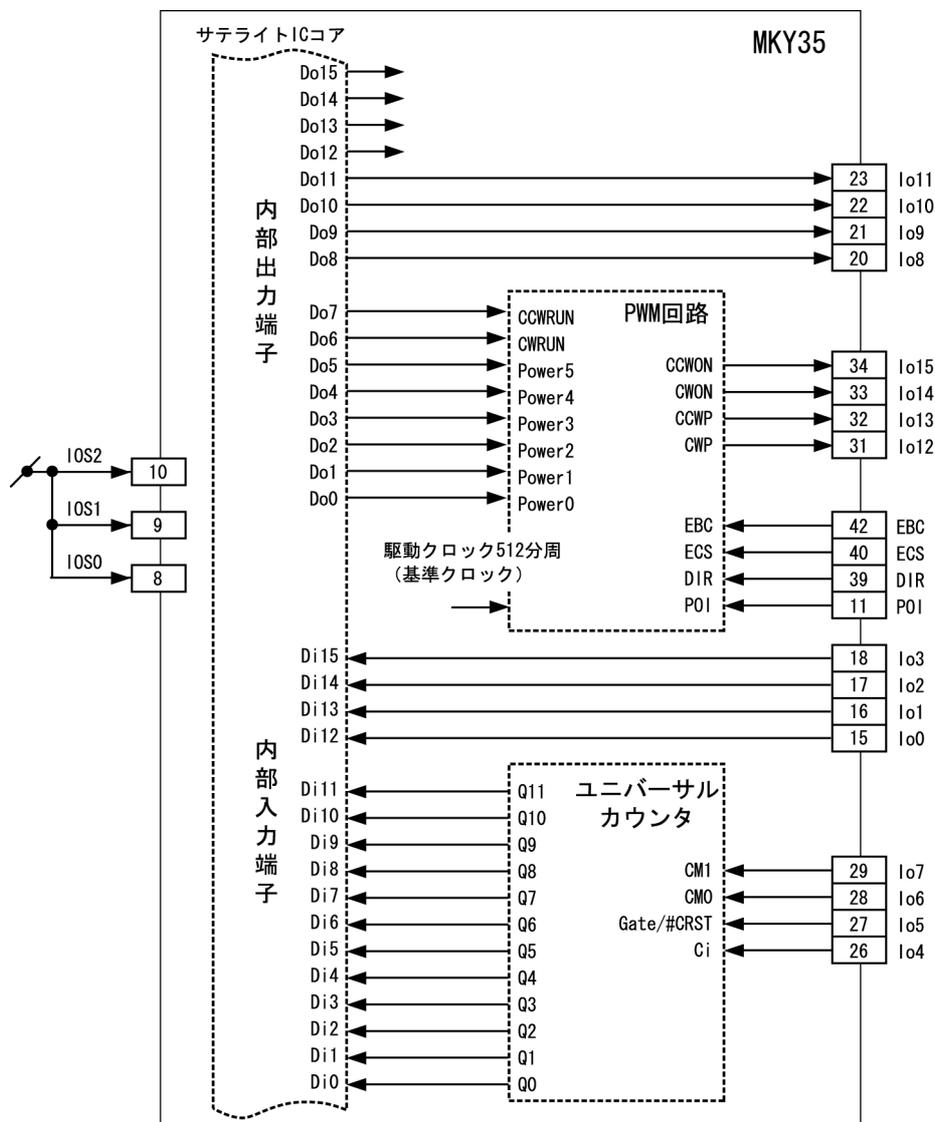


図4.14 PWMモード2



MKY35 が PWM モードに設定されている場合には、SSA および SSB は、内部において SSA=Lo (STB2 信号の発生が STB1 信号発生の前) および SSB=Hi (ハンドシェイク無効) の状態を強制的に維持します。Co 出力および STB2 出力も利用できません。

4.3.4 ユニバーサルカウンタ

PWM モード 2 の時において、内部入力端子 (Di0 ~ Di11) と Io 端子 (Io4 ~ Io7) の間に挿入されるユニバーサルカウンタは、12 ビットのバイナリアップカウンタを内蔵しています。12 ビットのカウント値は、内部入力端子 (Di0 ~ Di11) へ接続されています。PWM モード 2 に設定された端末装置が HLS のネットワークへ接続されている場合、ユーザシステムは、センタ IC のメモリ (Di 領域のデータ) をリードすることによって、遠隔からカウント値を簡易に参照することができます。
ユニバーサルカウンタに内蔵されたカウンタの動作仕様は以下です。

Io4 端子へ接続された Ci へ入力される信号の Lo レベルから Hi レベルへの遷移を、000H ~ FFFH までカウントします。

FFFH の次に Ci へ Lo レベルから Hi レベルへの遷移が入力されると、000H へ戻ります。

Ci 端子へ入力する信号は、Hi レベルおよび Lo レベルの最小隔が “1.5 × Tbps” 時間よりも長い信号に限られます。例えば、転送レートが 12Mbps の場合、Hi レベルおよび Lo レベルは、125ns 以上が必要です。

MKY35 のハードウェアリセットがアクティブの場合、カウント値はリセットされ 000H になります。

ユニバーサルカウンタの動作仕様として、表 4-3 に示す 4 つのカウントモードがあります。Io6 端子へ接続された CM0 と Io7 端子へ接続された CM1 のレベルの組み合わせによって、カウントモードが選択されます。

表 4-3 カウントモード

Io7	Io6	カウンタモード	Io5 端子の機能
Lo	Lo	フリーカウンタモード	#CRST
Lo	Hi	内部ゲート 1 モード	未使用入力。 Hi または Lo レベルを維持してください。
Hi	Lo	内部ゲート 2 モード	未使用入力。 Hi または Lo レベルを維持してください。
Hi	Hi	外部ゲートモード	ゲート

4.3.4.1 フリーカウントモード

CM0(Io6) 端子および CM1(Io7) 端子が Lo レベルの時、カウンタはフリーカウントモードです。

このモード時には、ユニバーサルカウンタの #CRST (Io5) 端子が Hi レベルの期間中に、Ci (Io4) 端子へ入力される信号の Lo レベルから Hi レベルへの遷移をカウントします。#CRST (Io5) 端子が Lo レベルになると、ユニバーサルカウンタ内の 12 ビットカウンタは 000H へリセットされます。また、#CRST (Io5) 端子が Lo レベル期間中に Ci (Io4) 端子へ入力される信号の Lo レベルから Hi レベルへの遷移はカウントされません。フリーカウントモード時における内部の等価回路を図 4.15 に示します。

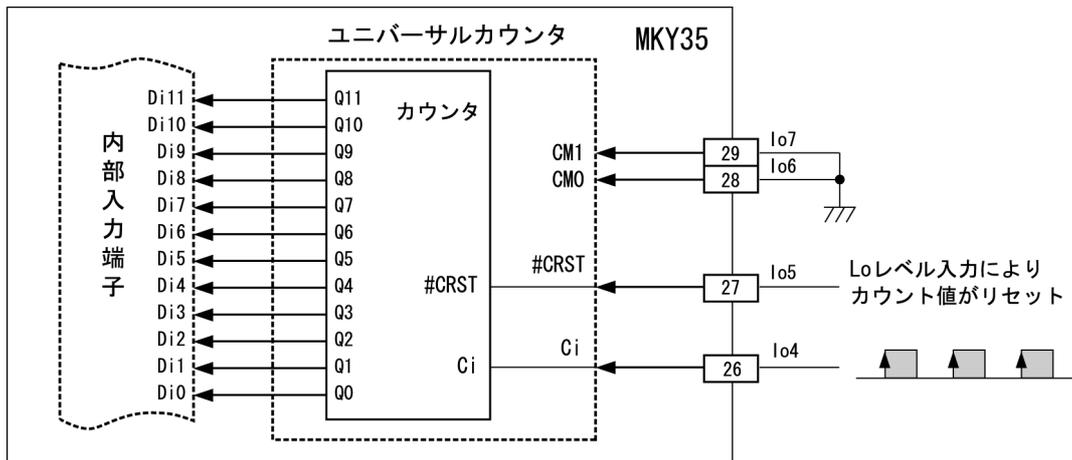


図4.15 フリーカウントモードの等価回路

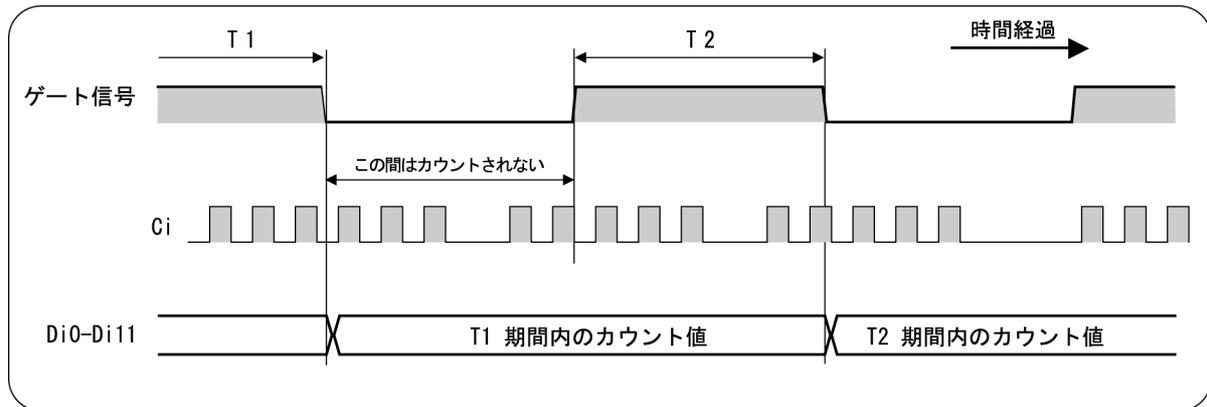


図4.17 ゲート型カウンタの動作

表 4-4 に、駆動クロック周波数に対応したゲート時間を示します。

内部ゲート 1 モードを利用する時には、Io5 端子は未使用の入力端子になります。Io5 端子は、Hi レベルまたは Lo レベルを維持してください。

表 4-4 内部ゲート 1 モードのゲート時間

Xi 端子周波数	BPSS=Lo レベル			BPSS=Hi レベル		
	駆動クロック	ゲート信号	ゲート時間	駆動クロック	ゲート信号	ゲート時間
48MHz	48MHz	11.444Hz	43.69ms	24MHz	5.722Hz	87.38ms
24MHz	24MHz	5.722Hz	87.38ms	12MHz	2.861Hz	174.76ms
12MHz	12MHz	2.861Hz	174.76ms	6MHz	1.430Hz	349.53ms

4.3.4.3 内部ゲート2モード

CM0(Io6) 端子が Lo レベル、かつ CM1(Io7) 端子が Hi レベルの時、カウンタは内部ゲート2モードです。このモード時においては、MKY35 の駆動クロックを 67,108,864 分周 (2²⁶ 分周) したクロックが、ゲート信号として生成されます。

内部ゲート2モードと内部ゲート1モードの相違は、ゲート信号の周期および Hi レベル幅であり、内部の等価回路やカウンタ動作は同一です。表 4-5 に、駆動クロック周波数に対応したゲート時間を示します。内部ゲート2モードを利用する時には、Io5 端子は未使用の入力端子になります。Io5 端子は、Hi レベルまたは Lo レベルを維持してください。

表 4-5 内部ゲート2モードのゲート時間

Xi 端子周波数	BPSS=Lo レベル			BPSS=Hi レベル		
	駆動クロック	ゲート信号	ゲート時間	駆動クロック	ゲート信号	ゲート時間
48MHz	48MHz	0.7153Hz	0.699s	24MHz	0.3576Hz	1.398s
24MHz	24MHz	0.3576Hz	1.398s	12MHz	0.1788Hz	2.796s
12MHz	12MHz	0.1788Hz	2.796s	6MHz	0.0894Hz	5.592s

4.3.4.4 外部ゲートモード

CM0(Io6) 端子が Hi レベル、かつ CM1(Io7) 端子が Hi レベルの時、カウンタは外部ゲートモードです。このモード時においては、“4.3.4.2 内部ゲート1モード” に記述されたゲート信号として、Gate(Io5) 端子へ MKY35 の外部から供給される信号が利用されます。図 4.18 に、外部ゲートモードにおける等価回路を示します。

Gate(Io5) 端子へ供給するゲート信号については、ユーザシステムに適合する信号を、お客様ご自身が用意してください。

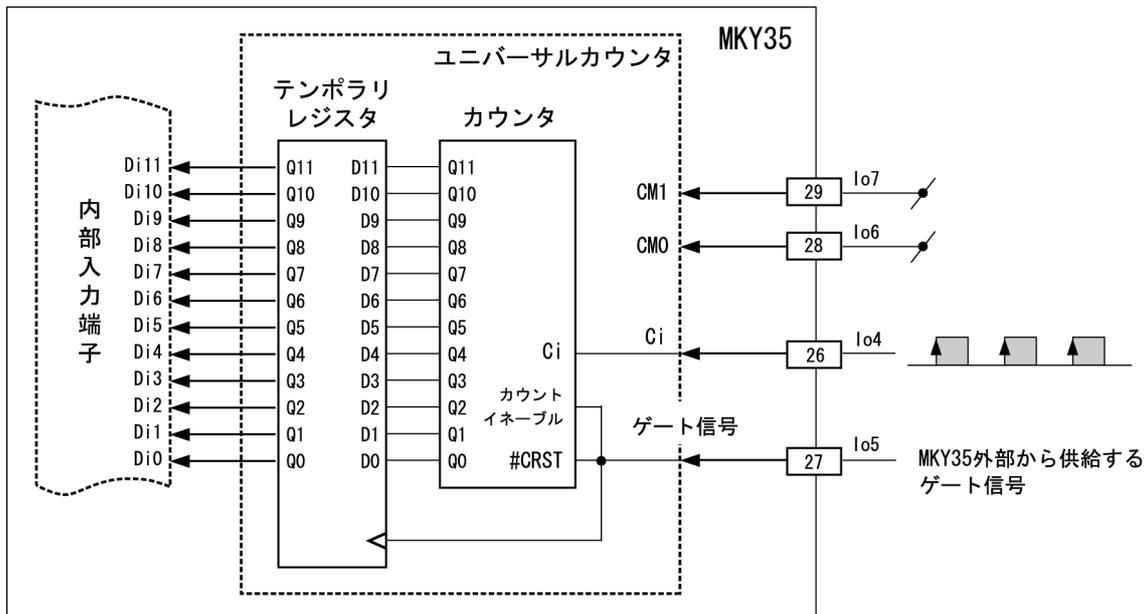


図4.18 外部ゲートモード等価回路

4.3.4.5 ゲート型カウンタの利用例

図 4.19 に、ゲート型カウンタを利用した、アプリケーション例を示します。

この例は、“4.3.2.7 PWM 回路動作の利用例 (2)” に記述されている、PWM 回路を利用した DC モータの回転制御の他に、モータの回転速度検出を装備した回路を示しています。

モータの回転によって駆動されるファンの回転状態を、透過型光センサによって検出し、センサの出力をユニバーサルカウンタの Ci (Io4) 端子へ入力します。カウントモードとしては、内部ゲート 2 モードが選択されています。

この MKY35 に 6Mbps の転送レートが設定されていた場合、カウンタのゲート時間は約 1.398 秒です。

ファンの 4 枚の羽を透過型光センサが検出し、ゲート時間内のカウント値が 188 (0BCH) であった場合、“ $(188 \div 4) \div 1.398 \text{秒} \times 60 \text{秒}$ ” の計算から、ファンが 2017rpm の速度によって回転していることを認識できます。

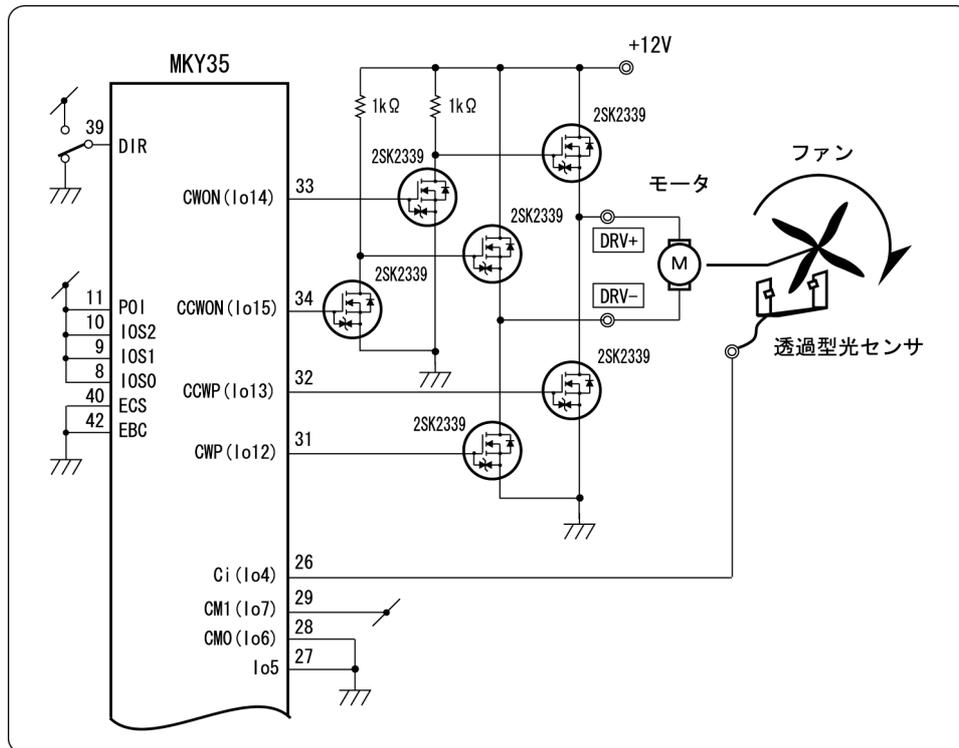


図4.19 回転速度フィードバックを持つ制御例

図 4.19 の構成を持った端末装置が HLS のネットワークへ接続されている場合、ユーザシステムは、以下を簡易に制御することができます。

センタ IC のメモリ (Do 領域のデータ) をライトすることによって、遠隔から DC モータの回転方向と回転速度を簡易に制御することができます。

センタ IC のメモリ (Di 領域のデータ) をリードすることによって、遠隔から実際のファンの回転速度を認識することができます。

上記のとにより、ファンの回転速度を一定にするなどのフィードバック制御が可能です。

注意事項

図 4.19 は、フィードバックを持つ DC モータの駆動制御の概念を示しており、動作を保証するものではありません。使用部品や (周波数を含む) 基準クロックについては、ユーザシステムに適合するように、お客様ご自身が選択してください。

4.3.4.6 ゲート型カウンタの応用

内部ゲート1モード、内部ゲート2モード、外部ゲートモード時におけるゲート型のカウンタは、一定時間内の信号遷移数をカウントします。この動作は、周波数カウンタの原理と同一です。したがって、適切なゲート信号を選択するか、あるいは取得したカウント値をゲート信号に適合するように演算処理することによって、周波数カウンタを構成させることができます。

例えば外部ゲートモード時において、Gate(Io5) 端子へ 1kHz のクロック (GF) を入力した場合のカウント値 (QV) が 1500 (5DCH) であった場合、Ci (Io4) 端子に入力されている信号の周波数 (F) は、以下の演算によって、± 1 デジット精度内のデジタル数値として求められます。

$$\begin{array}{l} 2 \times GF \times (QV-1) \quad F \quad 2 \times GF \times (QV+1) \\ 2 \times 1000 \times (1500-1) \quad F \quad 2 \times 1000 \times (1500+1) \quad 2.998\text{MHz} \quad F \quad 3.002\text{MHz} \end{array}$$

上記のような手法により、温度センサなどのアナログセンサの出力電圧を V/F (Voltage to Frequency) コンバータによりクロック (周波数) へ変換し Ci (Io4) 端子へ入力した場合、アナログセンサの出力電圧値をデジタル数値として認識することも可能です。

第 5 章 定格

本章は、MKY35 の各種定格について記述します。

5.1	電氣的定格.....	5-3
5.2	AC 特性	5-4
5.3	パッケージ外形寸法	5-8
5.4	半田実装推奨条件.....	5-9
5.5	リフロー推奨条件.....	5-9

第5章 定格

本章は、MKY35の各種定格について記述します。

5.1 電気的定格

表 5-1 に、MKY35 の絶対最大定格を示します。

表 5-1 絶対最大定格 (Vss=0V)

項目	記号	定格	単位
電源電圧	VDD	-0.3 ~ +7.0	V
入力端子電圧	Vi	Vss-0.3 ~ VDD+0.3	V
出力端子電圧	Vo	Vss-0.3 ~ VDD+0.3	V
出力電流 (Co)	Iop	Peak ± 12	mA
出力電流 (STB1,STB2,TXD,TXE)	Iop	Peak ± 36	mA
出力電流 (Io0-Io15, #MON)	Iop	Peak - 48 / + 72	mA
許容損失	PT	327	mW
動作周囲温度	Topr	-40 ~ +85	
保存温度	Tstg	-55 ~ +150	

表 5-2 に、MKY35 の電気的定格を示します。

表 5-2 電気的定格 (TA=25 Vss=0V)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	VDD	---	4.5	5.0	5.5	V
平均動作電流	VDDA	Vi=VDD または Vss 駆動クロック =50MHz 出力開放	---	25	40	mA
外部入力動作周波数	Fclk	Xi 端子へ入力	---	48	50	MHz
発振動作周波数	Fosc	Xi, Xo 発振子接続	20	24 または 48	50	MHz
発振帰還抵抗値	Rfb	Vi=VDD または Vss VDD=5.0V	0.85	1.70	3.40	k
入力端子容量	Ci	VDD=Vi=0V f=1MHz TA=25	---	7	15	pF
出力端子容量	Co		---	7	15	pF
入出力端子容量	Ci/o		---	7	15	pF
入力信号の立上り / 立下り時間	TIRF	---	---	---	100	ns
入力信号の立上り / 立下り時間	TIRF	シュミットトリガ入力	---	---	100	ms

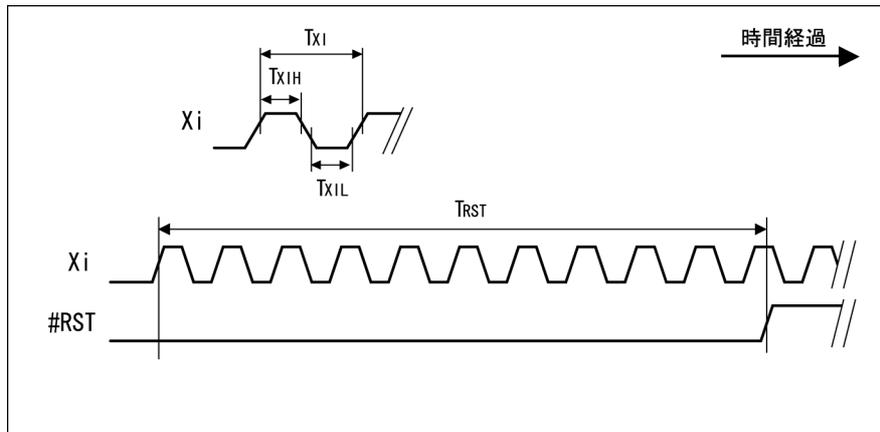
5.2 AC 特性

表 5-3 に、MKY35 の AC 特性測定条件を示します。

表 5-3 AC 特性測定条件

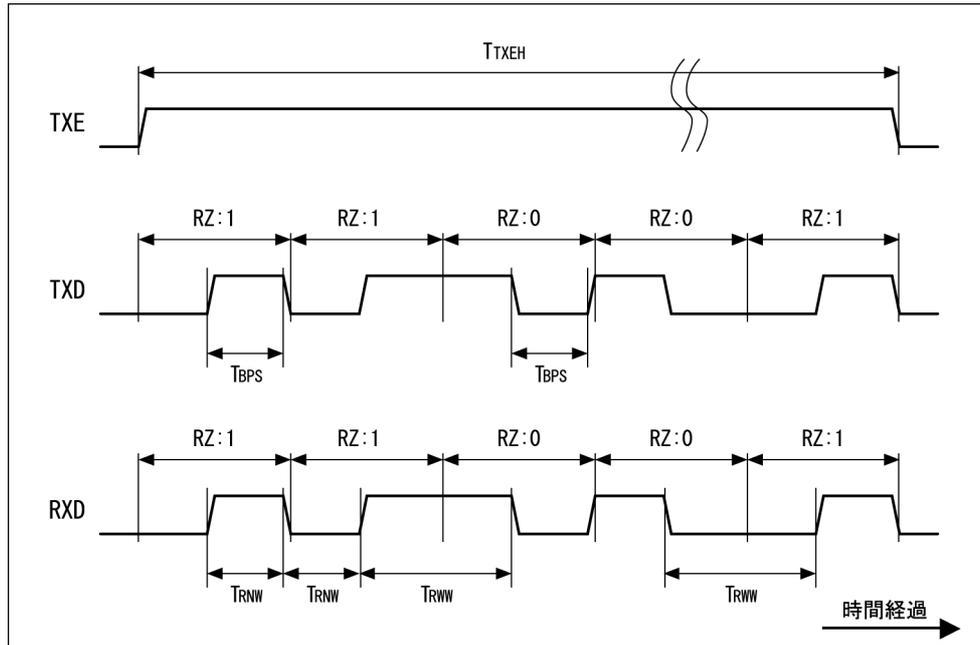
記号	名称	値	単位
COL	出力負荷容量	85	pF
VDD	測定電源電圧	5.0	V
TA	測定温度	25	

5.2.1 クロック、リセットタイミング (#RST、Xi)



記号	名称	最小	最大	単位
TXI	クロック周期幅	20	---	ns
TXIH	クロック Hi レベル幅	5	---	ns
TXIL	クロック Lo レベル幅	5	---	ns
TRST	リセット有効 Lo レベル幅	10 × TXI	---	ns

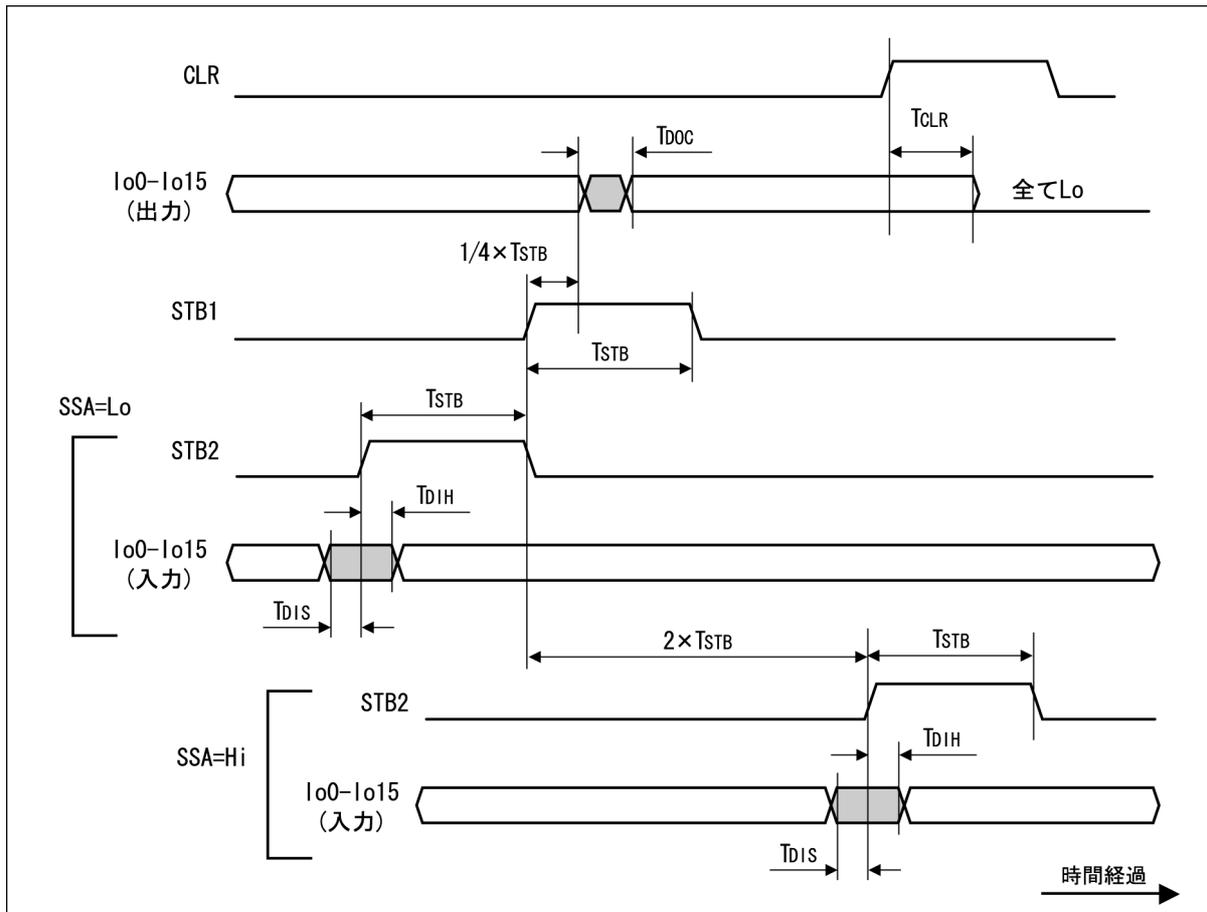
5.2.2 転送レートタイミング (TXE、TXD、RXD)



記号	転送レート	送信信号短パルス幅	単位
TBPS	12Mbps	83.33 ± 5	ns
	6Mbps	166.67 ± 5	ns
	3Mbps	333.33 ± 5	ns

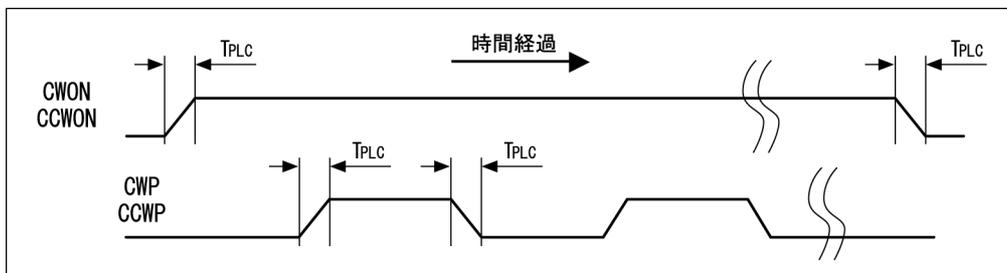
記号	名称	最小	標準	最大	備考
TTXEH	TXE 端子 Hi 期間	$(142 \times \text{TBPS}) - 5\text{ns}$	$142 \times \text{TBPS}$	$(142 \times \text{TBPS}) + 5\text{ns}$	-----
TRNW	入力信号短パルス幅	$0.51 \times \text{TBPS}$	$1.0 \times \text{TBPS}$	$1.49 \times \text{TBPS}$	RZ 信号として許容されるパルス幅
TRWW	入力信号長パルス幅	$1.51 \times \text{TBPS}$	$2.0 \times \text{TBPS}$	$2.49 \times \text{TBPS}$	RZ 信号として許容されるパルス幅

5.2.3 ストローブ/入出力端子タイミング (Io0 ~ Io15 [in/out], STB1、STB2、CLR)



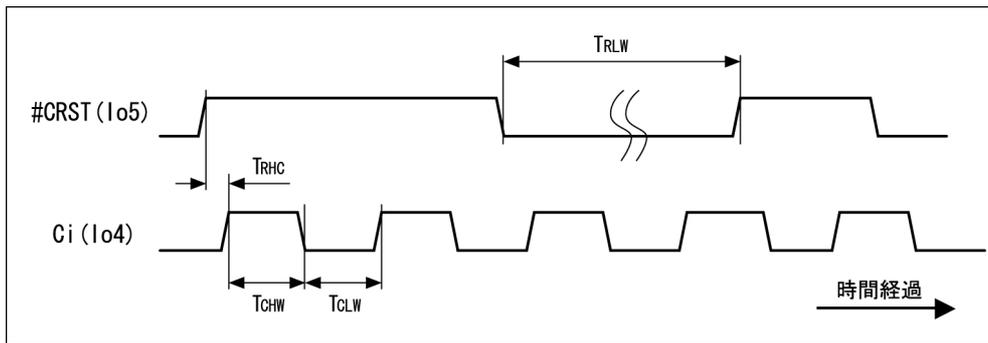
記号	名称	最小	標準	最大	単位
TSTB	ストローブ信号 Hi レベル幅	$(2 \times \text{TBPS}) - 5$	$2 \times \text{TBPS}$	$(2 \times \text{TBPS}) + 5$	ns
TDOC	Do データ遷移時間	---	---	$0.25 \times \text{TBPS}$	ns
TDIS	Di データセットアップ	40	---	---	ns
TDIH	Di データホールド	0	---	---	ns
TCLR	CLR 端子 Hi レベル感知	$0.25 \times \text{TBPS}$	---	$0.6 \times \text{TBPS}$	ns

5.2.4 PWM 出力遷移タイミング (CWON、CCWON、CWP、CCWP)



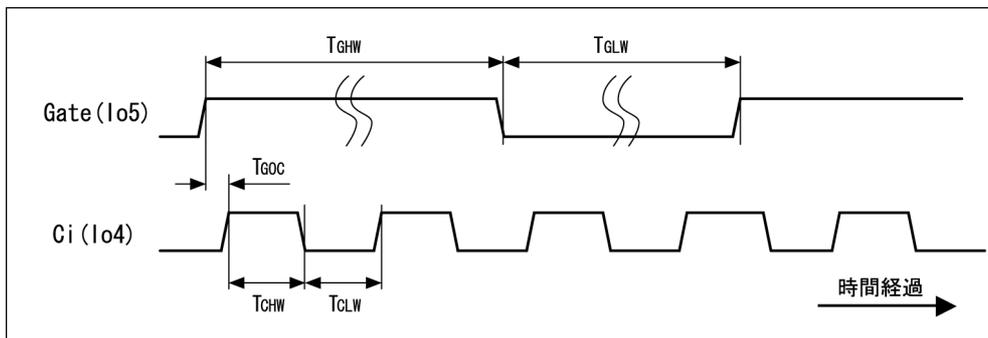
記号	名称	端子負荷	最大
TPLC	レベル遷移時間	50pF	10ns
		100pF	20ns
		200pF	40ns

5.2.5 ユニバーサルカウンタタイミング (フリーカウントモード : #CRST、Ci)



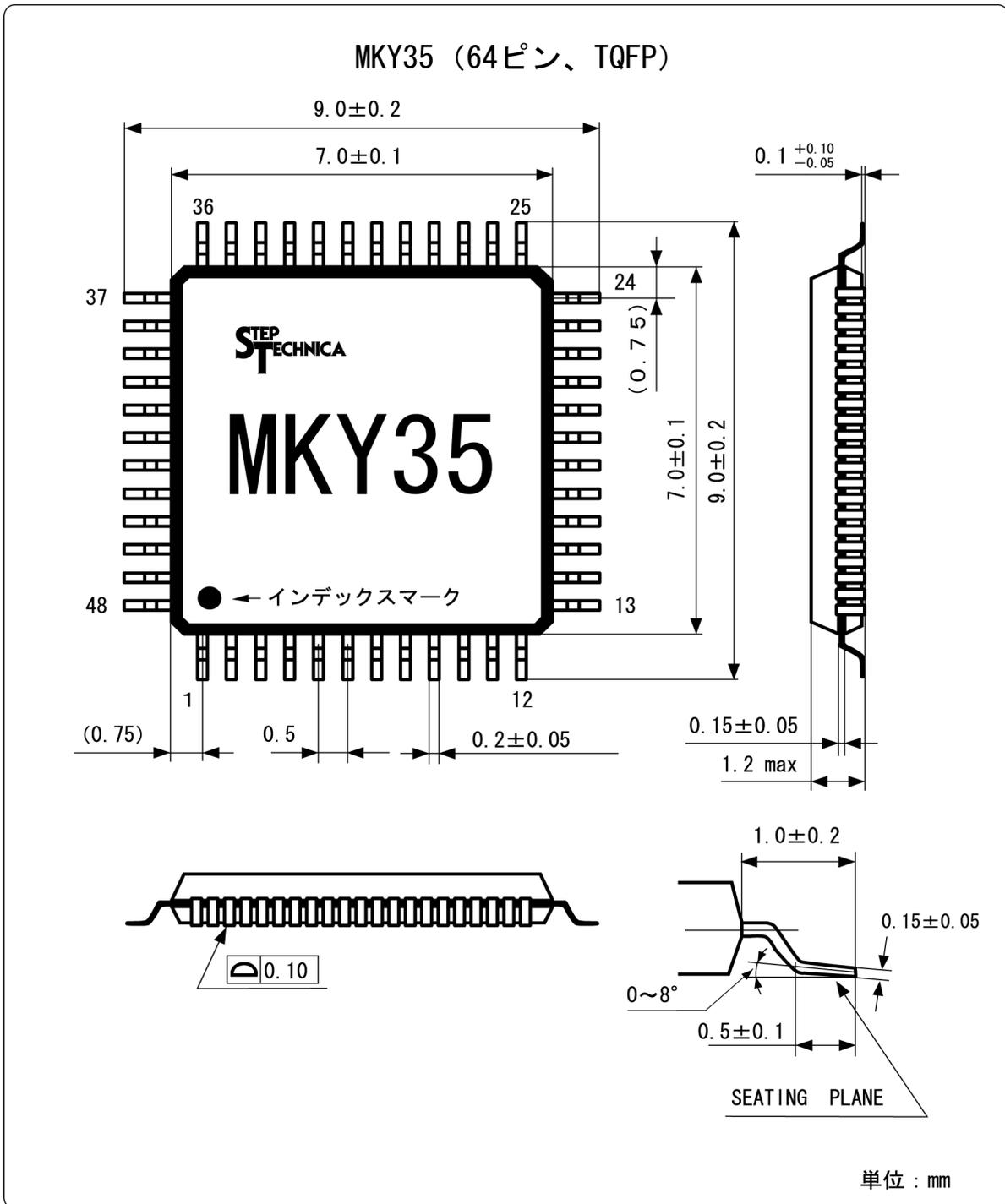
記号	名称	最小	最大	単位
TRHC	#CRST 端子 Hi レベル感知	---	50	ns
TRLW	#CRST 端子 Lo レベル幅	$2 \times \text{TBPS}$	---	ns
TCHW	Ci 端子 Hi レベル幅	$1.5 \times \text{TBPS}$	---	ns
TCLW	Ci 端子 Lo レベル幅	$1.5 \times \text{TBPS}$	---	ns

5.2.6 ユニバーサルカウンタタイミング (外部ゲートモード : Gate、Ci)



記号	名称	最小	最大	単位	備考
TGOC	Gate 端子 Hi レベル感知	---	50	ns	---
TGHW	Gate 端子 Hi レベル幅	TBPS	---	ns	---
TGLW	Gate 端子 Lo レベル幅	$2 \times \text{TBPS}$	---	ns	---
TCHW	Ci 端子 Hi レベル幅	$1.5 \times \text{TBPS}$	---	ns	内部ゲート 1、2 モードにも適用
TCLW	Ci 端子 Lo レベル幅	$1.5 \times \text{TBPS}$	---	ns	内部ゲート 1、2 モードにも適用

5.3 パッケージ外形寸法



5.4 半田実装推奨条件

項目	記号	リフロー	手付け半田こて
ピーク温度（樹脂表面）	Tp	260 以下	350 以下
ピーク温度維持時間	tp	10 秒以下	3 秒以下



注意事項

製品保管条件：吸湿防止のため、 $T_A=30$ 以下、RH=70%以下としてください。

手付け半田法：こて温度 350 、3 秒以内。

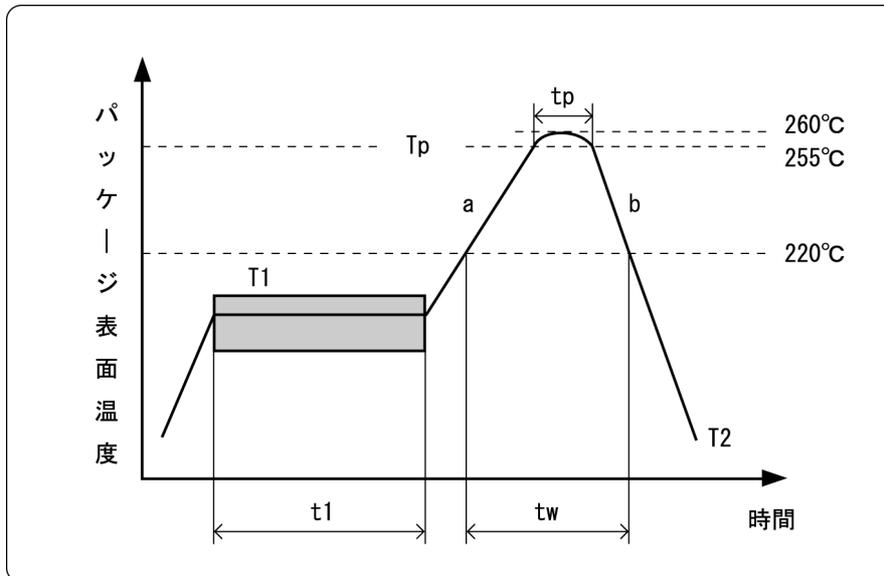
（デバイスリード温度は 270 、10 秒以内）

リフロー回数：最大 2 回まで可能

フラックス：無塩素のフラックスを推奨（十分に洗浄してください）

超音波洗浄の場合：周波数および基板形状などによって、共振が発生してリードの強度へ影響する場合がありますので十分注意してください。

5.5 リフロー推奨条件



項目	記号	値
プリヒート（時間）	t1	60 ~ 120 秒
プリヒート（温度）	T1	150 ~ 180
昇温レート	a	2 ~ 5 /秒
ピーク条件（時間）	tp	10 秒 ± 3 秒
ピーク条件（温度）	Tp	255 + 5
冷却レート	b	2 ~ 5 /秒
高温領域	tw	220 、60 秒以内
取出し温度	T2	100



注意事項

本推奨条件は、温風リフローや赤外線リフローなどに適用します。温度は、パッケージ樹脂表面温度を示します。

開発・製造
株式会社ステップテクニカ

〒 358-0011 埼玉県入間市下藤沢 757-3

TEL: 04-2964-8804

FAX: 04-2964-7653

<http://www.steptechnica.com/>

info@steptechnica.com

ハイスピードリンクシステム
サテライト IC MKY35 ユーザーズマニュアル

ドキュメント No. : STD-HLS35-V6.2J

発行年月日 : 2009 年 4 月