



CUnet

CUnet 専用 IC MKY40

ユーザーズマニュアル

ご注意

1. 本ガイドに記載された内容は、将来予告なしに変更する場合があります。本製品をご使用になる際には、本ガイドが最新の版数であるかをご確認ください。
2. 本ガイドにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本ガイドに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本ガイドの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておりません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本ガイドの一部または全部を、当社に無断で転載および複製することを禁じます。

はじめに

本マニュアルは、CUnet 専用 IC の一品種である MKY40 について記述します。

MKY40 の利用および本マニュアルの理解に先駆けて、“**CUnet 導入ガイド**”を必ずお読みください。

●対象読者

- CUnet を初めて構築する方
- CUnet を構築するために、弊社の各種 IC を初めてご利用になる方

●読者が必要とする知識

- ネットワーク技術に関する標準的な知識
- 半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

●関連マニュアル

- **CUnet 導入ガイド**
- **CUnet テクニカルガイド**

【注意事項】

- **2001年3月までにリリースした“CUnet ユーザーズマニュアル”をお持ちの方へ**

本書は、国際標準規格の表現に統一するために、一部の用語が変更されていますのでご注意ください。

- 本書において記載されている一部の用語は、弊社の Web および営業用ツール（総合カタログ等）において記載されている用語とは異なっています。営業用ツールにおいては、様々な業界において弊社製品をご理解いただけるよう、一般的用語を用いています。

HLS ファミリーおよび CUnet ファミリーに関する専門知識は、技術ドキュメント（マニュアル等）を基にご理解ください。

目次

第1章 MKY40 の位置付けと特徴

1.1	MEM モード時における CUnet ステーション (MEM ステーション)	1-3
1.2	MEM モードの特徴	1-4
1.3	IO モード時におけるステーション (I/O ステーション)	1-5
1.4	IO モードの特徴	1-6
1.5	モードの選択	1-6

第2章 MEM モード時におけるハードウェア 2-3

第3章 MEM モード時における接続

3.1	駆動クロック	3-4
3.1.1	駆動クロックの自己生成	3-4
3.1.2	生成済みの駆動クロックを供給する	3-5
3.1.3	駆動クロックの確認	3-5
3.2	ハードウェアリセット	3-6
3.3	ネットワークインターフェースの接続	3-7
3.3.1	推奨のネットワーク接続	3-7
3.3.2	RXD、TXE、TXD 端子の詳細	3-8
3.3.3	HUB-IC 直結時における注意	3-8
3.4	転送レートの設定	3-9
3.5	通信ケーブル長の目安	3-10
3.6	ステーションアドレスの設定	3-11
3.7	占有エリアの拡張設定	3-12
3.8	LED 表示用端子の接続	3-13
3.9	タイミング通知信号 (#STB 端子) の接続	3-14
3.10	PING 信号の接続	3-14
3.11	汎用出力ポートの接続	3-15
3.12	ユーザ CPU の接続	3-15
3.12.1	32 ビットデータ幅ユーザ CPU の接続	3-16
3.12.2	16 ビットデータ幅ユーザ CPU の接続	3-18
3.12.3	8 ビットデータ幅ユーザ CPU の接続	3-20
3.12.4	アクセスの認識	3-21
3.12.5	アクセスタイムの設計	3-22
3.12.6	MKY40 組込み後のアクセステスト	3-23
3.12.7	データ格納方式	3-23
3.12.8	割込みトリガ信号の接続	3-24

第4章 MEM モード時におけるソフトウェア

4.1	コミュニケーションの起動と停止	4-3
4.1.1	メモリマップ	4-4
4.1.2	MKY40 の接続確認	4-4
4.1.3	コミュニケーション起動前の設定 (イニシャライズ) から起動まで	4-5
4.1.4	各フェーズへの対応	4-6
4.1.5	誤操作のプロテクション	4-7
4.1.6	CUent のサイクルタイム	4-8
4.1.7	サイクル中の詳細タイミング	4-8
4.1.8	ネットワークの停止	4-9
4.1.8.1	SNF (Station Not Found) の詳細	4-10
4.1.8.2	OC (Out of Cycle) の詳細	4-10
4.1.8.3	停止の特例その 1	4-10
4.1.8.4	停止の特例その 2	4-11
4.2	グローバルメモリ (GM) の利用	4-12
4.2.1	占有エリアについての詳細	4-12
4.2.2	データハザードとデータハザード回避機能	4-14
4.2.2.1	ウインドウロック機能	4-15
4.2.2.2	GMPW のリードウインドウロック	4-15
4.2.2.3	GMPW のライトウインドウロック	4-16
4.2.2.4	ウインドウロックの相互関係	4-17
4.2.2.5	グローバルメモリセカンダリウインドウ (GMSW)	4-17
4.2.2.6	GMPW と GMSW の使い分け	4-18
4.2.2.7	ウインドウロック機能を利用しないデータハザード回避	4-19
4.2.3	グローバルメモリ (GM) データの品質保証	4-20
4.2.3.1	レジスタによるステータス表示	4-20
4.2.3.2	ステータス管理の起点時期および特例	4-21
4.2.3.3	LGR (Link Group Register)	4-22
4.2.3.4	メンバ	4-23
4.2.3.5	MFR (Member Flag Register)	4-24
4.2.3.6	MGR (Member Group Register)	4-24
4.2.3.7	メンバの増加と減少検出	4-26
4.2.4	グローバルメモリのデータ遷移検出機能	4-27
4.2.4.1	データ遷移検出対象を設定する DRCCR	4-28
4.2.4.2	DR フラグビットおよび DRFR ビットが "0" から "1" へ遷移するタイミング	4-29
4.2.4.3	DR フラグビットおよび DRFR ビットが "1" から "0" へ遷移するタイミング	4-29
4.2.4.4	データ遷移検出機能利用上の注意	4-31
4.3	メール送受信機能の利用	4-32
4.3.1	メール受信許可の操作	4-33
4.3.2	メール受信時の操作	4-34
4.3.3	メール送信の操作、送信終了後の操作	4-36
4.3.4	メール送信エラーに対する操作	4-38
4.3.5	メール送受信の品質保証	4-39
4.3.6	メール送受信における付帯機能	4-39
4.3.7	メール送受信時間の予測	4-39
4.3.8	メール送受信時における注意点	4-40

4.4	CUnet システムの詳細な操作や管理	4-41
4.4.1	ネットワーク起動前のモニタリング	4-42
4.4.2	サイクルタイムの変更 (リサイズ)	4-43
4.4.2.1	リサイズの操作	4-44
4.4.2.2	リサイズの拒否	4-46
4.4.2.3	リサイズオーバーラップ (RO)	4-46
4.4.2.4	RO 発生時の注意	4-47
4.4.3	ブレークフェーズステーションの検出と対処	4-48
4.4.4	ジャマー検出と対処	4-49
4.4.5	ネットワークの品質管理と表示	4-50
4.4.5.1	LCARE 信号出力	4-50
4.4.5.2	MCARE 信号出力	4-52
4.4.5.3	MON 信号出力	4-53
4.4.6	PING 命令	4-54
4.4.7	各ステーションのモードを検出する機能	4-55
4.4.8	汎用出力ポートの操作	4-56
4.4.9	GMM (Global Memory Monitor) 機能	4-57
4.4.10	フレームオプション [HUB 対応]	4-58
4.4.10.1	HUB の挿入可能段数	4-59
4.4.10.2	フレームオプションの設定	4-60
4.5	割込みトリガ発生機能	4-61
4.5.1	#INT0 端子の操作	4-62
4.5.2	リトリガ機能	4-64
4.5.3	割込み発生要因	4-65
4.5.4	#INT1 端子の操作	4-66
4.5.5	#INT2 端子の操作	4-66
4.5.6	割込みトリガ発生時期指定の注意	4-66
4.5.7	DR (Data Renewal) 割込みトリガ利用上の注意	4-67
4.5.8	割込みトリガ発生に連動するレジスタのフリーズ	4-67

第 5 章 MEM モード時におけるレジスタリファレンス

5.1	CCR (Chip Code Register)	5-5
5.2	BCR (Basic Control Register)	5-6
5.3	SCR (System Control Register)	5-8
5.4	SSR (System Status Register)	5-10
5.5	FSR (Final Station Register)	5-12
5.6	NFSR (New Final Station Register)	5-12
5.7	RFR (Receive Flag Register)	5-13
5.8	LFR (Link Flag Register)	5-14
5.9	LGR (Link Group Register)	5-15
5.10	MFR (Member Flag Register)	5-16
5.11	MGR (Member Group Register)	5-17

5.12	DRCR (Data Renewal Check Register)	5-18
5.13	DRFR (Data Renewal Flag Register)	5-19
5.14	PWRCR (Primary Window Read Control Register)	5-20
5.15	PWWCR (Primary Window Write Control Register)	5-20
5.16	SWRCR (Secondary Window Read Control Register)	5-21
5.17	SWWCR (Secondary Window Write Control Register)	5-21
5.18	MR0CR (Mail Receive 0 Control Register)	5-22
5.19	MR1CR (Mail Receive 1 Control Register)	5-23
5.20	MSCR (Mail Send Control Register)	5-24
5.21	MSLR (Mail Send Limit time Register)	5-25
5.22	MESR (Mail Error Status Register)	5-26
5.23	MSRR (Mail Send Result Register)	5-27
5.24	INT0CR (INTerrupt 0 Control Register)	5-28
5.25	INT1CR (INTerrupt 1 Control Register)	5-30
5.26	INT2CR (INTerrupt 2 Control Register)	5-31
5.27	INT0SR (INTerrupt 0 Status Register)	5-32
5.28	INT1SR (INTerrupt 1 Status Register)	5-34
5.29	INT2SR (INTerrupt 2 Status Register)	5-34
5.30	IT0CR (Interrupt Timing 0 Control Register)	5-35
5.31	IT1CR (Interrupt Timing 1 Control Register)	5-35
5.32	CCTR (Care CounTer Register)	5-36
5.33	QCR (Query Control Register)	5-37
第 6 章	IO モード時におけるハードウェア	6-3
第 7 章	IO モード時における動作と接続	
7.1	IO モード時における MKY40 の内部構成	7-4
7.2	IO モードの動作	7-4
7.2.1	内部入力端子データの送信動作	7-5
7.2.2	内部出力端子のデータ更新動作	7-5
7.2.3	汎用入出力外部端子 (Io0 ~ Io31) とマルチセレクタの動作	7-6
7.2.4	内部出力端子へ出力するデータの選択	7-8
7.2.5	占有メモリブロックのデータ構成	7-9
7.3	IO モード時における接続	7-10
7.3.1	ステーションアドレスの設定 (#SA)	7-11
7.3.2	内部出力端子へ出力するデータの選択 (#DOSA0 ~ #DOSA5、#DOHL)	7-12
7.3.3	汎用入出力外部端子の入出力設定 (IOS0 ~ IOS2、#IOSWAP)	7-13
7.3.4	汎用入出力外部端子の論理設定 (INV0 ~ INV7)	7-14

7.3.5	フレームオプションの設定 (#LFS).....	7-15
7.3.6	汎用入出力外部端子の接続.....	7-15
7.3.7	タイミング通知信号の利用 (STB1、STB2).....	7-16
7.3.8	汎用入出力外部端子の出力有効性通知信号の利用 (DOA).....	7-16
7.3.9	汎用入出力外部端子の出力有効性を表示する (DONA).....	7-17
7.3.10	汎用入出力外部端子の出力レベルのクリア (#CLR、#CLRL).....	7-17
7.3.11	ウォッチドッグタイマによる出力クリア.....	7-18
7.3.12	汎用入出力外部端子の入力データ送信状態を表示 (#MON).....	7-18
7.3.13	PING 命令の受信を通知 (PING).....	7-19
7.3.14	接続概要図.....	7-20
7.4	フェーズ遷移への対応.....	7-21
7.4.1	ランフェーズの動作.....	7-21
7.4.2	コールフェーズの動作.....	7-22
7.4.3	ブレークフェーズの動作.....	7-22
7.4.4	リサイズへの対応.....	7-23
7.4.5	ネットワーク停止と再起動.....	7-23
7.5	I/O ステーションのみによる構成.....	7-24
7.5.1	I/O ステーションのみのサイクルタイム.....	7-25
7.5.2	#IOSWAP 端子の利用.....	7-25
7.5.3	#LFS (Long Frame Select) 端子の利用 [HUB 対応].....	7-26

第 8 章 定格

8.1	電氣的定格.....	8-3
8.2	AC 特性.....	8-4
8.2.1	各モードに共通な信号のタイミング.....	8-4
8.2.1.1	クロック、リセットタイミング (#RST、Xi).....	8-4
8.2.1.2	転送レートタイミング (TXE、TXD、RXD).....	8-5
8.2.1.3	外部転送レートクロック (EXC) タイミング.....	8-5
8.2.2	MEM モード特有の信号タイミング.....	8-6
8.2.2.1	リード／ライトタイミング.....	8-6
8.2.2.2	割込みトリガ出力タイミング.....	8-7
8.2.2.3	STB、#LCARE、#MCARE 出力タイミング.....	8-7
8.2.3	IO モード特有の信号タイミング.....	8-8
8.2.3.1	STB1、STB2 とデータ入出力端子タイミング.....	8-8
8.3	パッケージ外形寸法.....	8-9
8.4	半田実装推奨条件.....	8-10
8.5	リフロー推奨条件.....	8-10

付録

付録 1	サイクルタイム一覧.....	付録-3
付録 2	IO モード時における内部等価ブロック図.....	付録-4
付録 3	アドレス順 レジスター一覧.....	付録-5

目 次

図 1.1	MEM モードの MKY40 を搭載した CUnet ステーション (MEM ステーション).....	1-3
図 1.2	4 つの MEM ステーションを接続した CUnet	1-4
図 1.3	I/O ステーション.....	1-5
図 1.4	2 つのモードを接続した CUnet	1-5
図 2.1	MEM モード時における端子配列	2-3
図 2.2	MEM モード時における入出力回路形式の端子電気的特性	2-7
図 3.1	駆動クロックの自己生成	3-4
図 3.2	生成済みの駆動クロック供給	3-5
図 3.3	ハードウェアリセット.....	3-6
図 3.4	推奨のネットワーク接続	3-7
図 3.5	GMM ステーション用の専用通信ケーブル増設例	3-8
図 3.6	HUB-IC との直結例.....	3-8
図 3.7	転送レートの設定.....	3-9
図 3.8	ステーションアドレスの設定例	3-11
図 3.9	占有エリアの拡張設定例	3-12
図 3.10	LED 表示用端子の接続例	3-13
図 3.11	32 ビットデータ幅のユーザ CPU との接続	3-17
図 3.12	16 ビットデータ幅のユーザ CPU との接続	3-19
図 3.13	8 ビットデータ幅のユーザ CPU との接続	3-21
図 3.14	ユーザバス接続時の注意	3-22
図 3.15	データ格納方式.....	3-23
図 4.1	起動のアルゴリズム.....	4-5
図 4.2	MKY40 のフェーズ遷移と SCR の対応ビット	4-6
図 4.3	ライトプロテクト.....	4-7
図 4.4	SCR のビット 0 ~ 6 が示すステーションタイム.....	4-8
図 4.5	グローバルメモリ.....	4-12
図 4.6	占有エリアの拡張.....	4-13
図 4.7	データハザード発生メカニズム	4-14
図 4.8	8 ビットバスによる 64 ビットデータリード	4-15
図 4.9	ライトの際に発生するデータハザード	4-16
図 4.10	セカンダリウインドウ.....	4-17
図 4.11	GMPW と GMSW の使い分け.....	4-18
図 4.12	64 ビットの RFR と LFR	4-20

図 4.13	ステータス管理の起点時期	4-21
図 4.14	LGR による LFR の監視	4-22
図 4.15	64 ビットの MFR と MGR.....	4-23
図 4.16	MGR による MFR の監視と SSR のビット状態	4-25
図 4.17	64 ビットの DRCR と DRFR.....	4-28
図 4.18	時間経過に対するデータリニューアル検出の概要.....	4-30
図 4.19	メール受信バッファ.....	4-33
図 4.20	メール受信許可.....	4-33
図 4.21	MRB0 ヘデータセットを格納した時の MR0CR.....	4-34
図 4.22	MRB1 ヘデータセットを格納した時の MR1CR.....	4-34
図 4.23	メール送信バッファ.....	4-36
図 4.24	MSLR と MSCR の操作.....	4-36
図 4.25	MSRR.....	4-37
図 4.26	MESR.....	4-38
図 4.27	リサイズ.....	4-43
図 4.28	リサイズの操作.....	4-44
図 4.29	SSR の RO ビット	4-46
図 4.30	SSR の BD ビット	4-48
図 4.31	SSR の JD ビット.....	4-49
図 4.32	CCTR の LCARE 発生回数	4-50
図 4.33	BCR の CP ビット	4-51
図 4.34	CCTR の MCARE 発生回数.....	4-52
図 4.35	#MON 端子への出力例.....	4-53
図 4.36	PING 命令の発行.....	4-54
図 4.37	各 MEM ステーションのモード調査	4-55
図 4.38	汎用出力ポート.....	4-56
図 4.39	HUB 挿入可能段数.....	4-59
図 4.40	フレームオプションの設定	4-60
図 4.41	割込みトリガ発生機能.....	4-62
図 4.42	DR および ALM 割込みトリガ発生タイミング	4-63
図 4.43	リトリガ機能の動作例.....	4-64
図 5.1	8 ビットアクセス対応アドレス (16 ビットレジスタ)	5-3
図 5.2	アクセス対応アドレス (64 ビットレジスタ)	5-3
図 6.1	IO モード時における端子配列	6-3
図 6.2	IO モード時における入出力回路形式の端子電気的特性	6-7

図 7.1	IO モード時における MKY40 の内部構成.....	7-4
図 7.2	マルチセレクタ内部構成 (1 つの I/O 端子分)	7-6
図 7.3	内部出力端子へ出力するデータの選択	7-8
図 7.4	IO モード時におけるステーションアドレスの設定例	7-11
図 7.5	IO モード時における #DOSA0-5 と #DOHL の設定例.....	7-12
図 7.6	汎用入出力外部端子の入出力設定例	7-13
図 7.7	汎用入出力外部端子の論理設定例	7-14
図 7.8	DONA 端子への LED 接続例	7-17
図 7.9	ウォッチドッグ出力のクリア例	7-18
図 7.10	#MON 端子への LED 接続例.....	7-18
図 7.11	IO モード時における各端子の設定と接続の概念.....	7-20
図 7.12	I/O ステーションのみによって構成する CUnet	7-24
図 7.13	複数の I/O 信号を 1 本の通信ケーブルによって接続可能なシステムの概念	7-24
図 7.14	#IOSWAP 端子を利用する場合の概念.....	7-25

目 次

表 2-1	MEM モード時における端子機能	2-4
表 2-2	MEM モード時における電氣的定格	2-6
表 3-1	ケーブル長の目安	3-10
表 4-1	メモリマップ	4-4
表 4-2	タイプコード	4-55
表 4-3	割込み発生要因	4-65
表 4-4	フリーズするレジスタ	4-67
表 5-1	レジスター一覧	5-4
表 5-2	各ビット値と転送レート (48MHz 駆動クロック時)	5-6
表 5-3	クエリ完了によるタイプコード	5-37
表 6-1	IO モード時における端子機能	6-4
表 6-2	IO モード時における電氣的定格	6-6
表 7-1	INV0 ~ INV7 に対応する汎用入出力外部端子	7-6
表 7-2	汎用入出力外部端子の入出力と接続先	7-7
表 7-3	占有 MB (メモリブロック) のデータ構成	7-9
表 7-4	MEM モードと同一の接続	7-10
表 7-5	FS=63 のサイクルタイム	7-25
表 7-6	フレームオプションが設定された FS=63 のサイクルタイム	7-26
表 8-1	絶対最大定格	8-3
表 8-2	電氣的定格	8-3
表 8-3	AC 特性測定条件	8-4

第 1 章 MKY40 の位置付けと特徴

本章は、CUnet における MKY40 の位置付けと特徴について記述します。

1.1	MEM モード時における CUnet ステーション (MEM ステーション)	1-3
1.2	MEM モードの特徴	1-4
1.3	IO モード時におけるステーション (I/O ステーション)	1-5
1.4	IO モードの特徴	1-6
1.5	モードの選択	1-6

第1章 MKY40 の位置付けと特徴

本章は、CUnet における MKY40 の位置付けと特徴について記述します。

MKY40 は、CUnet プロトコルを完全なハードワイヤロジックによって搭載し、CMOS テクノロジを採用した LQFP-100 ピンの CUnet 専用 IC です。MKY40 は、MEM モードと IO モードの2つのモードを持っており、MEM モード時のステーションを“MEM ステーション”、IO モード時のステーションを“I/O ステーション”と呼びます。また、この2つのステーションを、総称して“CUnet ステーション”と呼びます。

なお、MEM モード時においては、CUnet ステーションを、グローバルメモリデータモニタ機能によって稼動する“GMM ステーション”として利用することも可能です（4.4.9 参照）。

1.1 MEM モード時における CUnet ステーション（MEM ステーション）

CUnet は、CUnet 専用 IC を搭載した複数のユーザ装置をネットワークによって接続し、ネットワークシステムを構成します。MEM モードに設定された CUnet 専用 IC の MKY40 は、バスインターフェース（BUS-I/F）とネットワークインターフェース（ネットワーク I/F）を装備しています。MKY40 のバスインターフェース（BUS-I/F）をユーザ CPU へ接続し、MKY40 のネットワークインターフェース（ネットワーク I/F）をネットワークへ接続することによって CUnet の1つの MEM ステーションとしてのユーザ装置を製作することができます（図 1.1 参照）。なお本書においては、MEM モードの MKY40 を搭載したユーザ装置を“MEM ステーション”と記述します。

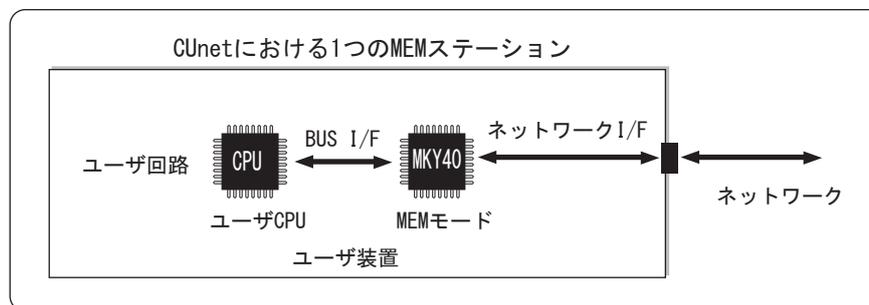


図 1.1 MEM モードの MKY40 を搭載した CUnet ステーション（MEM ステーション）

図 1.2 に示す CUnet システムは、4つの MEM ステーション間において、メモリデータを共有します。各 MEM ステーションのユーザ CPU は、MKY40 に搭載されているグローバルメモリ（GM：Global Memory）空間へのリードおよびライトアクセスのみによって、シンプルかつ高速にコミュニケーションすることができます。また、各 MEM ステーションのユーザ CPU は、MKY40 に搭載されているメール送信バッファとメール受信バッファを利用して、指定する MEM ステーションへ 256 バイト以内のデータセットをメール送信することもできます。

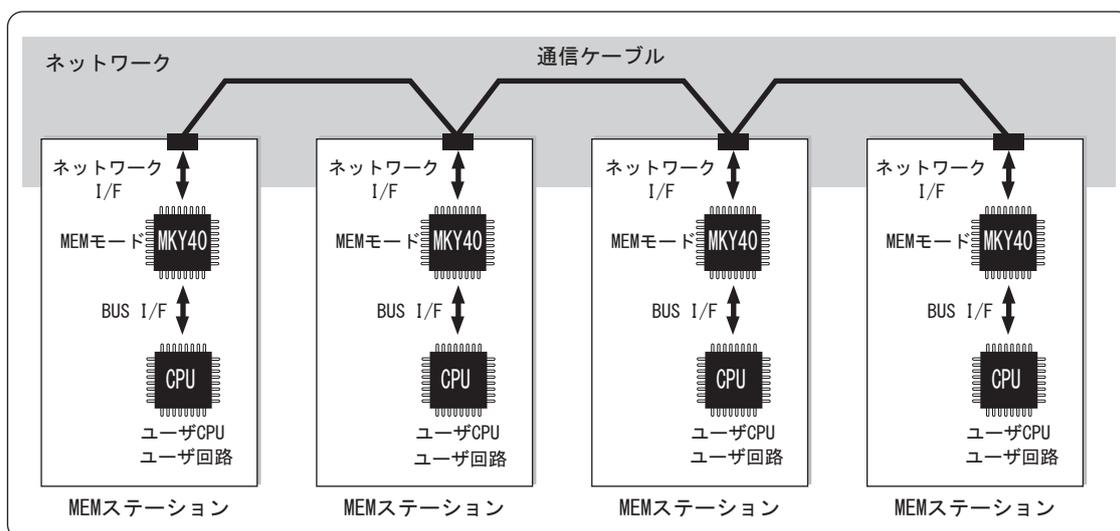


図 1.2 4つの MEM ステーションを接続した CUnet

1.2 MEM モードの特徴

MKY40 の MEM モードは、以下の特徴を備えています。

- ① 最大 64 の CUnet ステーションまで接続できます。
- ② グローバルメモリ（GM：Global Memory）のサイズは 512 バイトです（CUnet におけるメモリのブロックサイズは、8 バイトです。グローバルメモリは、64 メモリブロックから構成されています）。
- ③ MKY40 は、複数のメモリブロックを占有することができます。例えば、2つの MEM ステーションによって構成される CUnet においてそれぞれの MEM ステーションが 32 メモリブロックを占有した場合、256 バイトずつを占有するデュアルポート RAM のように、グローバルメモリを使うこともできます。
- ④ 標準の転送レートは、12Mbps/6Mbps/3Mbps です。
- ⑤ グローバルメモリ（GM：Global Memory）のデータ遷移を検出する割込みの他、各種の割込み発生機能を利用できます。
- ⑥ 256 バイトまでのメールを送信することができます。
- ⑦ 8 ビットバス幅、16 ビットバス幅、32 ビットバス幅のユーザ CPU へ接続できます。
- ⑧ CUnet ステーション間において扱われるデータは、MKY40 に搭載されている CUnet プロトコルによって、データ化けなどが生じないことが保証されています。



参考

CUnet プロトコルおよびデータの品質保証についての詳細は、“**CUnet 導入ガイド**”を参照してください。

1.3 IOモード時におけるステーション (I/Oステーション)

MKY40は、CUnet専用I/O-ICとしても利用できます(図1.3参照)。

IOモードに設定されたCUnet専用ICのMKY40は、ネットワークインターフェース(ネットワークI/F)をネットワークへ接続することにより、MKY40の端子に装備された汎用入出力外部端子の信号(I/O信号)を、グローバルメモリ(GM:Global Memory)と直結させることが可能です。

図1.4に示すCUnetシステムは、ユーザCPUを搭載した2つのMEMステーション(MEMモード)と、2つのI/Oステーション(IOモード)をネットワークによって接続したCUnetです。このシステムにおいて、I/Oステーションの入力ポートの状態を、全てのユーザCPUがグローバルメモリ(GM:Global Memory)から読み出すことが可能です。またユーザCPUがI/Oステーションの出力ポートの状態を設定することも可能です。

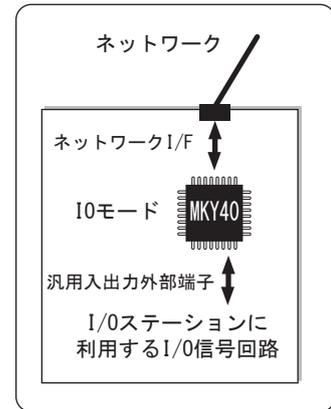


図1.3 I/Oステーション

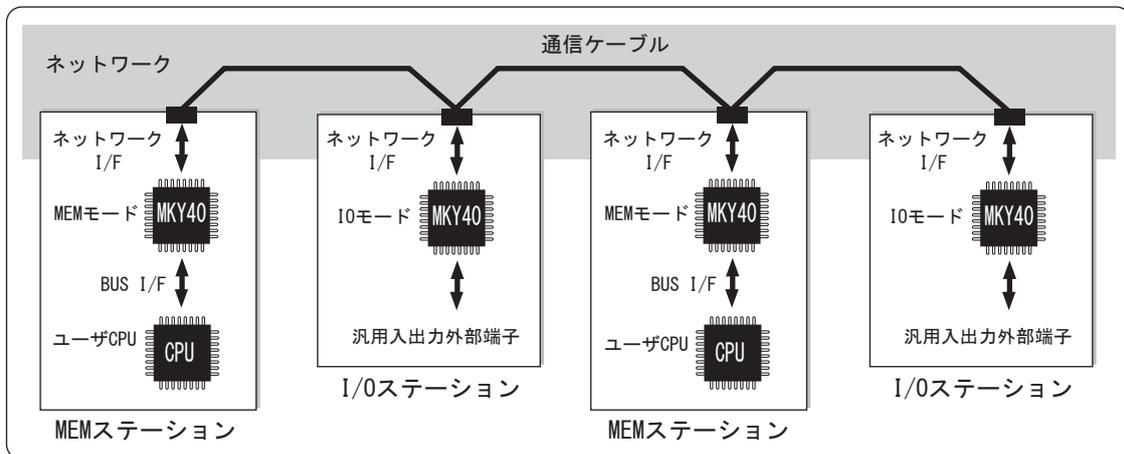


図1.4 2つのモードを接続したCUnet

1.4 IO モードの特徴

MKY40 の IO モードは、以下の特徴を備えています。

- ① 最大 64 の CUnet ステーションまで接続できます。
- ② IO モードの MKY40 は、グローバルメモリ (GM:Global Memory) 内の 1 つのメモリブロック (8 バイト) を占有します。
- ③ 標準の転送レートは、12Mbps/6Mbps/3Mbps です。
- ④ 32 本の汎用入出力外部端子を備えており、4 ビット毎に、“入力”として利用するか“出力”として利用するかを選択できます。また端子のレベルとデータ間の論理を反転させる設定もできます。
- ⑤ 各種のタイミング出力用および LED 表示用の端子を備えており、ユーザアプリケーションによる拡張や応用を容易にします。
- ⑥ I/O ステーションのみによっても、CUnet を構成させることができます。
- ⑦ 汎用入出力外部端子によって扱われる I/O 情報は、MKY40 に搭載されている CUnet プロトコルによってデータ化けなどが生じないことが保証されています。



参考

CUnet プロトコルおよびデータの品質保証についての詳細は、“**CUnet 導入ガイド**”を参照してください。

1.5 モードの選択

MKY40 は、CUnet システムを構築するにあたり、MEM モードと IO モードを使い分けることが可能です。

MKY40 は、MODE 端子（端子 2）を、Lo レベルに保つことにより MEM モードとして機能します。

MKY40 は、MODE 端子を、Hi レベルに保つことにより IO モードとして機能します。

本書は、MKY40 の MEM モードと IO モードについて、各章に分けて記述します。



参考

MKY40 はマイクロコントローラを搭載していません。このため、プログラム暴走などの心配がありません。



注意事項

MKY40 は、MODE 端子の設定を変更することによって、多くの端子の入出力仕様が切り替わります。したがって、電源が印加されている間は、MODE 端子の設定を変更しないでください。

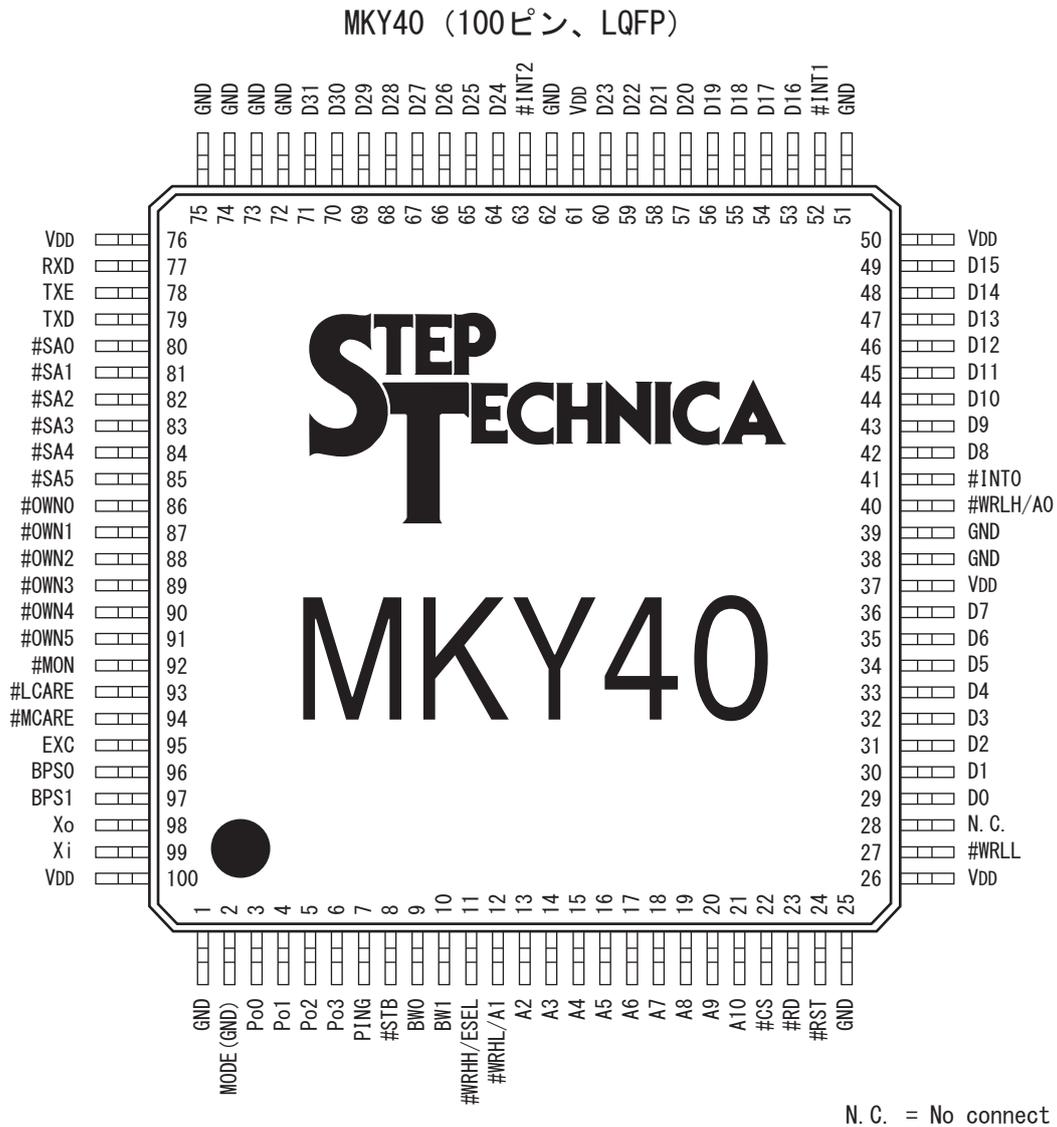
第 2 章 MEM モード時におけるハードウェア

本章は、MKY40 の MEM モードにおける端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

第2章 MEMモード時におけるハードウェア

本章は、MKY40のMEMモードにおける端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

MKY40のMEMモードにおける端子配列を、図2.1に示します。



注記：先頭に“#”が付いている端子は、負論理（Loアクティブ）を示します。

図 2.1 MEMモード時における端子配列

表 2-1 に、MKY40 の MEM モードにおける端子機能を示します。

表 2-1 MEM モード時における端子機能

端子名	端子番号	論理	I/O	機 能
MODE	2	正	I	MKY40 のモードを設定する入力端子です。 MEM モードにおいては、必ず Lo レベルに固定してください。
Po0 ~ Po3	3 ~ 6	正	O	ユーザ CPU から MKY40 内部の SSR (System Status Register) ヘライトしたビット 0 ~ 3 のデータが出力される、汎用出力ポートです。 本端子はハードウェアリセットがアクティブになると、ユーザ CPU から MKY40 内部の SSR ヘデータがライトされるまで、Lo レベルを維持します。
PING	7	正	O	他の CUNet ステーションから PING 命令を受信した時に Hi レベルになる、PING 機能の出力端子です。本端子はハードウェアリセットがアクティブになると、他の CUNet ステーションからの PING 命令に優先して Lo レベルを維持します。
#STB	8	負	O	サイクルタイムの先頭時期に、所定時間 Lo レベルを出力する、タイミング通知出力端子です。
BW0 BW1	9 10	正	I	ユーザ CPU と接続するバス幅を設定する入力端子です。 BW1 端子が Hi レベルの時、32 ビットバス幅が選択されます。 BW1 端子が Lo レベルかつ BW0 端子が Hi レベルの時、16 ビットバス幅が選択されます。 BW1 端子が Lo レベルかつ BW0 端子が Lo レベルの時、8 ビットバス幅が選択されます。
#WRHH /ESEL	11	負 / 正	I	本端子は、BW1 端子が Hi レベルの時、#WRHH 入力端子として機能します。 #WRHH 入力端子へは、D24 ~ D31 へのライトを制御する信号を接続してください。本端子と #CS 端子の両方が Lo レベルの時に、どちらか一方の端子が Hi レベルになると、バスの D24 ~ D31 データが MKY40 内部へライトされます。 BW1 端子が Lo レベルの時、ユーザ CPU のエンディアン種別を選択する ESEL 入力端子として機能します。 ESEL 入力端子は、ユーザ CPU がビッグエンディアンの時は Hi レベルを、ユーザ CPU がリトルエンディアンの時は Lo レベルを設定してください。
#WRHL /A1	12	負 / 正	I	本端子は、BW1 端子が Hi レベルの時、#WRHL 入力端子として機能します。 #WRHL 入力端子へは、D16 ~ D23 へのライトを制御する信号を接続してください。本端子と #CS 端子の両方が Lo レベルの時に、どちらか一方の端子が Hi レベルになると、バスの D16 ~ D23 データが MKY40 内部へライトされます。 BW1 端子が Lo レベルの時、ユーザ CPU と接続する 10 ビットのアドレスバス端子 (A1 ~ A10) の A1 入力端子として機能します。A1 入力端子の場合は、ユーザ CPU から出力される A1 信号を接続してください。
A2 ~ A10	13 ~ 21	正	I	ユーザ CPU と接続するアドレスバス端子の一部です。 本端子へは、ユーザ CPU から出力される A2 ~ A10 信号を接続してください。
#CS	22	負	I	ユーザ CPU と接続するアクセス制御端子です。ユーザ CPU が MKY40 ヘリードまたはライトアクセスする際に、適切なタイミングによって本端子を Lo レベルにしてください。
#RD	23	負	I	ユーザ CPU と接続するリード制御端子です。ユーザ CPU が MKY40 をリードする際に、適切なタイミングによって本端子を Lo レベルにしてください。 MKY40 は、本端子と #CS 端子の両方が Lo レベルの時に、BW1 と BW0 端子の設定に応じたバス幅のデータを、データバスへ出力します。
#RST	24	負	I	MKY40 のハードウェアリセット入力端子です。 電源 `ON` 直後から、あるいはユーザが意図的にハードウェアをリセットする時に、Xi 端子の周波数の 10 クロック以上 Lo レベルを維持してください。
#WRLL	27	負	I	本端子へは、D0 ~ D7 へのライトを制御する信号を接続してください。本端子と #CS 端子の両方が Lo レベルの時に、どちらか一方の端子が Hi レベルになると、バスの D0 ~ D7 データが MKY40 内部へライトされます。
N.C.	28	正	O	本端子は、機能を持たない出力端子です。必ず開放にしてください。
D0 ~ D7	29 ~ 36	正	I/O	ユーザ CPU と接続する双方向データバス端子 (D0 ~ D7) です。

(つづく)

表 2-1 MEM モード時における端子機能

(つづき)

端子名	端子番号	論理	I/O	機 能
#WRLH /A0	40	負 / 正	I	本端子は、BW1 端子と BW0 端子の両方が Lo レベル以外の時、#WRLH 入力端子として機能します。#WRLH 入力端子へは、D8 ~ D15 へのライトを制御する信号を接続してください。本端子と #CS 端子の両方が Lo レベルの時に、どちらか一方の端子が Hi レベルになると、バスの D8 ~ D15 データが MKY40 内部へライトされます。 BW1 端子と BW0 端子の両方が Lo レベルの時、ユーザ CPU と接続する 11 ビットのアдресバス端子 (A0 ~ A10) の A0 入力端子として機能します。A0 入力端子の場合は、ユーザ CPU から出力される A0 信号を接続してください。
#INT0	41	負	O	ユーザ CPU に対して割込みトリガ信号を出力する端子です。割込みトリガが発生している時に、Lo レベルを出力します。 本端子は、MKY40 内部レジスタの INT0CR および INT0SR によって制御します。
D8 ~ D15	42 ~ 49	正	I/O	ユーザ CPU と接続する双方向データバス端子 (D8 ~ D15) です。
#INT1	52	負	O	ユーザ CPU に対して割込みトリガ信号を出力する端子です。割込みトリガが発生している時に、Lo レベルを出力します。 本端子は、MKY40 内部レジスタの INT1CR および INT1SR によって制御します。
D16 ~ D23	53 ~ 60	正	I/O	ユーザ CPU と接続する双方向データバス端子 (D16 ~ D23) です。
#INT2	63	負	O	ユーザ CPU に向けて割込みトリガ信号を出力する端子です。割込みトリガが発生している時に、Lo レベルを出力します。 本端子は、MKY40 内部レジスタの INT2CR および INT2SR によって制御します。
D24 ~ D31	64 ~ 71	正	I/O	ユーザ CPU と接続する双方向データバス端子 (D24 ~ D31) です。
RXD	77	正	I	パケットを入力する端子です。レシーバの出力端子へ接続してください。
TXE	78	正	O	パケットを出力する期間中、Hi レベルになる出力端子です。 ドライバのイネーブル入力端子へ接続してください。
TXD	79	正	O	パケットを出力する端子です。 ドライバのドライブ入力端子へ接続してください。
#SA0 ~ #SA5	80 ~ 85	負	I	ステーションアドレス (SA) を設定する入力端子です。MKY40 は、ハードウェアリセットアクティブ時に、本端子の反転状態を MKY40 内部の BCR ヘライトします。
#OWN0 ~ #OWN5	86 ~ 91	負	I	占有幅 (OWN-width) を設定する入力端子です。MKY40 は、ハードウェアリセットアクティブ時に、本端子の反転状態を MKY40 内部の BCR ヘライトします。
#MON	92	負	O	他の CUNet ステーションと安定的にリンクが成立している間 Lo レベルを出力する、LED 点灯用の出力端子です。
#LCARE	93	負	O	LCARE 発生時に、所定時間 Lo レベルを出力する LED 点灯用の出力端子です。
#MCARE	94	負	O	MCARE 発生時に、所定時間 Lo レベルを出力する LED 点灯用の出力端子です。
EXC	95	正	I	転送レートが外部クロックに依存する際に使用するクロック入力端子です。転送レートは、供給周波数の "1/4" です。供給可能な周波数は 12.5MHz (最大) です。本端子を使用しない時は、Hi レベルまたは Lo レベルを設定してください。
BPS0 BPS1	96 97	正	I	転送レートを設定する入力端子です。MKY40 は、ハードウェアリセットアクティブ時に、本端子の状態を MKY40 内部の BCR ヘライトします。
Xo	98	正	O	発振子の接続端子です。
Xi	99	正	I	発振子もしくは生成済みのクロックを接続する端子です。
VDD	26、37 50、61 76、100	---	---	電源端子。5.0V 供給。
GND	1、25 38、39 51、62 72 ~ 75	---	---	電源端子。0V へ接続。

注記：先頭に“#”が付いている端子は、負論理 (Lo アクティブ) を示します。

表 2-2 に、MKY40 の MEM モードにおける電氣的定格を示します。

表 2-2 MEM モード時における電氣的定格

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	--	GND	--	26	--	VDD	--	51	--	GND	--	76	--	VDD	--
2	I	MODE	A	27	I	#WRLL	B	52	O	#INT1	E	77	I	RXD	D
3	O	Po0	E	28	O	N.C.	E	53	I/O	D16	G	78	O	TXE	E
4	O	Po1	E	29	I/O	D0	G	54	I/O	D17	G	79	O	TXD	E
5	O	Po2	E	30	I/O	D1	G	55	I/O	D18	G	80	I	#SA0	C
6	O	Po3	E	31	I/O	D2	G	56	I/O	D19	G	81	I	#SA1	C
7	O	PING	E	32	I/O	D3	G	57	I/O	D20	G	82	I	#SA2	C
8	O	#STB	E	33	I/O	D4	G	58	I/O	D21	G	83	I	#SA3	C
9	I	BW0	C	34	I/O	D5	G	59	I/O	D22	G	84	I	#SA4	C
10	I	BW1	C	35	I/O	D6	G	60	I/O	D23	G	85	I	#SA5	C
11	I	#WRHH /ESEL	B	36	I/O	D7	G	61	--	VDD	--	86	I	#OWN0	C
12	I	#WRHL /A1	B	37	--	VDD	--	62	--	GND	--	87	I	#OWN1	C
13	I	A2	B	38	--	GND	--	63	O	#INT2	E	88	I	#OWN2	C
14	I	A3	B	39	--	GND	--	64	I/O	D24	G	89	I	#OWN3	C
15	I	A4	B	40	I	#WRLH /A0	B	65	I/O	D25	G	90	I	#OWN4	C
16	I	A5	B	41	O	#INT0	E	66	I/O	D26	G	91	I	#OWN5	C
17	I	A6	B	42	I/O	D8	G	67	I/O	D27	G	92	O	#MON	F
18	I	A7	B	43	I/O	D9	G	68	I/O	D28	G	93	O	#LCARE	F
19	I	A8	B	44	I/O	D10	G	69	I/O	D29	G	94	O	#MCARE	F
20	I	A9	B	45	I/O	D11	G	70	I/O	D30	G	95	I	EXC	D
21	I	A10	B	46	I/O	D12	G	71	I/O	D31	G	96	I	BPS0	C
22	I	#CS	B	47	I/O	D13	G	72	--	GND	--	97	I	BPS1	C
23	I	#RD	B	48	I/O	D14	G	73	--	GND	--	98	O	Xo	--
24	I	#RST	D	49	I/O	D15	G	74	--	GND	--	99	I	Xi	--
25	--	GND	--	50	--	VDD	--	75	--	GND	--	100	--	VDD	--

第2章 MEMモード時におけるハードウェア

図2.2に、MKY40のMEMモードにおける端子の電気的特性を示します。

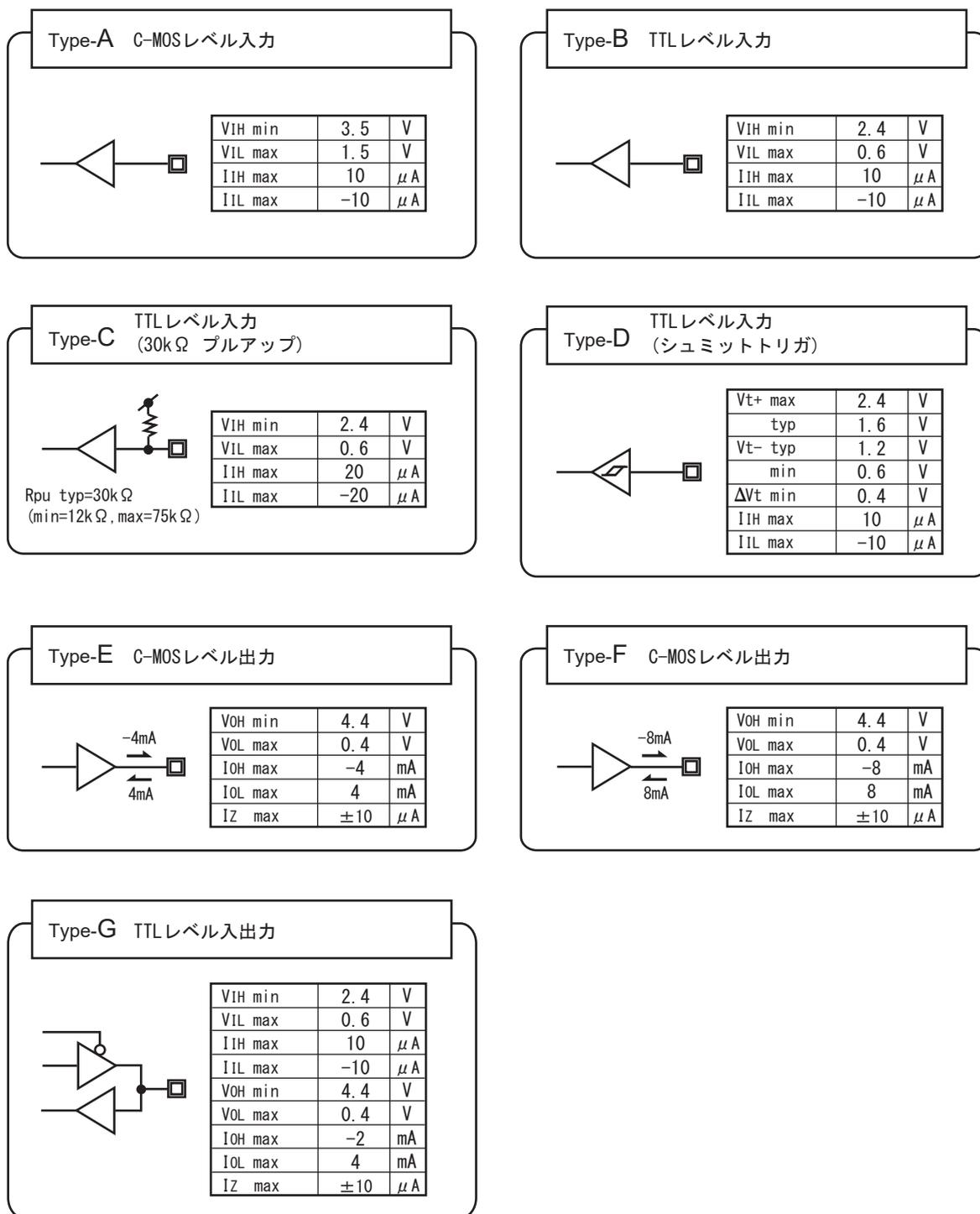


図2.2 MEMモード時における入出力回路形式の端子電気的特性

第 3 章 MEM モード時における接続

本章は、CUnet において MEM モードに設定された MKY40 が機能するために必要な端子の役割や接続について記述します。

3.1	駆動クロック	3-4
3.2	ハードウェアリセット	3-6
3.3	ネットワークインターフェースの接続	3-7
3.4	転送レートの設定	3-9
3.5	通信ケーブル長の目安	3-10
3.6	ステーションアドレスの設定	3-11
3.7	占有エリアの拡張設定	3-12
3.8	LED 表示用端子の接続	3-13
3.9	タイミング通知信号 (#STB 端子) の接続	3-14
3.10	PING 信号の接続	3-14
3.11	汎用出力ポートの接続	3-15
3.12	ユーザ CPU の接続	3-15

第3章 MEMモード時における接続

本章は、CUnetにおいてMEMモードに設定されたMKY40が機能するために必要な端子の役割や接続について記述します。

MKY40のMEMモードの接続においては、MKY40のMODE端子(端子2)を、電源のGND(Loレベル)へ必ず接続してください。また、V_{DD}端子(端子26、37、50、61、76、100)の全てを必ず電源の5.0Vへ、GND端子(端子1、25、38、39、51、62、72、73、74、75)の全てを必ず電源の0Vへ接続し、近接するV_{DD}端子とGND端子間に10V / 0.1 μ F (104)以上のコンデンサも接続してください。NC (No Conect) 端子(端子28)は開放にしてください。

3.1 駆動クロック

本節は、MKY40 の駆動クロックについて記述します。

3.1.1 駆動クロックの自己生成

MKY40 は、発振子を接続することにより自ら駆動クロックを生成することができます。この場合、発振子を Xi 端子（端子 99）と Xo 端子（端子 98）へ接続してください。通常は、48MHz の水晶発振子を接続してください。

Xi 端子と Xo 端子へ接続する発振子および補助部品は、MKY40 本体の近傍に配置してください。発振子のメーカーおよび品種に応じて、適切な値の容量を選択し、接続してください（**図 3.1** 参照）。

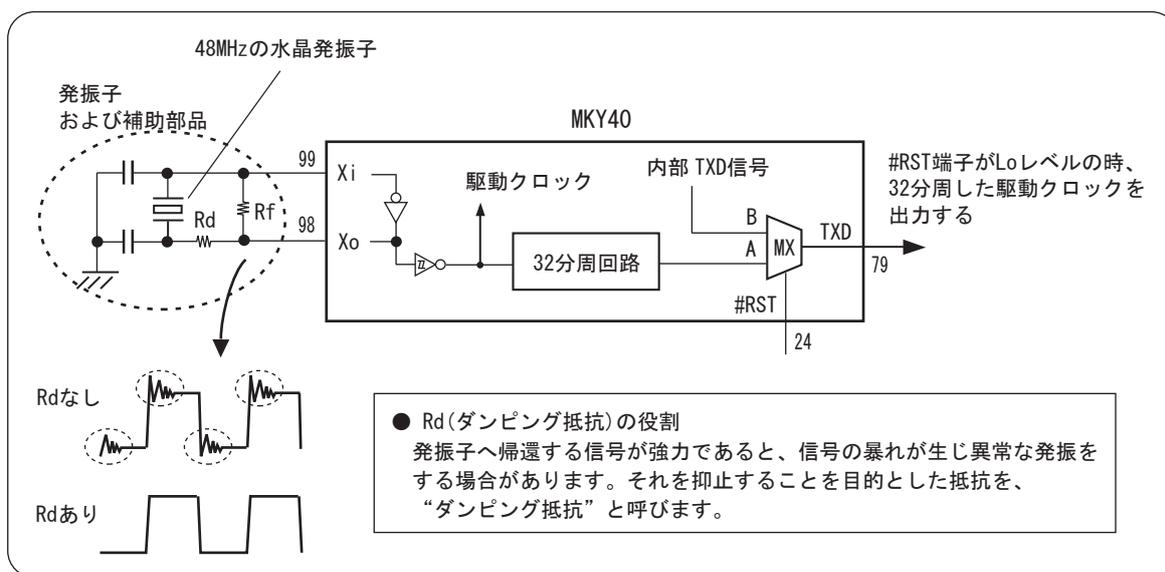


図 3.1 駆動クロックの自己生成

注意事項

- ① MKY40 が発振可能な周波数範囲は、40MHz ~ 50MHz です。この範囲を逸脱する駆動クロック周波数を必要とする場合は、“3.1.2 生成済みの駆動クロックを供給する”を採用してください。
- ② 発振子のメーカーおよび品種によっては、Xo 端子と発振子の間に、ダンピング抵抗 (Rd) の挿入を必要とする場合もあります。
- ③ 発振周波数精度の許容範囲は、± 500ppm 以内です。
- ④ 発振状態の認識および発振周波数を計測するためには、TXD 端子を利用可能です。

参考

弊社は、技術レポートなどの情報を Web サイトにおいて提供することに努めております。発振子に応じた適切な値の容量や発振の安定度を策定する方法など、参考となる技術情報を必要とする場合は、弊社の Web サイトもご参照ください。

<https://www.steptechnica.com/>

3.1.2 生成済みの駆動クロックを供給する

発振器などによって既に生成されているクロックを、直接MKY40へ供給し、MKY40の駆動クロックとして利用することができます。駆動クロックをMKY40へ直接供給する際は、Xi端子（端子99）を利用し、Xo端子（端子98）は開放してください。

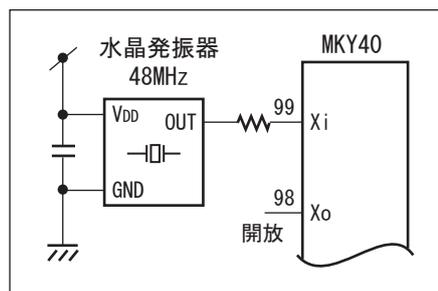


図 3.2 生成済みの駆動クロック供給

駆動クロックを外部から直接供給する際の仕様は以下です。

- ① 上限周波数は 50MHz であり、下限はありません。通常は、48MHz のクロックを接続します。
- ② Xi 端子の特性は、 $V_{IH} = \min 3.5V$ 。 $V_{IL} = \max 1.5V$ です。
- ③ 信号の立上りおよび立下りが 20ns 以内のクロックを接続してください。
- ④ 信号の Hi レベルあるいは Lo レベルの最小時間が 5ns 以上のクロックを接続してください。
- ⑤ クロックのジッタ成分が以下の範囲以内のクロックを接続してください。
 - ・ 入力する周波数が 25MHz 以上の場合 250ps 以内
 - ・ 入力する周波数が 25MHz 未満の場合 500ps 以内
- ⑥ 周波数精度が $\pm 500\text{ppm}$ 以内のクロックを接続してください。



参考

一般的な水晶発振器におけるクロックの出力は、上記②～⑥の値に対して問題になりません。

3.1.3 駆動クロックの確認

MKY40 は、ハードウェアリセットがアクティブ状態の時に、駆動クロックを 32 分周したクロックを TXD 端子（端子 79）から出力します（図 3.1 参照）。このクロックの出現と周波数を確認することによって、MKY40 へ供給している駆動クロック、あるいは発振器によって生成されたクロックが正常なことを確認できます。



参考

MKY40 が許容する駆動クロックの発振周波数精度は $\pm 500\text{ppm}$ 以内です。



参考

ハードウェアリセットがアクティブ状態の許容時には 48MHz の 32 分周の 1.5MHz の信号が TXD 端子より出力されます。

また、ハードウェアリセットが非アクティブ状態であり、かつ、TXE 端子が Lo レベルの時は、TXD 端子から出力されるクロックは転送レート設定により異なります。

12Mbps 設定・・・TXD 端子から 1.5MHz が出力

6Mbps 設定・・・TXD 端子から 750KHz が出力

3Mbps 設定・・・TXD 端子から 375KHz が出力

3.2 ハードウェアリセット

#RST (ReSeT) 端子 (端子 24) へ Lo レベルを入力すると、MKY40 はハードウェアリセットされます。ただし、この Lo レベル信号が入力されている期間が“1 クロック”以下の場合、誤動作を防止するためにこの信号は無視されます。また MKY40 を完全にリセットするためには、駆動クロックが供給されている間に #RST 端子を“10 クロック”以上 Lo レベルを維持していなければなりません (図 3.3 参照)。

本書においては、この状態を“ハードウェアリセットがアクティブ”と呼びます。

#RST 端子は、内部のシュミット型入力バッファへ接続されているため、電源“ON”時の立上り時定数回路を直接接続することもできます。

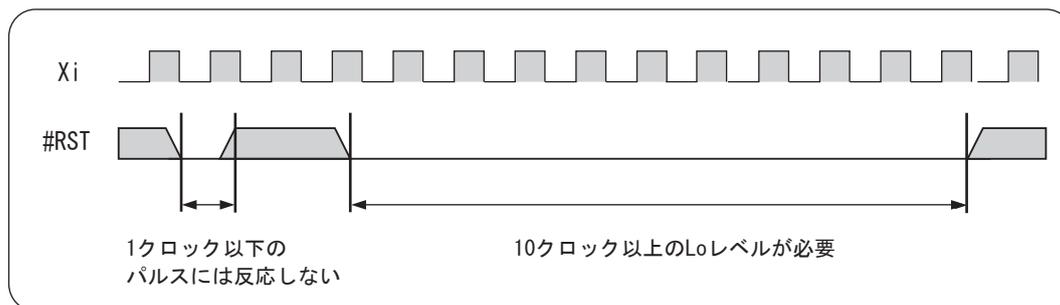


図 3.3 ハードウェアリセット



注意事項

MKY40 へ電源を投入した直後は、必ずハードウェアリセットがアクティブとなるように設計してください。

リセット信号解除後、MKY40 の各レジスタや GM をアクセスする場合、 $20T_{Xi}$ 時間 (約 420ns) 以上経過した後、MKY40 へのアクセスが可能です。

3.3 ネットワークインターフェースの接続

MKY40のネットワークインターフェース（以下、ネットワーク I/F）端子は、RXD 端子（端子 77）と TXE 端子（端子 78）、および TXD 端子（端子 79）の3本です。

3.3.1 推奨のネットワーク接続

図 3.4 は、推奨のネットワーク接続です。TRX（ドライバ／レシーバ部品）は、RS-485 仕様のドライバ／レシーバとパルストランスから構成されます。通信ケーブルは、LAN 用の通信ケーブル（10BASE-T、カテゴリ 3 以上）と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。通信ケーブル内の、1 対のツイストペアを利用します。

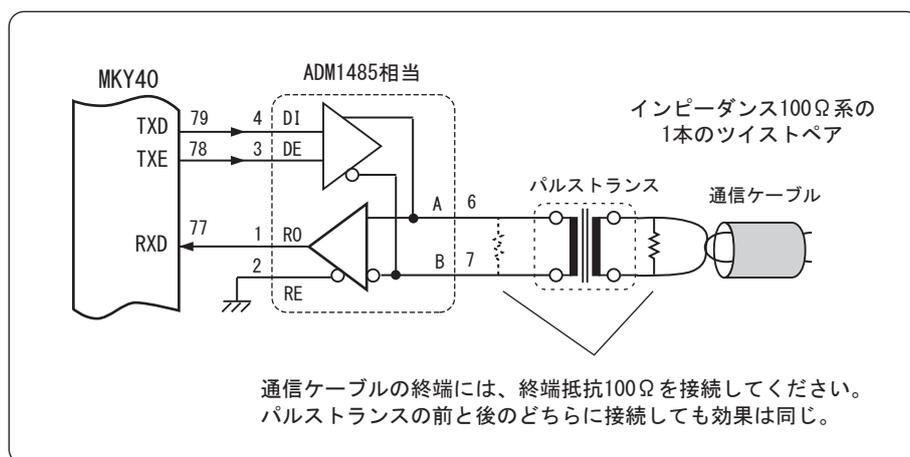


図 3.4 推奨のネットワーク接続



参考

ハーフデュプレックス（半二重）通信方式における TRX の構成によっては、MKY40 がパケットを送信している期間に、自己の TXD 端子から出力された信号がそのまま RXD 端子へ入力されてしまう場合があります。しかし MKY40 は、TXE 端子が Hi の期間中に自分が送信したパケットを受信しない仕組みを採用しており、まったく問題は生じません。

ネットワークの実際の敷設に役立つ予備知識や資料は、“**CUnet テクニカルガイド**” に記述されています。また部品の選択や推奨部品の入手については、弊社の Web サイトもご参照ください。

<https://www.steptechnica.com/>

3.3.2 RXD、TXE、TXD 端子の詳細

MKY40 は、他の CUnet ステーションから送信されるパケットを RXD 端子によって受信し、他の CUnet ステーションへ送信するパケットを TXD 端子から出力します。パケット送信中は、TXE 端子から Hi レベルが出力されます。このため TXE 端子が Hi レベルになった時は、TRX のドライバのイネーブル端子がアクティブとなり、TXD 端子から出力されるパケットのシリアルパターンをネットワークへ送信できるように、TRX を設計してください（図 3.4 参照）。

MKY40 は、パケット送信中以外の期間（TXE 端子が Lo レベルの期間）、RXD 端子の入力信号を TXD 端子へ出力します。これにより、グローバルメモリデータモニタ機能によって稼動する GMM ステーションを接続するための専用通信ケーブルを増設することも可能です（図 3.5 参照。GMM ステーションについては、“4.4.9 GMM (Global Memory Monitor) 機能”を参照してください）。

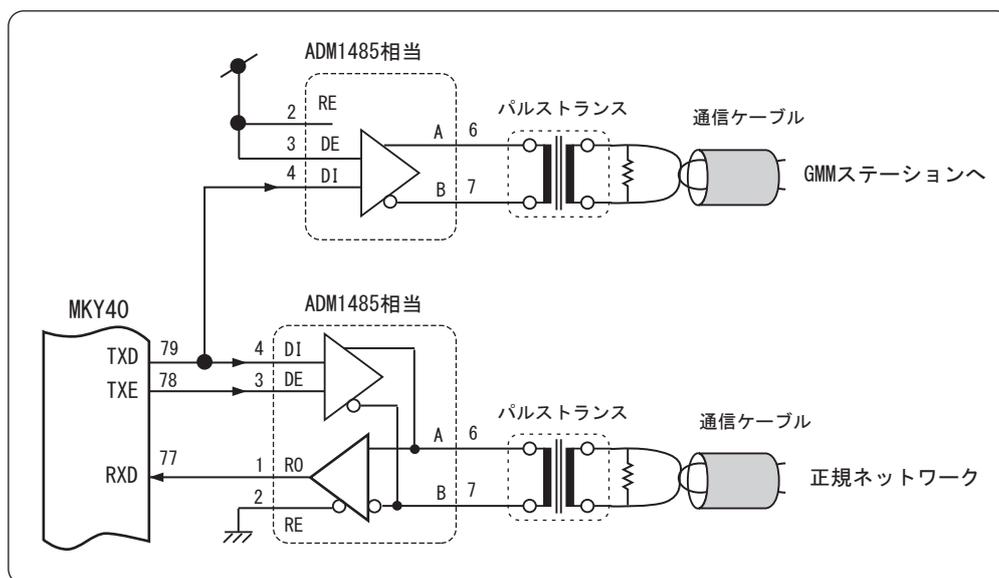


図 3.5 GMM ステーション用の専用通信ケーブル増設例

3.3.3 HUB-IC 直結時における注意

通信ケーブルのスター接続を可能とする目的などのために、ユーザ装置内部において MKY40 と HUB-IC（例えば MKY02）を TRX 部品を介さずに直接接続する場合は、TXE 端子が Lo レベルの期間における TXD 端子出力の信号が HUB-IC へ入力されないように（MKY40 の送信パケットのみが HUB-IC へ入力されるように）、注意してください（図 3.6 参照）。

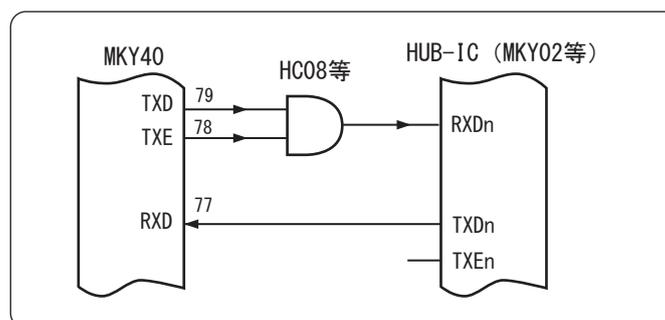


図 3.6 HUB-IC との直結例

3.4 転送レートの設定

MKY40の転送レートは、BPS0端子（端子96）およびBPS1端子（端子97）へ入力するHiレベルまたはLoレベルの組合せによって設定します。図3.7に、転送レートに対応するBPS0端子およびBPS1端子のレベルを示します。

MKY40は、ハードウェアリセットアクティブ時に、この端子の設定を、内部のBCR（Basic Control Register）へライトします。転送レートは、ユーザシステムのプログラムによって、BCRのデータを書き換えることによって再設定することも可能です。詳しくは“4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”を参照してください。

転送レート選択を“外部転送レート”に設定した場合、転送レートの値はEXC端子（端子95）へ供給されたクロックの“1/4”の周波数による値です（例：EXC端子へ供給するクロック周波数が5MHzの場合は、転送レートは1.25Mbps）。EXC端子へ供給可能なクロックは、デューティ比が“40%～60%”の“12.5MHz（ $X_i=50\text{MHz}$ 時）”が上限です。EXC端子へ外部からクロックを入力しない時は、EXC端子をHiレベルまたはLoレベルに固定してください。

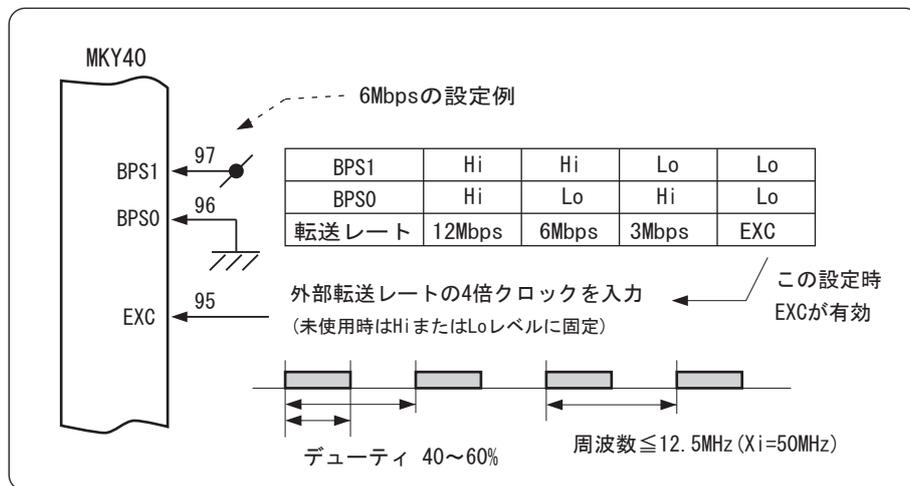


図 3.7 転送レートの設定



参考

ユーザシステムのプログラムが、MKY40のネットワーク起動前に必ず転送レートをBCR（Basic Control Register）へライトする場合に限り、BPS0とBPS1端子を転送レートの設定と無関係な任意のレベルに固定しておくことができます（これにより、DIP-SWなどの設定部品を削減する効果を得られます）。この場合、BPS0とBPS1端子は、開放か、HiレベルまたはLoレベルを維持してください。BPS0とBPS1端子は、MKY40内部においてプルアップされているため、開放することによりHiレベル維持と同等になります。



注意事項

- ① ネットワークへ接続する全てのCUnet専用デバイスへは、同一の転送レートを設定してください。
- ② EXC端子（端子95）は入力端子です。外部からクロックを入力しない時は、端子をHiあるいはLoレベルに固定し、どのような場合においても開放にならないように処理してください。
- ③ “12Mbps～3Mbps”以外の転送レートを利用する場合は、弊社推奨のパルストランスを利用できない場合があります。この場合、利用する転送レートに適合するパルストランスを、お客様ご自身が選定してください。

3.5 通信ケーブル長の目安

本書においては、マルチドロップ形式による通信ケーブルの接続点を“ブランチ”と呼びます。“3.3 ネットワークインターフェースの接続”に記述されているネットワークを、32 ブランチ以下によって利用する場合の、CUnet の通信ケーブル長の目安を表 3-1 に示します。

表 3-1 ケーブル長の目安

転送レート	ケーブル長
12Mbps	100m
6Mbps	200m
3Mbps	300m

表 3-1 は、推奨の差動ドライバ/レシーバが RS-485 仕様部品のため、この RS-485 仕様において決められているブランチ数“32”を目安の基準にしています。

CUnet は、最大 64 の CUnet ステーションまで接続可能なため、“64”のブランチ接続が可能です。推奨のネットワークはパルス伝送によって電氣的に絶縁されており、かつ CUnet のネットワークを伝播する信号形式が RZ (Return to Zero) のため、直流 (DC) 成分信号を利用せず、一般的な RS-485 仕様の部品によって“64”ブランチ接続が可能です。但し“64”ブランチの場合は、通信ケーブル長が表 3-1 の値よりも短くなる傾向が生じます (伝播する信号エネルギーの分散が増えるため)。

CUnet を利用する際は、利用する実際の環境においての動作をテストし、“4.4.5 ネットワークの品質管理と表示”に記述されている LCARE (Link CARE) や MCARE (Member CARE) が発生することなく安定に動作することを確認してください。



参考

通信ケーブル長は、フレームオプションの設定や HUB を挿入することによって延長することができます (“4.4.10 フレームオプション [HUB 対応]” および HUB-IC (MKY02 など) の“ユーザーズマニュアル”参照)。



注意事項

通信ケーブル長は、利用する通信ケーブルや差動ドライバ/レシーバ部品、さらにケーブルの敷設状態や利用される環境によっても異なります。そのため、“表 3-1 ケーブル長の目安”は一般的な利用状況を想定した時に安定して利用できる目安であり保証値ではありません。

3.6 ステーションアドレスの設定

MKY40は、CUnetプロトコルによって義務付けられるステーションアドレス（SA：Station Address）を設定するための6本の設定端子（#SA0～#SA5端子（端子80～85））を装備しています。

#SA0～#SA5端子は、内部においてプルアップされた負論理の入力端子です。ステーションアドレス（SA：Station Address）は、#SA0～#SA5端子へ入力するHiレベルを“0”、Loレベルを“1”とした16進数の“00H～3FH（0番～63番）”によって設定します。最上位ビットは#SA5（端子85）です（**図3.8**参照）

MKY40は、ハードウェアリセットアクティブ時に、この端子の設定を、内部のBCR（Basic Control Register）へライトします。ステーションアドレス（SA：Station Address）は、ユーザシステムのプログラムによって、BCRのデータを書き換えることによって再設定することも可能です。詳しくは“**4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで**”を参照してください。

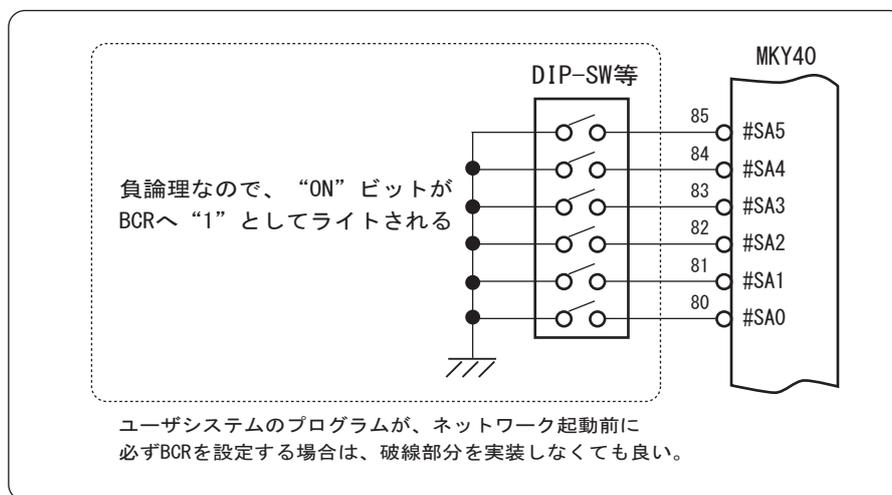


図 3.8 ステーションアドレスの設定例



参考

ユーザシステムのプログラムが、MKY40のネットワーク起動前に必ずステーションアドレス（SA）の値をBCR（Basic Control Register）へライトする場合に限り、#SA0～#SA5端子をSA値とは無関係な任意な値となるレベルに固定しておくことができます（これにより、DIP-SWなどの設定部品を削減する効果を得られます）。この場合、#SA0～#SA5端子は、開放か、HiレベルまたはLoレベルを維持してください。#SA0～#SA5端子は、MKY40内部においてプルアップされているため、開放することによりHiレベル維持と同等になります。



注意事項

1つのネットワークへ接続されている全てのCUnet専用ICに、同一のSA値が設定されていることは禁止です。また占有エリアの拡張設定によって、占有エリアが重複することも許されません。

3.7 占有エリアの拡張設定

MKY40 は、CUnet プロトコルの“実用性の向上／占有エリアの拡張”に基づき、6本の占有幅（OWN width）設定端子 #OWN0～#OWN5 端子（端子 86～91）を装備しています。

#OWN0～#OWN5 端子は内部においてプルアップされた負論理の入力端子です。占有幅（OWN width）の設定は、#OWN0～#OWN5 端子へ入力する Hi レベルを“0”、Lo レベルを“1”とした 16 進数の“00H～3FH(0～63)”によって設定します。最上位ビットは #OWN5（端子 91）です（**図 3.9** 参照）

MKY40 は、ハードウェアリセットアクティブ時に、この端子の設定を、内部の BCR（Basic Control Register）へライトします。占有幅（OWN width）は、ユーザシステムのプログラムによって、BCR のデータを書き換えることによって再設定することも可能です。詳しくは“**4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで**”を参照してください。

この端子の設定値が“00H”（全てが Hi レベル）の時、占有幅（OWN width）は“01H”として扱われます。この端子の設定値とステーションアドレス（SA）を加算した値が、“64（40H）”を超える場合は、“64”を超える値は無視されます。例えば、SA が“62（3EH）”の場合、OWN が“03H”であっても占有幅は“2”です。SA が“32（20H）”の場合、OWN が“63（3FH）”であっても占有幅は“32”です。

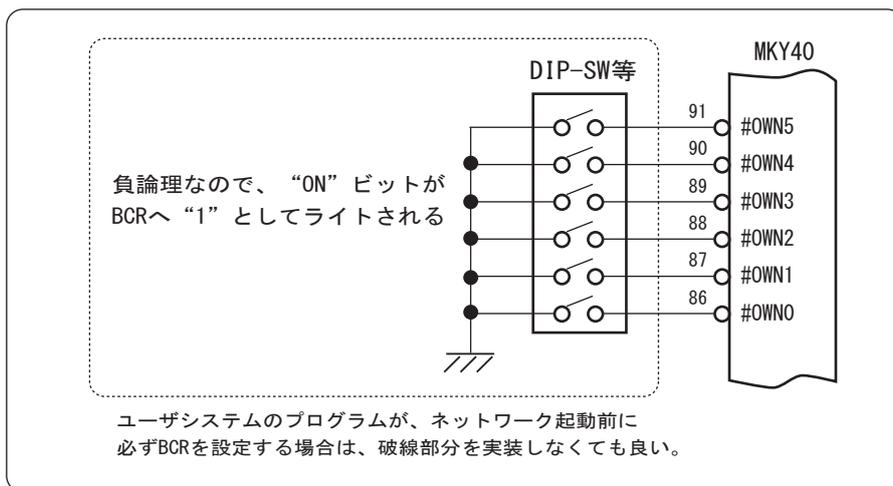


図 3.9 占有エリアの拡張設定例



参考

ユーザシステムのプログラムが、MKY40 のネットワーク起動前に必ず占有幅（OWN width）の値を BCR（Basic Control Register）へライトする場合に限り、#OWN0～#OWN5 端子を占有幅（OWN width）値とは無関係な任意な値となるレベルに固定しておくことができます（これにより、DIP-SW などの設定部品を削減する効果を得られます）。この場合、#OWN0～#OWN5 端子は、開放か、Hi レベルまたは Lo レベルを維持してください。#OWN0～#OWN5 端子は、MKY40 内部においてプルアップされているため、開放することにより Hi レベル維持と同等になります。

3.8 LED表示用端子の接続

MKY40は、3本のLED表示用出力端子（#MON（端子92）、#LCARE（端子93）、#MCARE（端子94））を装備しています。それぞれの端子は、負論理アクティブ（アクティブ時にLoレベル）な信号を出力します。

これらの端子は、±8mAの電流駆動能力があります。8mA以下の電流によって点灯可能なLEDならば、Loレベルの時にLEDが点灯する接続が可能です（図3.10）。図3.10の電流制限抵抗（R）の値は、使用するLED部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。

#MON端子へは安定動作を示す緑色のLED部品を、

#LCARE端子へは、緩やかな警告を示すオレンジ色のLED部品を接続することを推奨します。

#MCARE端子へは、確かな警告を示す赤色のLED部品を接続することを推奨します。

#MON端子、#LCARE端子および#MCARE端子の出力がLoレベルとなる詳細は“4.4.5 ネットワークの品質管理と表示”を参照してください。#MON、#LCARE、#MCARE端子を使用しない時は、開放にしてください。

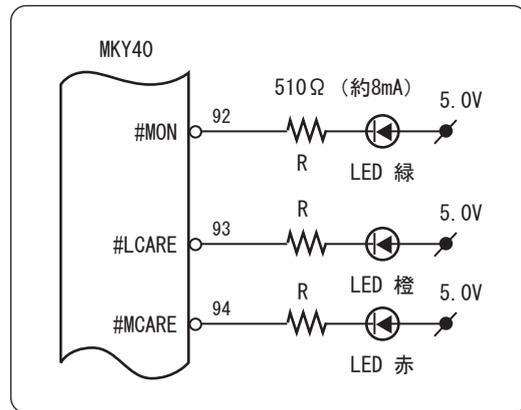


図 3.10 LED表示用端子の接続例



注意事項

ユーザシステムによって、BCR（Basic Control Register）ビット14の設定を“1”とした場合、#LCAREおよび#MCARE端子から出力されるLoレベルの幅は、LEDの点灯が追従できない短い時間となります。この場合は、人がLEDの点灯を目視することはできません。BCRビット14の設定を“1”とする詳細については、“4.4.5 ネットワークの品質管理と表示”を参照してください。

3.9 タイミング通知信号 (#STB 端子) の接続

MKY40 は、サイクルの先頭タイミングを通知する出力端子 (#STB:STroBe (端子 8)) を装備しています。#STB 端子は通常 Hi レベルを維持し、サイクルの先頭タイミングの時に “ $2 \times \text{TBPS}$ ” 時間 Lo となるパルスを出力します。この端子の出力が Lo レベルへ遷移するタイミングをユーザが利用することにより、ネットワークへ接続された全ての CUnet ステーションに共通なタイミング (同期) を認識することが可能となります。CUnet の同期性能は、式 3.1 によって算出できます。この端子を使用しない時は、開放にしてください。

式 3.1 $(2 \times \text{TBPS}) + (\text{サイクルタイム} \times \text{クロック精度}) + \text{信号伝播遅延}$ [以内]

例えば、12Mbps (TBPS=83.3ns)、64 個の CUnet ステーション (サイクルタイム = 2.365ms)、駆動クロック精度 200ppm (0.02%)、ケーブル (7ns/m) 総長 100m の場合、同期性能は $(167\text{ns} + 473\text{ns} + 700\text{ns}) \div 1.34 \mu\text{s}$ 以内です。



注意事項

ネットワーク内に HUB が挿入されている場合は、この算式は適用できません。



参考

ユーザ CPU 上を走行するユーザシステムのプログラムは、SCR (System Control Register) を参照することや割込みトリガを受け付けることによって、サイクルのタイミングを認識することもできます (“4.1.7 サイクル中の詳細タイミング” と “4.5 割込みトリガ発生機能” 参照)。ただしこの場合、タイミング精度はプログラムの走行状態に左右されます。これと比較し、#STB 端子の出力は、主に周辺ユーザ回路へ精度の高い同期信号を供給する場合に利用価値が高まります。

3.10 PING 信号の接続

MKY40 は、他の CUnet ステーションからの PING 命令の受信を通知する PING 端子 (端子 7) を装備しています。PING 信号は、自己ステーションの状態に関わらず他の CUnet ステーションからの関与によって操作される信号です。

PING 端子は、通常 Lo レベルを維持しています。他の CUnet ステーションから PING 命令を受信した時に Hi レベルへ遷移し、その後他の CUnet ステーションから自己ステーションへ向けた PING 命令が埋め込まれていないパケットを受信した時に Lo レベルへ遷移します。

PING 端子は、ハードウェアリセットがアクティブとなった時、上記動作に優先して Lo レベルへ遷移します。CUnet プロトコルにおいては、PING 信号の利用目的や接続先が特定されていません。PING 信号は、ユーザアプリケーションの構築を支援する補助的な拡張機能です。

PING 信号を発生させる操作については、“4.4.6 PING 命令” を参照してください。この端子を使用しない時は、開放にしてください。



参考

PING 信号の利用例としては、“ユーザ CPU を強制的にネットワークからリセットする” などが考察されます。例えば、1 つの MEM ステーションに搭載されたユーザ CPU のプログラムが暴走してしまった時、(PING 端子の出力によってハードウェアのリセットがアクティブとなるように設計されていれば)、他の CUnet ステーションからの操作によって、暴走している MEM ステーションのユーザ CPU をリセットすることが可能です。

3.11 汎用出力ポートの接続

MKY40は、4本の汎用出力ポート（Po0～Po3端子（端子3～6））を装備しています。

この端子の出力レベルは、SSR（System Status Register）のビット0～3へ、データをライトすることによって設定できます。SSRのビット0がPo0端子へ、ビット3がPo3端子へ対応しています。SSRのビット0～3の内の“1”をライトしたビットに対応する端子がHiレベル出力に設定されます。

この端子の出力レベルは、上記SSR（System Status Register）のビット0～3へのデータライトよりも優先して、ハードウェアリセットがアクティブの時に全てLoレベルに設定されます。

この端子を使用しない時は、開放にしてください。



参考

ユーザシステムのプログラムによるSSR（System Status Register）の操作の詳細については、“4.4.8 汎用出力ポートの操作”を参照してください。

3.12 ユーザCPUの接続

本節は、ユーザシステムのプログラムが、MEMモードに設定されたMKY40へアクセスするために必要な、ユーザCPUの接続について記述します。

MKY40とユーザCPUとの接続は、#CS端子（端子22）、#RD端子（端子23）、#WRHH/ESEL端子（端子11）、#WRHL/A1端子（端子12）、#WRLH/A0端子（端子40）、#WRL端子（端子27）と、アドレスバス端子やデータバス端子を利用します。さらにユーザCPUと接続するバス幅を設定するために、BW0端子（端子9）とBW1端子（端子10）の信号レベルを組合せます。



注意事項

#WRHH/ESEL端子（端子11）、#WRHL/A1端子（端子12）、#WRLH/A0端子（端子40）の3つの端子は、BW0端子（端子9）とBW1端子（端子10）の設定によって選択されるバス幅に応じて入力する信号が選択される共用端子です。

3.12.1 32 ビットデータ幅ユーザ CPU の接続

MKY40 と 32 ビットデータ幅ユーザ CPU の接続について、以下に記述します（図 3.11 参照）。

- ① MKY40 の BW1 端子（端子 10）を Hi レベルに固定してください。BW0 端子（端子 9）は、Hi レベルまたは Lo レベルに固定してください。
- ② MKY40 の A2 端子～ A10 端子（端子 13～21）へ、ユーザ CPU が出力するアドレスバス端子の A2～A10 信号を接続してください。
- ③ D0 端子～ D31 端子（端子 29～36、42～49、53～60、64～71）へ、ユーザ CPU のデータバス信号端子 D0～D31 を接続してください。
- ④ #RD 端子（端子 23）へ、ユーザ CPU が出力する RD 信号を接続してください。
- ⑤ #WRHH/ESEL 端子（端子 11）は、#WRHH 端子として機能します。#WRHH/ESEL 端子へ、ユーザ CPU が出力する D24～D31 のライトストロープ信号を接続してください。
- ⑥ #WRHL/A1 端子（端子 12）は、#WRHL 端子として機能します。#WRHL/A1 端子へ、ユーザ CPU が出力する D16～D23 のライトストロープ信号を接続してください。
- ⑦ #WRLH/A0 端子（端子 40）は、#WRLH 端子として機能します。#WRLH/A0 端子へ、ユーザ CPU が出力する D8～D15 のライトストロープ信号を接続してください。
- ⑧ #WRL 端子（端子 27）へ、ユーザ CPU が出力する D0～D7 のライトストロープ信号を接続してください。
- ⑨ #CS 端子（端子 22）へ、“MKY40 をメモリへ配置する信号”を接続してください。
- ⑩ MKY40 を含む全ての周辺デバイスがデータバスをドライブしない期間に、ユーザ CPU のデータバス信号端子 D0～D31 が開放（フローティング）状態となる場合は、プルアップまたはプルダウン抵抗を接続してください。抵抗値は、ハードウェア設計者ご自身が適切な値を選択してください。

MKY40 と接続する 32 ビットデータ幅ユーザ CPU の種類による接続上の注意を以下に示します。

- ① 32 ビットデータ幅ユーザ CPU の内、バイトライト、ワードライト、ダブルワードライトが可能な CPU は、ライト制御線（D0～D7 のライトストロープ、D8～D15 のライトストロープ、D16～D23 のライトストロープ、D24～D31 のライトストロープ）を、4 本装備しています。MKY40 へは 4 本のライト制御線を接続できます。
図 3.11 は、この種類の CPU を基本として記述されています。
- ② 32 ビットデータ幅ユーザ CPU の内、ワードライトとダブルワードライトが可能な CPU は、ライト制御線（D0～D15 のライトストロープ、D16～D31 のライトストロープ）を、2 本装備しています。この種類のユーザ CPU の場合は、MKY40 の #WRL と #WRLH へ D0～D15 のライトストロープを、#WRHL と #WRHH へ D16～D31 のライトストロープを接続してください。
- ③ 32 ビットデータ幅ユーザ CPU の内、ダブルワードライトのみ可能な CPU は、ライト制御線（D0～D31 ライトストロープ）を、1 本装備しています。この種類のユーザ CPU の場合は、MKY40 の #WRL、#WRLH、#WRHL、#WRHH へ D0～D31 のライトストロープを接続してください。
- ④ ユーザ CPU のアクセスタイムに対して、“3.12.5 アクセスタイムの設計”に記述された MKY40 のアクセスタイムが十分に確保されるよう、お客様ご自身が（必要な場合は WAIT 発生回路を増設するなどして）ユーザ CPU の動作タイミングを調整してください。
- ⑤ ユーザ CPU と接続する信号のレベルについては、“第 2 章 MEM モード時におけるハードウェア”に記述されている端子の電気的特性を参照し、十分に確認してください。
- ⑥ MKY40 からユーザ CPU へ割込みトリガ信号を接続する場合は、“3.12.8 割込みトリガ信号の接続”を参照してください。

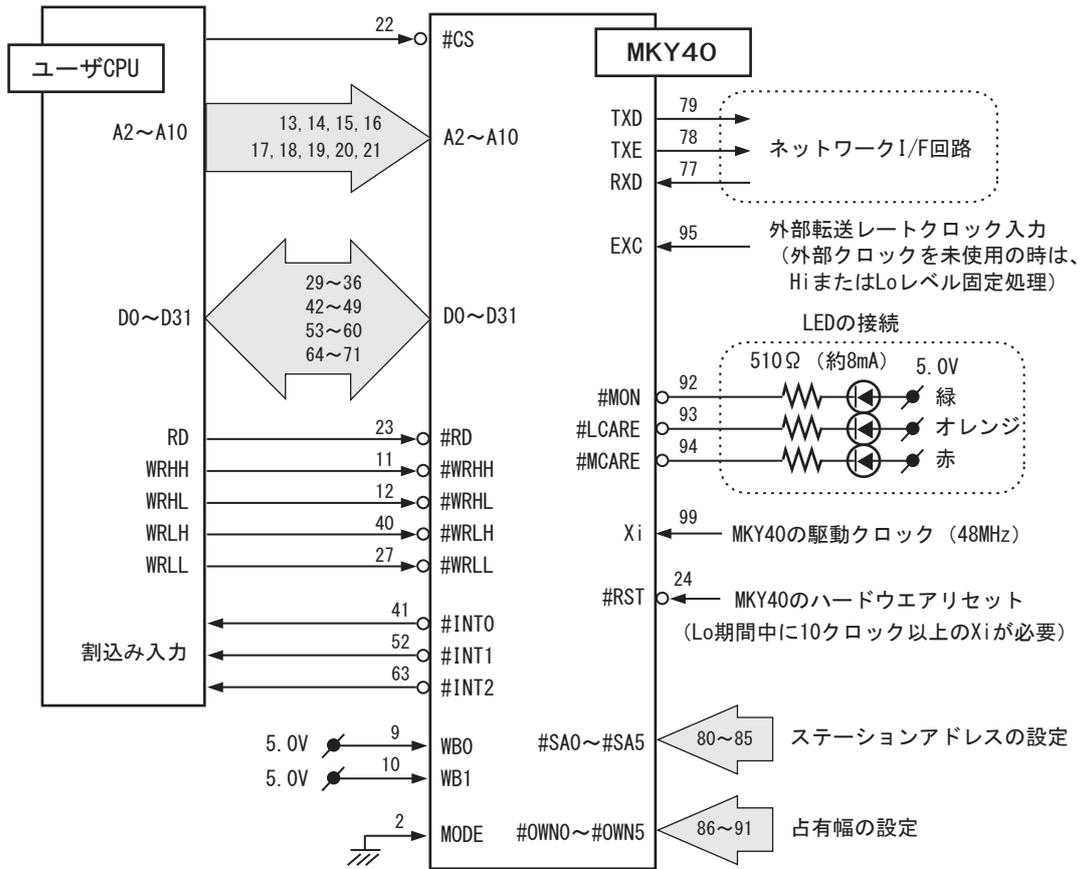


図 3.11 32ビットデータ幅のユーザ CPU との接続

3.12.2 16ビットデータ幅ユーザ CPU の接続

MKY40 と 16 ビットデータ幅ユーザ CPU の接続について、以下に記述します（図 3.12 参照）

- ① MKY40 の BW0 端子（端子 9）を Hi レベルに、BW1 端子（端子 10）を Lo レベルに固定してください。
- ② #WRHH/ESEL 端子（端子 11）は、ESEL 端子として機能します。ユーザ CPU がビッグエンディアンの時は #WRHH/ESEL 端子を Hi レベルに、ユーザ CPU がリトルエンディアンの時は #WRHH/ESEL 端子を Lo レベルに固定してください。
- ③ #WRHL/A1 端子（端子 12）は、A1 端子として機能します。#WRHL/A1 端子へ、ユーザ CPU が出力するアドレスバス端子の A1 信号を接続してください。
- ④ MKY40 の A2 端子～ A10 端子（端子 13～21）へ、ユーザ CPU が出力するアドレスバス端子の A2～A10 信号を接続してください。
- ⑤ D0 端子～ D15 端子（端子 29～36、42～49）へ、ユーザ CPU のデータバス信号端子 D0～D15 を接続してください。
- ⑥ #RD 端子（端子 23）へ、ユーザ CPU が出力する RD 信号を接続してください。
- ⑦ #WRLH/A0 端子（端子 40）は、#WRLH 端子として機能します。#WRLH/A0 端子（端子 40）へ、ユーザ CPU が出力する D8～D15 のライトストロープ信号を接続してください。
- ⑧ #WRL 端子（端子 27）へ、ユーザ CPU が出力する D0～D7 のライトストロープ信号を接続してください。
- ⑨ #CS 端子（端子 22）へ、“MKY40 をメモリへ配置する信号”を接続してください。
- ⑩ ユーザ CPU のデータバス信号端子 D0～D15 において、MKY40 を含む全ての周辺デバイスがデータバスをドライブしない期間に開放（フローティング）状態となる場合は、プルアップまたはプルダウン抵抗を接続してください。抵抗値は、ハードウェア設計者ご自身が適切な値を選択してください。
- ⑪ MKY40 の D16～D31 端子（端子 53～60、64～71）は未使用の端子です。開放（フローティング）状態を回避するように処理してください。通常は GND へ接続することを推奨します。

MKY40 と接続する 16 ビットデータ幅ユーザ CPU の種類による接続上の注意を以下に示します。

- ① 16 ビットデータ幅ユーザ CPU の内、バイトライトとワードライトが可能な CPU は、ライト制御線（D0～D7 のライトストロープ、D8～D15 のライトストロープ）を、2 本装備しています。この種類のユーザ CPU の場合は、MKY40 の #WRL へ D0～D7 のライトストロープを、#WRLH へ D8～D15 のライトストロープを接続してください。
図 3.12 は、この種類の CPU を基本として記述されています。
- ② 16 ビットデータ幅ユーザ CPU の内、ワードライトのみ可能な CPU は、ライト制御線（D0～D15 のライトストロープ）を、1 本装備しています。この種類のユーザ CPU の場合は、MKY40 の #WRL と #WRLH へ D0～D15 のライトストロープを接続してください。
- ③ ユーザ CPU のアクセスタイムに対して、“3.12.5 アクセスタイムの設計”に記述された MKY40 のアクセスタイムが十分に確保されるよう、お客様ご自身が（必要な場合は WAIT 発生回路を増設するなどして）ユーザ CPU の動作タイミングを調整してください。
- ④ ユーザ CPU と接続する信号のレベルを“第 2 章 MEM モード時におけるハードウェア”に記述されている端子の電気的特性を参照し、十分に確認してください。
- ⑤ MKY40 からユーザ CPU へ割込みトリガ信号を接続する場合は、“3.12.8 割込みトリガ信号の接続”を参照してください。

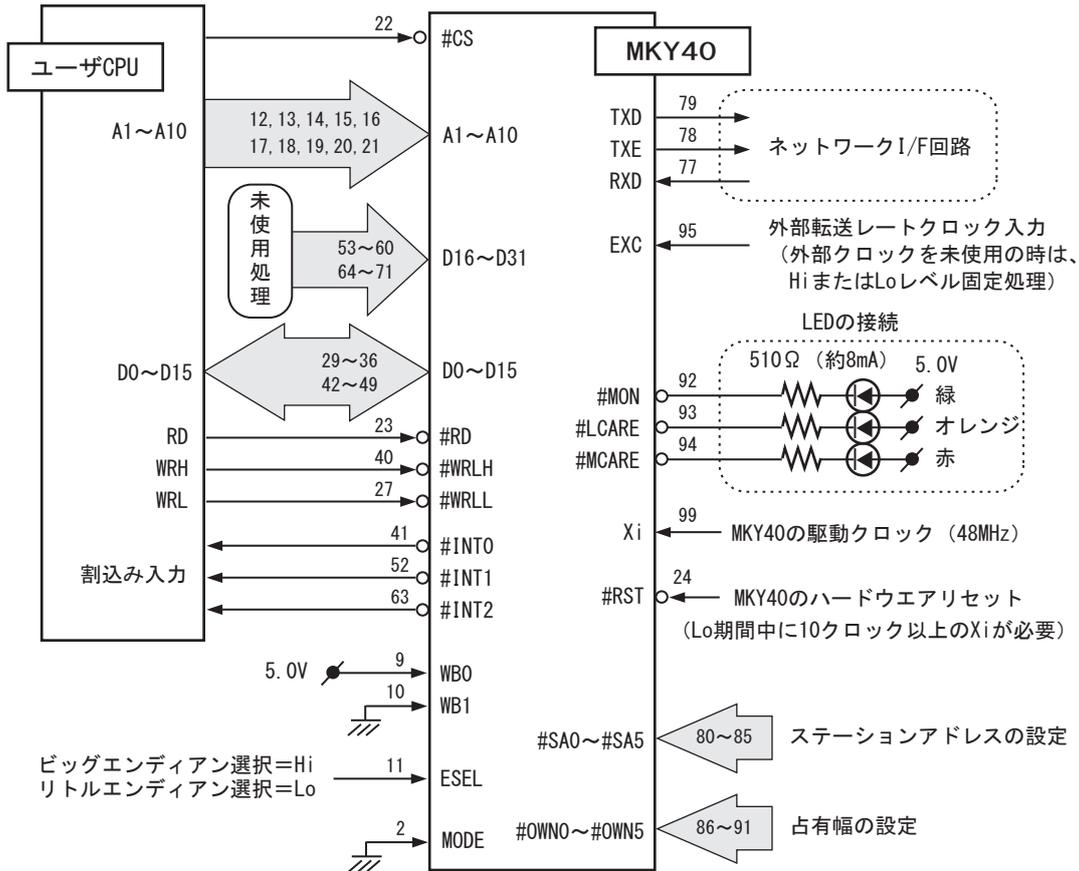


図 3.12 16ビットデータ幅のユーザ CPU との接続

3.12.3 8ビットデータ幅ユーザ CPU の接続

MKY40 と 8ビットデータ幅ユーザ CPU の接続について、以下に記述します（図 3.13 参照）。

- ① MKY40 の BW0 端子（端子 9）と BW1 端子（端子 10）を、Lo レベルに固定してください。
- ② #WRHH/ESEL 端子（端子 11）は、ESEL 端子として機能します。ユーザ CPU がビッグエンディアンの時は #WRHH/ESEL 端子を Hi レベルに、ユーザ CPU がリトルエンディアンの時は #WRHH/ESEL 端子を Lo レベルに固定してください。
- ③ #WRHL/A1 端子（端子 12）は、A1 端子として機能します。#WRHL/A1 端子へ、ユーザ CPU が出力するアドレスバス端子の A1 信号を接続してください。
- ④ #WRLH/A0 端子（端子 40）は、A0 端子として機能します。#WRLH/A0 端子へ、ユーザ CPU が出力するアドレスバス端子の A0 信号を接続してください。
- ⑤ MKY40 の A2 端子～ A10 端子（端子 13～21）へ、ユーザ CPU が出力するアドレスバス端子の A2～A10 信号を接続してください。
- ⑥ D0 端子～ D7 端子（端子 29～36）へ、ユーザ CPU のデータバス信号端子 D0～D7 を接続してください。
- ⑦ #RD 端子（端子 23）へ、ユーザ CPU が出力する RD 信号を接続してください。
- ⑧ #WRLH 端子（端子 27）へ、ユーザ CPU が出力するライトストロブを接続してください。
- ⑨ #CS 端子（端子 22）へ、“MKY40 をメモリへ配置する信号”を接続してください。
- ⑩ ユーザ CPU のデータバス信号端子 D0～D7 を、MKY40 を含む全ての周辺デバイスがデータバスをドライブしない期間に開放（フローティング）状態となる場合は、プルアップまたはプルダウン抵抗を接続してください。抵抗値は、ハードウェア設計者ご自身が適切な値を選択してください。
- ⑪ MKY40 の D8～D31 端子（端子 42～49、53～60、64～71）は未使用の端子です。開放（フローティング）状態を回避するように処理してください。通常は GND へ接続することを推奨します。

MKY40 と接続する 8ビットデータ幅ユーザ CPU の種類による接続上の注意を以下に示します。

- ① ユーザ CPU のアクセスタイムに対して、“**3.12.5 アクセスタイムの設計**”に記述された MKY40 のアクセスタイムが十分に確保されるよう、お客様ご自身が（必要な場合は WAIT 発生回路を増設するなどして）ユーザ CPU の動作タイミングを調整してください。
- ② ユーザ CPU と接続する信号のレベルを“**第 2 章 MEM モード時におけるハードウェア**”に記述されている端子の電気的特性を参照し、十分に確認してください。
- ③ MKY40 からユーザ CPU へ割込みトリガ信号を接続する場合は、“**3.12.8 割込みトリガ信号の接続**”を参照してください。

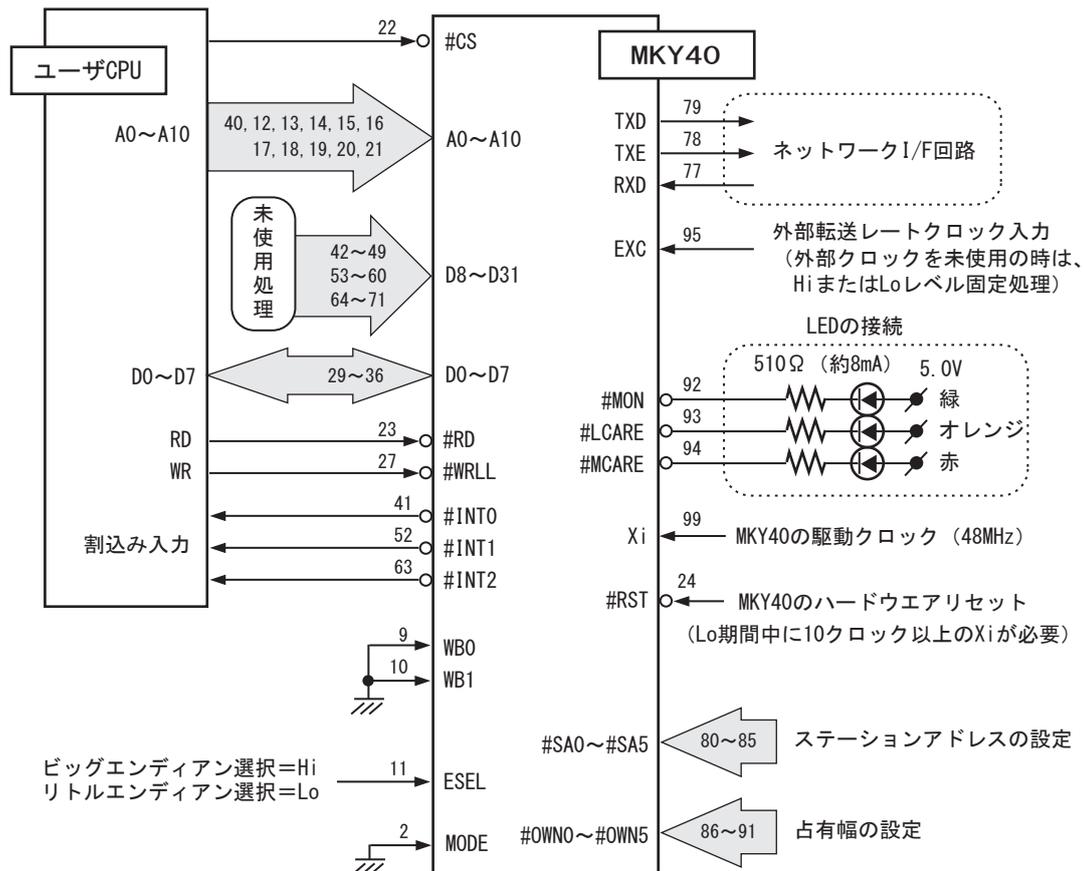


図 3.13 8ビットデータ幅のユーザCPUとの接続

3.12.4 アクセスの認識

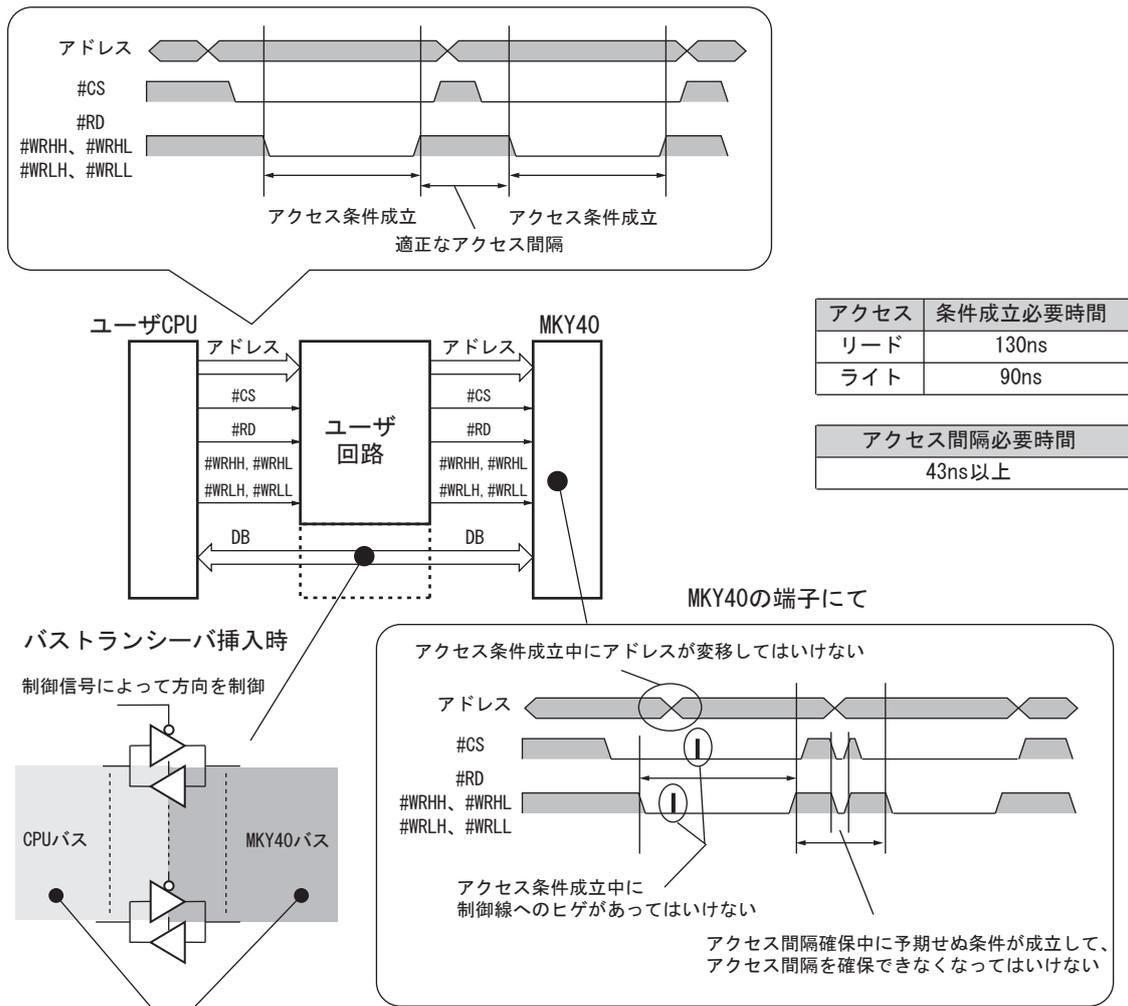
MKY40が、ユーザCPUからアクセスされていることを認識する条件は以下です。

- ① リード：#CS端子と#RD端子の両方がLoレベルの時。例えば#RD端子のみがLoレベルの期間は、リードアクセスが開始されないだけでなく、データバスヘデータも出力されません。
MKY40は、リードを認識すると、WB0端子とWB1端子のレベルによって設定されたビット幅のデータバスヘデータを出力します。
- ② ライト：#CS端子と#WRHH端子、#WRHL端子、#WRLH端子、#WRLL端子の両方がLoレベルの時。例えば#CS端子と#WRLL端子の両方がLoレベルになった後、#CS端子のみが先にHiレベルになった場合は、その時点においてライトアクセスが終了したとみなされ、D0～D7のデータバス端子上のデータが取り込まれます。

3.12.5 アクセスタイムの設計

48MHzのクロックによって駆動されるMKY40のリードアクセスには、“3.12.4 アクセスの認識”の①に示されている条件が成立している時間が130ns以上、ライトアクセスには、“3.12.4 アクセスの認識”の②に示される条件が成立している時間が90ns以上必要です。

MKY40は、アクセスからアクセスまでの間の全てに、“2 × Txi”時間（約43ns：48MHz駆動クロック）以上のアクセス休止時間が必要です。ユーザCPUとMKY40を接続する設計においては、これらのアクセスタイムが十分に確保されていなければなりません（図3.14参照）。



1. バスがトライステート状態の際にフローティングとなり、不安定な状態になってはならない。
2. プルアップ抵抗等によって、トライステート状態のフロートを抑止する場合、抵抗値が小さすぎると（特に、バス幅が広い場合）バス線の本数分の電流変化が一斉に生じるため、電源変動や、他の回路の誤動作とならない様に注意（プルアップ抵抗値は必要以上に低い値にしない）。
3. バス方向の切り替え時や、その瞬間、出力状態同士の衝突が起きないように注意（特にバス幅が広い場合、回路全体の誤動作や電源の瞬時変動、最悪時にはLSI破損の原因になります）。

図 3.14 ユーザバス接続時の注意



参考

MKY40のリード/ライトタイミングの詳細については、“8.2.2.1 リード/ライトタイミング”を参照してください。



注意事項

リセット信号解除後、MKY40の各レジスタやGMをアクセスする場合、20Txi時間（約420ns）以上経過した後、MKY40へのアクセスが可能です。

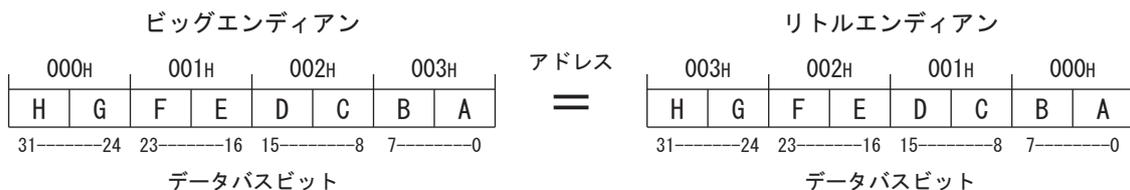
3.12.6 MKY40 組込み後のアクセステスト

MKY40 を MEM ステーション（ユーザ装置）へ組み込んだ後における、アドレスの確認およびアクセステストについては、“4.1.2 MKY40 の接続確認”に記述されています。

3.12.7 データ格納方式

MKY40 の全てのレジスタは、32 ビット幅データバスにおけるダブルワードアクセスを最適化するために、4 バイト境界に配置されています（図 3.15 (a) 参照）。本書におけるレジスタなどのアドレスは、32 ビット幅データバスによるダブルワードアクセス以外のアクセスの場合に、ユーザ CPU のエンディアン種類によってレジスタのアドレスが異なることから、32 ビット幅データバスによるダブルワードアクセスにおけるアドレス（ビッグエンディアンとリトルエンディアンに対する共通する 4 バイト境界のアドレス）を表記します。32 ビット幅データバスによるバイトアクセスおよびワードアクセスや 8 ビット幅データバスによるアクセス、16 ビット幅データバスによるアクセスの際は、ユーザ CPU のエンディアン種類によってアドレスが異なります。同一のアドレスをビッグエンディアンとリトルエンディアンのユーザ CPU がリードした際の例を図 3.15 (b) に示します。

(a) ダブルワード表記による、アドレス000Hの内部構成



(b) エンディアン種類が異なるCPU間におけるアクセス方式別の注意

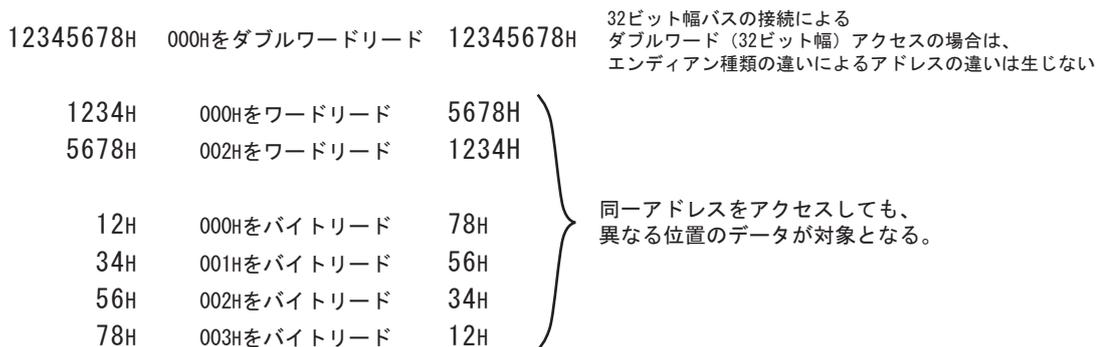


図 3.15 データ格納方式

MKY40 は、グローバルメモリ内の 1 つの占有エリア（8 バイト）を 32 ビット幅のデータとして処理します。このような仕様は、エンディアン種類が同一なユーザ CPU によってシステムを構成する際は注意を必要としませんが（図 3.15 (a) 参照）、エンディアン種類が異なるユーザ CPU 間においてバイトデータやワードデータを共有する際は、アドレスの下位 2 ビット（A0 と A1）によって表現されるアドレスが異なってしまうことに注意が必要です（図 3.15 (b) 参照）。特に文字列データを扱う時は、ご注意ください。

3.12.8 割込みトリガ信号の接続

MKY40 は、ユーザ CPU の割込み起動端子へ割込みトリガ信号を供給可能な 3 本の出力端子（#INT0 ～ #INT2 端子（端子 41、52、63））を装備しています。

#INT0 ～ #INT2 端子は、ハードウェアリセットアクティブ時に全て Hi レベル出力に設定されます。

#INT0 ～ #INT2 端子は、トリガの発生時に Lo レベルへ遷移します。

#INT0 ～ #INT2 端子は、ユーザシステムのプログラムから MKY40 の所定のレジスタをアクセスすることによって、Hi レベル出力へ戻すことができます。

ユーザ CPU の割込み起動端子へ #INT0 ～ #INT2 の 3 本の出力端子（あるいは何れか 1 本または 2 本）を接続する場合は、ユーザ CPU の仕様に適合させてください。この端子を使用しない場合は開放にしてください。

#INT0 ～ #INT2 端子のそれぞれに、複数の割込み発生要因を設定することができます。1 つの端子に 2 つ以上の割込み発生要因を設定した状態をユーザシステムのプログラムが利用する場合、MKY40 のリトリガ機能によって一旦 Hi レベルへ戻った後に 5 クロック（約 104 μ s : 48MHz 駆動クロック）を経過した直後、再び端子から出力されるレベルが Lo レベルになる場合があります。このように 1 つの端子に 2 つ以上の割込み発生要因を設定する場合、ユーザ CPU の割込みを受け付けるハードウェアは、リトリガに反応できるように設計されていなければなりません。

**注意事項**

本端子の利用にあたっては、“4.5 割込みトリガ発生機能”をご理解ください。

第 4 章 MEM モード時におけるソフトウェア

本章は、MKY40 を利用するためのソフトウェアについて記述します。なお本章は、“第 3 章 MEM モード時における接続”の記述に基いたユーザ CPU と MKY40 との接続によって、ユーザシステムのプログラムから MKY40 へアクセスできる環境が整っていることを前提に記述されております。

4.1	コミュニケーションの起動と停止	4-3
4.2	グローバルメモリ (GM) の利用	4-12
4.3	メール送受信機能の利用	4-32
4.4	CUnet システムの詳細な操作や管理	4-41
4.5	割込みトリガ発生機能	4-61

第4章 MEMモード時におけるソフトウェア

本章は、MKY40 を利用するためのソフトウェアについて記述します。なお本章は、“第3章 MEMモード時における接続”の記述に基いたユーザ CPU と MKY40 との接続によって、ユーザシステムのプログラムから MKY40 へアクセスできる環境が整っていることを前提に記述されております。

4.1 コミュニケーションの起動と停止

本節は、MEMモード時におけるコミュニケーションを利用するための、ユーザ CPU による MKY40 の操作について記述します。

MEMモードの MKY40 を操作する基本的な項目を以下の順に記述します。

- ① メモリマップ
- ② MKY40 の接続確認
- ③ コミュニケーション起動前の設定（イニシャライズ）から起動の操作まで
- ④ 各フェーズへの対応
- ⑤ 誤操作のプロテクション
- ⑥ CUnet のサイクルタイム
- ⑦ サイクル中の詳細タイミング
- ⑧ ネットワークの停止

4.1.1 メモリマップ

ユーザ CPU へ接続した MEM モードの MKY40 は、“2K バイト（2048 バイト：000H～7FFH）”のメモリ領域を占拠します。表 4-1 に、メモリマップを示します。

表 4-1 メモリマップ

アドレス	機能
000H～1FFH	グローバルメモリ（GMPW：Global Memory Primary Window）
200H～3FFH	グローバルメモリ（GMSW：Global Memory Secondary Window）
400H～4FFH	レジスタ
500H～5FFH	メール送信バッファ（MSB：Mail Send Buffer）
600H～6FFH	メール受信バッファ 0（MRB0：Mail Receive Buffer 0）
700H～7FFH	メール受信バッファ 1（MRB1：Mail Receive Buffer 1）

MKY40 が搭載しているグローバルメモリ（GM）は 512 バイトです。ユーザ CPU から GM へアクセスするための窓口としては、グローバルメモリプライマリウインドウ（GMPW）とグローバルメモリセカンダリウインドウ（GMSW）の 2 つが用意されています。GMPW と GMSW のどちらの窓口から GM へアクセスしても、1 つの GM へアクセスします。通常は GMPW のみを使用して GM へアクセスします。GMSW は、割込み処理などの例外時に GM へアクセスする場合に使用します。



参考

プライマリウインドウ（GMPW）とセカンダリウインドウ（GMSW）の使い分けについては、“4.2.2 データハザードとデータハザード回避機能”に記述されています。



注意事項

MKY40 のメモリマップに示すメモリやレジスタのアドレスは、4 バイト境界に配置されています。ユーザ CPU が、MKY40 へ 32 ビット幅データバスによるバイトアクセスおよびワードアクセスや 8 ビット幅データバスによるアクセス、16 ビット幅データバスによるアクセスを実行した場合、エンディアンの種類によって、下位アドレスが異なる場合があります。詳しくは“3.12.7 データ格納方式”を参照してください。

4.1.2 MKY40 の接続確認

ユーザ CPU に MKY40 が正しく接続されている時、Chip Code Register(CCR) をリードすると“MKY40_v1”の ASCII 文字列をリードできます。この文字列をリードすることによって MKY40 の接続を確認できます。この文字列は、リトルエンディアンのユーザ CPU からリードした場合、“MKY40_v1”の配列順です。ビッグエンディアンのユーザ CPU においては“4YKM1v_0”のように配列順が異なってリードされます。

MKY40 が搭載しているレジスタ群（400H～4FFH）を除く全てのメモリへは、ネットワークが起動されていない時（SCR：System Control Register の START ビットが“0”の時）、任意なデータをライト可能です。各メモリへ任意なデータをライトし、リードを行いベリファイすることによって、ユーザ CPU へ MKY40 が正しく接続されていることを確認できます。

4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで

本節は、コミュニケーション起動までの手順について記述します（図4.1参照）。

- ① 電源投入後のMKY40内部のメモリには、不定値が埋まっています。400H～4FFHのレジスタ領域を除くメモリ（GM（GMPW、GMSW）、MSB、MRB0、MRB1）へ“00H”のデータをライトし、不定値をクリアしてください（表4-1参照）。
- ② ステーションアドレス（SA）、占有幅（OWN）、転送レート（BPS）を設定してください。
MKY40は#SA0～#SA5端子、#OWN0～#OWN5端子、BPS0、BPS1端子へ接続されたHiレベルとLoレベルの組み合わせを、ハードウェアリセットアクティブ時にBCR（Basic Control Register）へライトします。これらHiレベルとLoレベルの組み合わせがユーザシステムが目的とする値である場合は、ユーザシステムのプログラムによってスレジスタを設定する必要はありません。

BCRは、ネットワークの稼動中に誤ってライトされないために、SCR（System Control Register）のビット15（GMM）が“1”の時に限りライトを許可するといったプロテクションが設定されています。このため、ユーザシステムのプログラムによってBCRへ設定値をライトする場合は、以下の手順に従ってください。

- (1) SCR（System Control Register）のビット8（START）が“0”であることを確認してください。
 - (2) SCRのビット15（GMM）へ“1”をライトしてください。
 - (3) BCR（Basic Control Register）のビット0～5（SA0～5）へステーションアドレス（SA）値を、ビット6、7（BPS0、BPS1）へ転送レート選択を、ビット8～13（OWN0～5）へ占有幅（OWN）値をライトしてください。
 - (4) SCRのビット15（GMM）へ“0”をライトしてください。
- ③ SCR（System Control Register）のビット8（START）へ“1”をライトしてください。CUnetのネットワークが起動し、MKY40はスタートフェーズに入ります。
 - ④ SCR（System Control Register）をリードし、ビット9（RUN）が“1”（MKY40がランフェーズになった）であることを確認してください。SCRのビット9（RUN）が“1”にはならず、ビット10（CALL）またはビット11（BRK）が“1”になった場合（ランフェーズ以外の時）は、“4.1.4 各フェーズへの対応”の記述に従ってください。
 - ⑤ SCR（System Control Register）のビット9（RUN）が“1”である時、“グローバルメモリ（GM）を利用するメモリデータの共有”と、“メール送信バッファとメール受信バッファを利用するデータセットのメール送受信による、CUnetのコミュニケーション”が機能します。

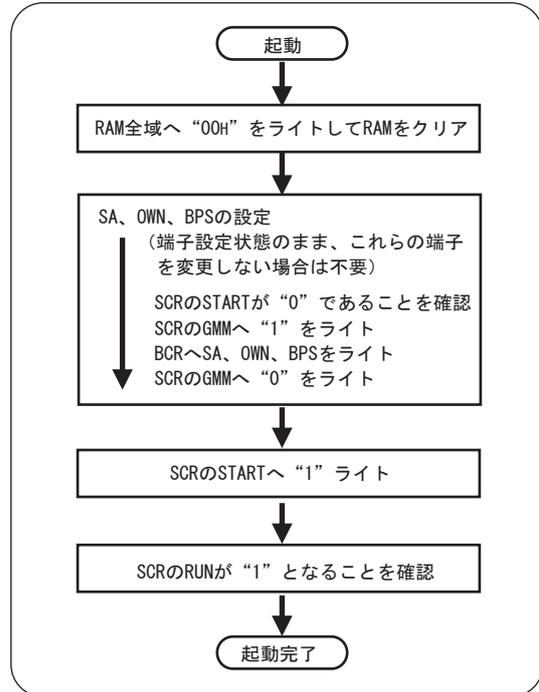


図4.1 起動のアルゴリズム



参考

MKY40は、RUNフラグビットが“1”となった時（ランフェーズとなった時）に、割込みトリガを出力することができます。詳細は、“4.5 割込みトリガ発生機能”を参照してください。

4.1.4 各フェーズへの対応

MKY40 は、CUnet プロトコルによって規定されたフェーズの遷移に則り、ネットワークを起動した時からスタートフェーズの“2または3サイクル時間”後に、コールフェーズ、ランフェーズ、ブレイクフェーズのいずれかのフェーズへ遷移します。MKY40 のフェーズは、SCR (System Control Register) の RUN、CALL、BRK ビットに示されるため、ユーザシステムのプログラムが SCR をリードすることによって認識できます (図 4.2 参照)。

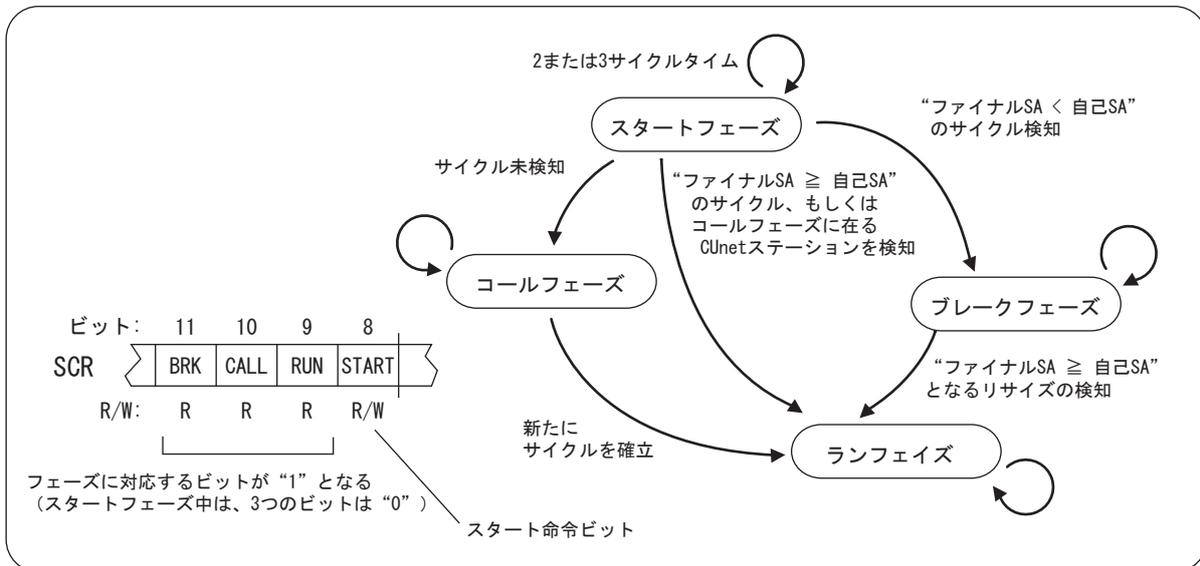


図 4.2 MKY40 のフェーズ遷移と SCR の対応ビット

“ランフェーズ”は、CUnet の通常の稼動状態です。SCR のビット 9 (RUN) が“1”へ遷移します。MKY40 がランフェーズの時、ユーザシステムのプログラムは、以下のコミュニケーションが可能となります。

- ① 他の CUnet ステーションへ伝えたい情報を、グローバルメモリ (GM) の自己ステーションの占有エリアへライトすると、このデータは他の CUnet ステーションのグローバルメモリの同一アドレスへ複写 (Copy) されます。
- ② GM 内の他 CUnet ステーションの占有エリアをリードすることによって、他の CUnet ステーションから複写 (Copy) された情報を参照できます。
- ③ 指定した CUnet ステーションへデータセットのメールを送信できます。
- ④ 自己ステーションへ送信されたデータセットのメールを受信できます。

“コールフェーズ”は、CUnet の接続待ち状態です。SCR のビット 10 (CALL) が“1”へ遷移します。

ネットワークへ接続された自己ステーション以外の全ての MKY40 が起動されていない時に、このフェーズになります。コールフェーズは、他の CUnet ステーションとパケットを送受信できるまで継続します。

“ブレイクフェーズ”は、自己ステーションがサイクルへ参入できない状態です。SCR のビット 11 (BRK) が“1”へ遷移します。ブレイクフェーズは、他の CUnet ステーションがリサイズ操作を実行して、自己ステーションのサイクル参入が許可されるまで継続します。



参考

リサイズに関しては、“4.4.2 サイクルタイムの変更 (リサイズ)”を参照してください。ハードウェアが不安定な CUnet ステーションにおいては、ネットワークの起動のために、スタートフェーズ中において MKY40 が停止してしまう場合があります。このような場合は、“4.1.8.4 停止の特例その 2”を参照し、不安定な CUnet ステーションを改善してください。

4.1.5 誤操作のプロテクション

MKY40は、ユーザシステムのプログラムによる誤操作のプロテクションを装備しています。MKY40を操作する際には、以下のプロテクションの存在を認識してください(図4.3参照)。

- ① SCR (System Control Register) の START ビットが“0”である時に限り、SCR の GMM ビットへ“1”をライトすることが可能です。
- ② SCR (System Control Register) の START ビットが“1”の時、グローバルメモリ (GM) は、自己ステーションの占有エリア以外のメモリ領域がライトプロテクトされます。
- ③ BCR (Basic Control Register) は、SCR の START ビットが“0”かつ GMM ビットが“1”である時に限りライト可能です。
- ④ SCR の RUN ビットが“1”である時 (ランフェーズ) に限り、メール送受信機能によるデータセットの送信および受信が可能です。

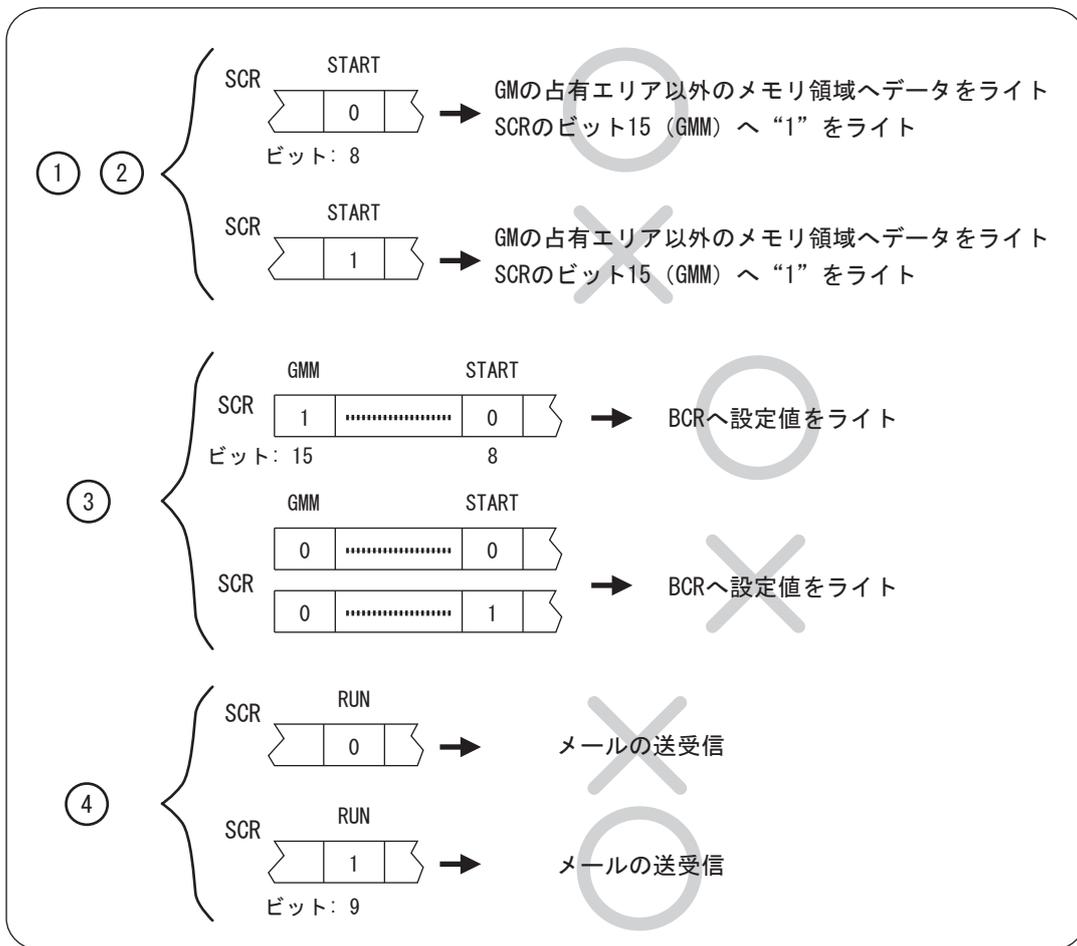


図 4.3 ライトプロテクト



SCR の GMM ビットの詳細については、“4.4.9 GMM (Global Memory Monitor) 機能”を参照してください。

4.1.6 CUentのサイクルタイム

MKY40によって構築されるCUentのサイクルタイムは、CUnetプロトコルによって定められた式4.1と式4.2によって求められます。CUentのサイクルタイムは、メモリデータ共有の応答速度となります。

$$\text{式4.1 Frame Time} = (\text{LOF} + \text{FS} + 1) \times 2 \times \text{TBPS} \text{ [秒]}$$

$$\text{式4.2 Cycle Time} = \text{Frame Time} \times (\text{FS} + \text{PFC} + 1) \text{ [秒]}$$

例として、FS=03H、LOF=151、PFC=2、転送レート 12Mbps (TBPS=(1/12 × 106) ≒ 83.3ns) におけるフレームタイムおよびサイクルタイムは以下です。

$$\text{Frame Time} = (151 + 3 + 1) \times 2 \times (1/12 \times 106) = 25.833 \mu\text{s}$$

$$\text{Cycle Time} = 25.833 \mu\text{s} \times (3 + 2 + 1) = 155 \mu\text{s}$$

CUentにおいては、LOF (Length Of Frame) は“151”、PFC (Public Frame Count) は“2”の固定数です。“4.4.10 フレームオプション [HUB 対応]”に記述されたフレームオプションを利用する際は、LOF (Length Of Frame) は“256”の固定数です。

ファイナルステーション (FS : Final Station) の値は、MKY40のレジスタ群にある、FSR (Final Station Register) に格納されている値です。CUnetにおけるFSの初期値は、“63 (3FH)”です。“4.4.2 サイクルタイムの変更 (リサイズ)”に記述されているリサイズが実行されていない状況においてFSR (Final Station Register) に格納されている値は、初期値の“63 (3FH)”です。



参考

式4.1と式4.2から算出される各FS値によるサイクルタイムを、“付録1 サイクルタイム一覧”に示します。

4.1.7 サイクル中の詳細タイミング

MKY40においては、フレームの推移によって進行するサイクル中の詳細なタイミングを認識することができます。ユーザシステムのプログラムがサイクル中の詳細なタイミングを認識したい場合は、SCR (System Control Register) をリードしてください。

SCRのビット0～6 (ST0～6)の値が、ステーションタイム (ST) を示しています (図4.4 参照)。MKY40は、予め所定のレジスタへステーションタイム値を設定しておくことにより、SCRのビット0～6 (ST0～6)の値が設定値と一致した時に、割込みトリガを出力することができます。これを“アラーム”と呼びます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

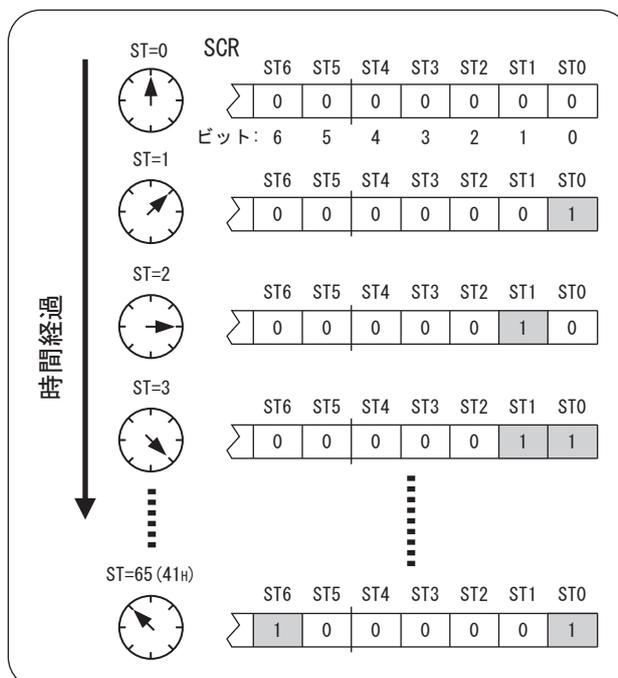


図 4.4 SCRのビット0～6が示すステーションタイム

4.1.8 ネットワークの停止

MKY40 を搭載した MEM ステーションがネットワーク停止するのは、以下の3つの場合です。

- ① SCR (System Control Register) の START ビットへ、意図的に“0”をライトした。
- ② SNF (Station Not Found) : 自己ステーション以外の CUnet ステーションとのリンクが、32 サイクル連続して1回も成立できなかった。
- ③ OC (Out of Cycle) : 他の CUnet ステーションによるリサイズ操作によって、継続的タイムシェアリングにおける自己ステーションの packets 送信時期を失った。

MKY40 を接続したユーザ CPU 上で走行するユーザシステムのプログラムは、SCR (System Control Register) の START ビットへ“0”をライトすることにより、MKY40 がスタート、コール、ラン、ブレークのどのフェーズにある時も、意図的にネットワークを停止することができます。この操作によるネットワークの停止によって、SCR (System Control Register) の RUN、CALL、BRK ビットも“0”へ遷移します。

これに対し、上記②の SNF (Station Not Found) と③の OC (Out of Cycle) によるネットワーク停止は、MKY40 がランフェーズにある時に限り、MKY40 を接続したユーザ CPU 上で走行するユーザシステムのプログラムがいかなるアルゴリズムによって進行している最中であっても発生します。

SNF (Station Not Found) による停止は、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット13の SNF が“1”へ遷移します。

OC (Out of Cycle) によるネットワーク停止時には、SCR (System Control Register) の RUN ビットと START ビットが“0”へ遷移し、ビット12の OC が“1”へ遷移します。

MKY40 は、SNF (Station Not Found) および OC (Out of Cycle) によってネットワークが停止した時に、割込みトリガを出力することができます。詳細については、“**4.5 割込みトリガ発生機能**”を参照してください。

SCR (System Control Register) の SNF ビットおよび OC ビットは、ユーザシステムのプログラムが SCR の START ビットへ“1”をライトした時、あるいはハードウェアリセットアクティブ時に、“0”へクリアされます。

4.1.8.1 SNF (Station Not Found) の詳細

SNF (Station Not Found) によるネットワークの停止は、ランフェーズ中における以下の事象により、自己ステーションが孤立してしまった場合に発生します。

- ① ネットワークからの離脱や通信ケーブル断線、レシーバ部品の故障。
- ② 自己ステーション以外の全ての CUnet ステーションが、意図的に停止した。

上記の2つの場合は、他の CUnet ステーションとのリンクは全て不成立です。MKY40 は、いずれの CUnet ステーションともリンクが成立しないサイクルが 32 回連続すると、自己ステーションが孤立してしまったと判定します。この時に、SNF (Station Not Found) 停止します。

4.1.8.2 OC (Out of Cycle) の詳細

OC (Out of Cycle) によるネットワークの停止は、ランフェーズ中における他の CUnet ステーションによるリサイズ操作によって、自己ステーションの占有エリアをパケット送信できない場合に発生します。例えば、自己ステーションの SA が “20H” の時に、他の CUnet ステーションが “1FH” ヘリサイズした場合、サイクルが縮小リサイズされてしまい、自己ステーションが FS 以降になってしまうため、パケット送金のタイミングを失ってしまいます。また、自己ステーションの SA が “20H” であり OWN が “02H” である時に他の CUnet ステーションが “20H” ヘリサイズした場合も、自己ステーションの占有エリアの一部 (“21H”) をパケット送信するタイミングが失われてしまいます。このような場合に、OC (Out of Cycle) 停止が発生します。このように、自己ステーションの占有エリアをパケット送信できないリサイズを MKY40 が検出した時に、OC (Out of Cycle) 停止します。

4.1.8.3 停止の特例その1

自己ステーションがリサイズを操作している最中 (NFSR へ “00H” 以外の値が格納されている時) に、SNF (Station Not Found) 停止または OC (Out of Cycle) 停止となった場合、NFSR に値が格納された状態のままネットワークは停止します。

この場合、ユーザシステムのプログラムが SCR の START ビットへ “1” をライトした時に、SCR の SNF ビットおよび OC ビットが “0” へクリアされると同時に、NFSR も “0” へクリアされます。

4.1.8.4 停止の特例その2

電源投入直後に電源の不安定な時期が続く CUnet ステーションが存在する場合、以下のシーケンスによってスタート直後にネットワークが SNF (Station Not Found) 停止となる場合があります。以下のシーケンスは、2つの MEM ステーションによって構築した CUnet における停止シーケンスを以下に示します。

- ① ある MEM ステーションの START ビットへユーザ CPU が“1”をライト、この MEM ステーションがコールフェーズになる。
- ② 別の MEM ステーションも START ビットへ“1”をライトし、上記の MEM ステーションと両方の MEM ステーションがランフェーズになる。
- ③ ある MEM ステーションの電源投入後の安定が遅れ、ハードウェアリセットが再びアクティブとなってしまう場合、START ビットが“0”へ戻る。
- ④ 別の MEM ステーションは、32 サイクル後に SNF (Station Not Found) 停止する。
- ⑤ ある MEM ステーションは、再びプログラムが先頭からスタートし、START ビットへ“1”をライトし、コールフェーズになる。
- ⑥ 別の MEM ステーションは、ネットワークが SNF (Station Not Found) 停止しているのため、再びスタートしない。

この事例のユーザシステムが“12Mbps 運用”の場合、上記①～⑥のシーケンスが進行する所要時間は、80ms 程度であり、電源投入直後に電源の不安定な時期が続くシステムにおいては、このようなケースが発生します。ユーザシステムのプログラムが、ランフェーズになることのみを待っていた場合、プログラムは次のステップへ進むことができなくなってしまいます。

MKY40 を搭載する CUnet ステーションは、電源投入直後から十分に電源が安定した後にハードウェアリセットが解除される構成にしてください。



参考

ユーザシステムのプログラムとしては、ネットワークの SNF 停止や OC 停止を検出でき、かつユーザシステムに適合する処理(例えば再び START ビットへ“1”をライトしネットワークを再起動するなど)を実行するアルゴリズムを推奨します。

4.2 グローバルメモリ (GM) の利用

本節は、CUnet においてデータが共有されるグローバルメモリ (GM) の利用について記述します。

MKY40 においては、グローバルメモリ (GM) ヘリッド/ライトアクセスするメモリアドレスとして、GMPW (Global Memory Primary Window) と GMSW (Global Memory Secondary Window) の2つのアドレス領域が割り当てられています。

4.2.1 占有エリアについての詳細

MKY40 に搭載されているグローバルメモリ (GM) は、CUnet プロトコルに規定された 8 バイトサイズのメモリブロック (MB) が“64 個”連続して配列された 512 バイトのメモリです。個々のメモリブロックは、基本的に対応するステーションアドレスの CUnet ステーションが占有するエリアです (図 4.5 参照)

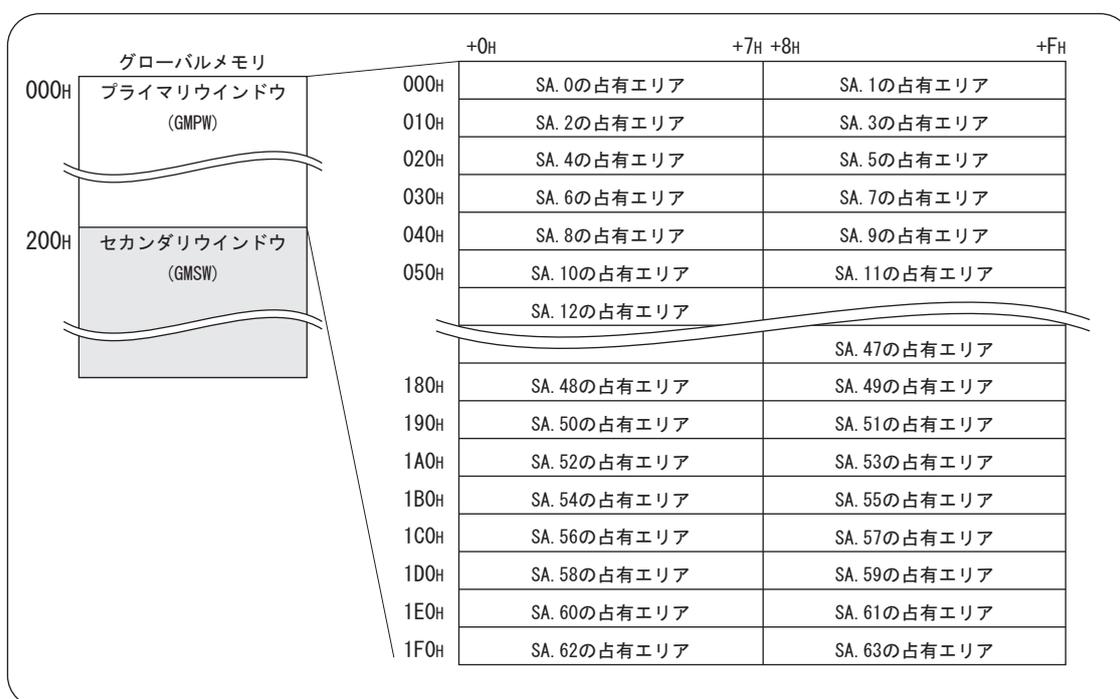


図 4.5 グローバルメモリ

MKY40 は、CUnet プロトコルの“実用性の向上”に規定される占有幅 (OWN width) の設定によって、占有エリアを拡張できます。

占有エリアは、BCR (Basic Control Register) に格納されたステーションアドレス (SA) と占有幅 (OWN width) によって決定します。ステーションアドレス (SA) に対応するメモリブロック (MB) を先頭とする占有幅 (OWN width) 分のメモリブロック (MB) が占有エリアです (図 4.6 参照)。

例えば、SA=6 かつ OWN=2 の MKY40 の占有エリアは、MB=6 ~ 7 (GMPW: 030H ~ 03FH) の 16 バイトです。

CUNetにおける占有エリアは、他のCUNetステーションへデータを送信（複写）するエリアです。MKY40においては、占有エリアは常にライト可能ですが、占有エリア以外のグローバルメモリ（GM）は、SCR（System Control Register）のSTARTビットが“1”の期間中ライトプロテクトされます。このように、CUNetにおけるグローバルメモリ（GM）の利用にあたっては、ライト可能なエリアとリードのみに制限されるエリアに明確に分離されるため、同一アドレスへの同時ライトやオーバーライトが発生しません。

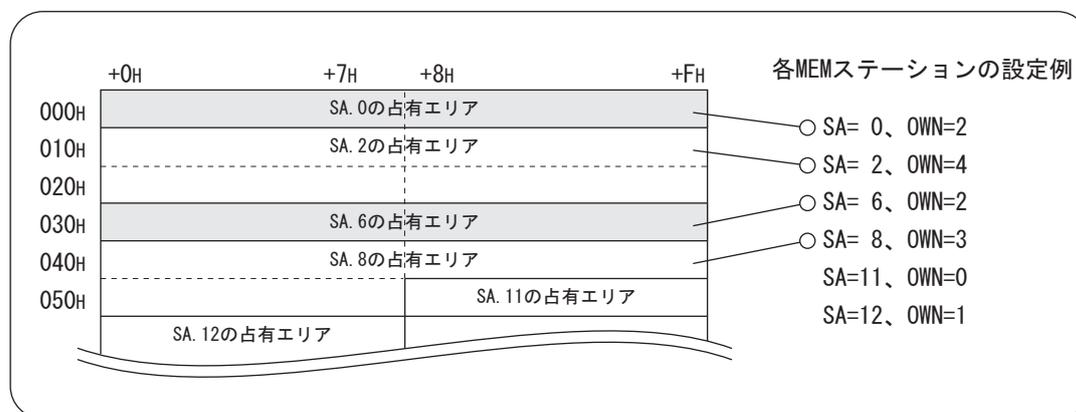


図 4.6 占有エリアの拡張

占有エリアは、CUNetを構成する全てのCUNetステーションにおいて、重複が禁止されています。例えば、1つのMKY40の設定がSA=3かつOWN=2の場合、別のMKY40の設定をSA=4とすることは禁止です。

“3.6 ステーションアドレスの設定”、“3.7 占有エリアの拡張設定”および“4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”の②に記述されている設定を実行する際に、占有エリアが重複していることは禁止です。

占有エリアは、（重複が生じない限り）広く設定することも可能です。例えば、2つのMEMステーションによって構築するCUNetの場合、それぞれのMEMステーションに“256バイト”の占有エリアを持たせることも可能です。

BCR（Basic Control Register）の占有幅（OWN width）の値が“00H”の時、占有幅（OWN width）は“1”として扱われます。また、BCR（Basic Control Register）に格納されているSA値とOWN値を加算した値が、“64（40H）”を超える場合は、“64”を超える値が無視されます。例えば、SAが“62（3EH）”の場合、OWNが“03H”であっても占有幅は“2”です。SAが“32（20H）”の場合、OWNが“63（3FH）”であっても占有幅は“32”です。

4.2.2 データハザードとデータハザード回避機能

複数のアドレスにわたる文字列などのデータセットをライトしている最中に、別の CUnet ステーションがデータセットをリードすると、途中までライトしたデータとまだライトされずに残っていた古いデータが混合された文字列をリードしてしまう可能性があります。このような現象を“データハザード” (Data hazard) と呼びます。データハザード (Data hazard) は、ユーザ CPU と MKY40 を接続しているバス幅以内のデータを扱う場合は発生しません。

データハザードは、ユーザ CPU と MKY40 を接続しているバス幅を超えるデータを扱う場合に、以下のよう
に発生します (図 4.7 参照)。

- ① 8 ビット幅データバスによって MKY40 へ接続されたユーザ CPU が、他の CUnet ステーションが占有しているグローバルメモリ (GM) のエリアから 16 ビット幅データをリードする時、“2 回”のアクセスが必要です。
- ② ユーザシステムのプログラムがグローバルメモリへ“2 回”アクセスする際の“1 回目”と“2 回目”の間に、メモリデータの共有動作に基づいた他の CUnet ステーションからのデータ複写 (Copy) によってデータが遷移すると、正しいデータをリードできないタイミングが発生します (図 4.7:5634H のリード)。
- ③ この場合のリードデータは、データハザード (Data hazard) が発生した誤ったデータです。

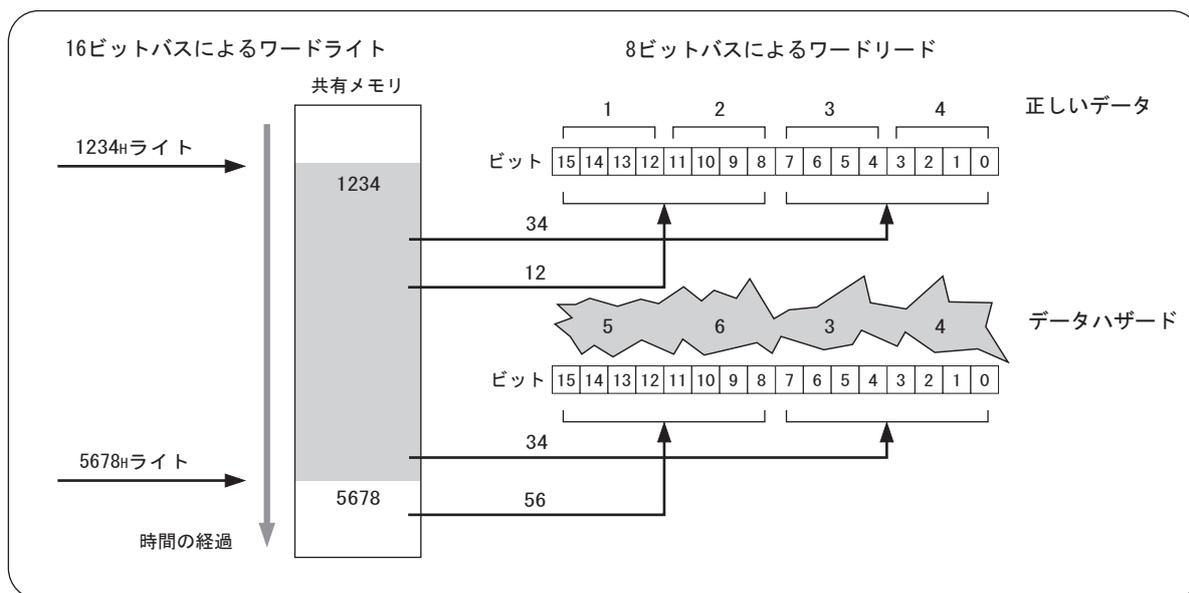


図 4.7 データハザード発生メカニズム

MKY40 は、バス幅を超えるデータを扱う場合のデータハザードを回避する機能として、“ウィンドウロック機能”を装備しています。

4.2.2.1 ウィンドウロック機能

MKY40のメモリマップに示されるアドレス“000H～1FFH”は、“グローバルメモリプライマリウインドウ”（GMPW：Global Memory Primary Window）と呼ばれる、ユーザCPUからグローバルメモリ（GM）へアクセスするための窓口です。ウィンドウロック機能は、GMPWを一次的に凍結する機能です。

4.2.2.2 GMPWのリードウィンドウロック

MKY40は、グローバルメモリプライマリウインドウ（GMPW）を凍結するリード回数の設定が可能なPWRCR（Primary Window Read Control Register）を搭載しています。リードアクセスに対してグローバルメモリプライマリウインドウ（GMPW）を一次的に凍結する利用例（2回のリードアクセスの間、凍結する）を、以下に示します。

- ① PWRCRのビット0～3（AC0～3）へ、GMPWを凍結するリード回数（02H）をライトします。
- ② GMPWから“1回目”のリードを実行します。・・・この時MKY40の内部に搭載されているPWRT（Primary Window Read Temporarily）へ、8バイトのメモリブロック1つ分のデータが全て退避されます。この時さらに、PWRCRのカウン트가“1”減算され“01H”へ遷移します。
- ③ GMPWから“2回目”のリードを実行します。・・・この時ユーザCPUへ引き渡すためにデータバスへ出力されるデータは、PWRT（Primary Window Read Temporarily）へ退避されていたデータです。この時さらに、PWRCRのカウン트가“1”減算され“00H”へ遷移します。PWRCRが“00H”となったことにより、GMPWの凍結が解けます。

この動作によりユーザCPUは、“1回目”のリードを実行した時点における正しいデータを取得できます。

PWRCR（Primary Window Read Control Register）は、“8”までのカウンタ値をライトできます（[図4.8](#)参照）。これはMKY40に搭載されたPWRT（Primary Window Read Temporarily）がメモリブロック1つ分のサイズ（8バイト）であることに起因します。これにより、8ビット幅データバスによってMKY40へ接続されたユーザCPUは、8バイト構成のデータまで、データハザードの発生を意識せずに利用することが可能です。

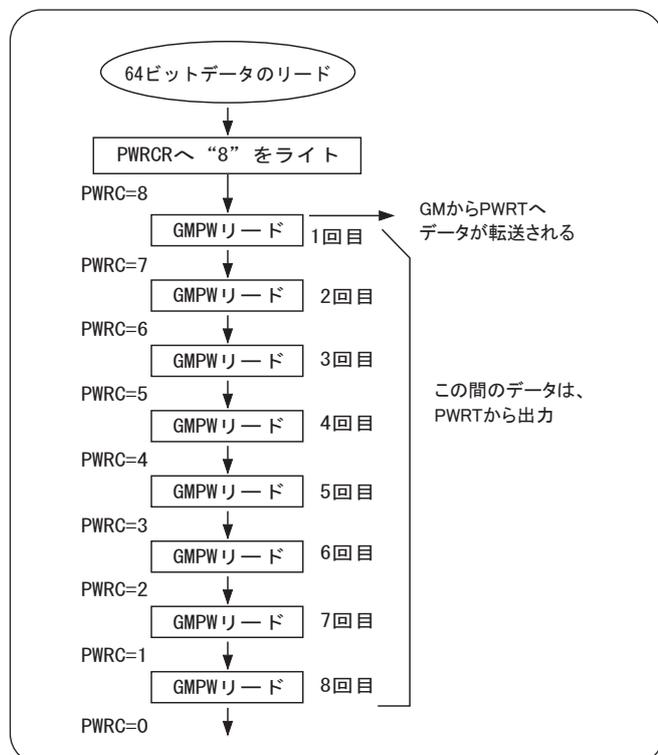


図4.8 8ビットバスによる64ビットデータリード

4.2.2.3 GMPW のライトウインドロック

データハザード (Data hazard) は、リードだけではなくライトにおいても発生します (図 4.9 参照)。
例えば、8 ビット幅データバスによって MKY40 へ接続されたユーザ CPU が、“1234H” をライトする時に“2 回”のライトが必要です。旧データが“ABCDH”の場合、“34H”と“12H”データを2回に分けてライトする中間時点において、メモリデータの共有動作に基づいて他の CUnet ステーションへデータが複写 (Copy) されると、これをリードした他の CUnet ステーションは“1234H”でも“ABCDH”でもない (実在しない: データハザードが生じた) “AB34H”を認識してしまいます。

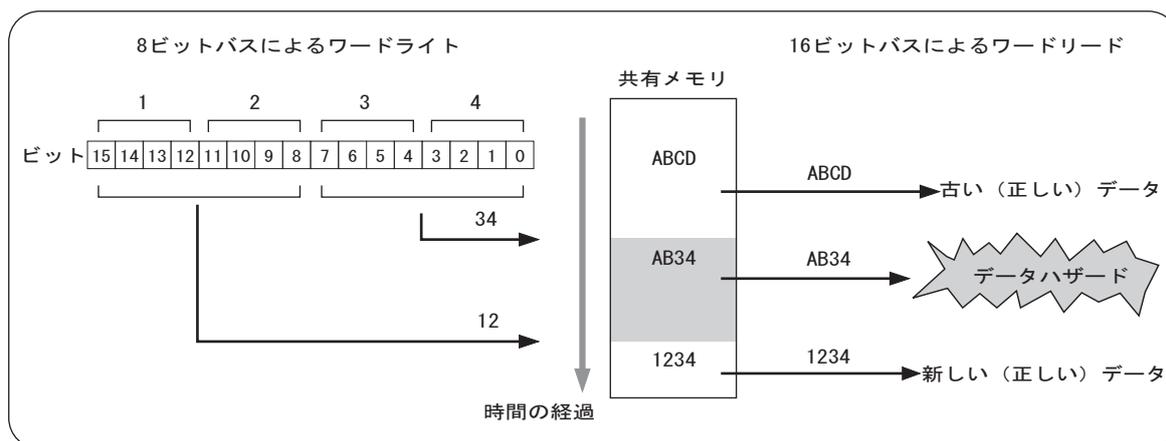


図 4.9 ライトの際に発生するデータハザード

MKY40 は、GMPW へのライトに対しても凍結できる、ウインドウロック機能を搭載しています。

MKY40 は、グローバルメモリプライマリウインドウ (GMPW) を凍結するライト回数の設定が可能な PWWCR (Primary Window Write Control Register) を搭載しています。ライトアクセスに対してグローバルメモリプライマリウインドウ (GMPW) を一次的に凍結する利用例 (2 回のライトアクセスの間、凍結する) を、以下に示します。

- ① PWWCR のビット 0 ~ 3 (AC0 ~ 3) へ、GMPW を凍結するライト回数 (02H) をライトします。
- ② GMPW へ“1 回目”のライトを実行します。・・・この時 PWWCR のカウントから“1”が減算され“01H”へ遷移します。

PWWCR が“00H”以外の時、ユーザ CPU がライトしたデータは、グローバルメモリ (GM) へはライトされずに、MKY40 に搭載された PWWT (Primary Window Write Temporarily) へ保持されます。

- ③ GMPW へ“2 回目”のライトを実行します。・・・この時 PWWCR のカウントが減算され“00H”になると共に、PWWT が保持していたデータが、まとめてグローバルメモリ (GM) へライトされます。PWWCR が“00H”となったことにより、GMPW の凍結が解けます。

この動作により、PWWCR へライト回数を設定した後のライトは、設定した回数分の間、GMPW を一次的に凍結することができます。

4.2.2.4 ウィンドウロックの相互関係

PWRCRによるリードウィンドウロックとPWWCRによるライトウィンドウロックは完全に独立した機能であり、相互に干渉することはありません。

PWRCRを利用する場合のスコープ(対象アドレス範囲)は、8バイトを境界とするメモリブロック1つ分です。誤ってスコープ以外のアドレスをリードした場合は、下位アドレスに対応するPWRTからデータが出力されます。

PWWCRを利用する場合のスコープも、8バイトを境界とするメモリブロック1つ分です。

誤ってスコープ以外のアドレスへライトした場合は、下位アドレスに対応するPWWTへデータを保持します。

4.2.2.5 グローバルメモリセカンダリウインドウ (GMSW)

MKY40のメモリマップに示されるアドレス“200H～3FFH”は、“グローバルメモリセカンダリウインドウ”(GMSW: Global Memory Secondary Window)と呼ばれ、ユーザCPUからグローバルメモリ(GM)へアクセスするための窓口です(図4.10参照)。

MKY40は、GMSWに対しても“4.2.2.2 GMPWのリードウィンドウロック”と“4.2.2.3 GMPWのライトウィンドウロック”と同等な機能を独立して搭載しています。

GMSWのリードウィンドウロック機能は、SWRCR (Secondary Window Read Control Register) へ、凍結するリード回数をライトすることにより利用できます。

GMSWのライトウィンドウロック機能は、SWWCR (Secondary Window Write Control Register) へ、凍結するライト回数をライトすることにより利用できます。

これらの利用方法や、GMSWの振る舞いおよびスコープ(対象アドレス範囲)は、GMPWと同様です。

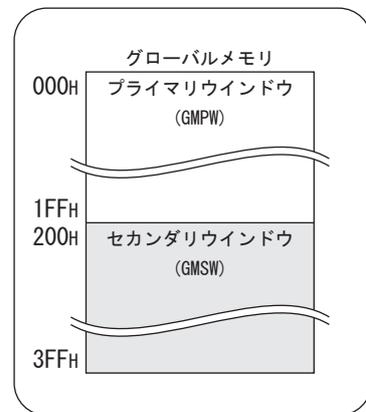


図 4.10 セカンダリウインドウ

4.2.2.6 GMPW と GMSW の使い分け

ユーザシステムのプログラムが PWRCR を利用して、GMPW を数回に分けてリードしている最中に、割り込みなどの特殊処理のために GMPW をリードした場合、特殊処理内において GMPW をリードしたデータも PWRT (Primary Window Read Temporarily) から出力されます。また特殊処理内におけるリード回数が、PWRCR (Primary Window Read Control Register) から減算されてしまいます。

ユーザシステムのプログラムが PWWCR を利用して GMPW へ数回に分けてライトを実行している最中の特殊処理内のライトも同様です。

このような利用は、ユーザシステムのプログラムにおいて特殊処理に対する排他管理をする必要が発生します。ユーザシステムの構成によっては、排他管理が極めて複雑になる場合が想定されます。

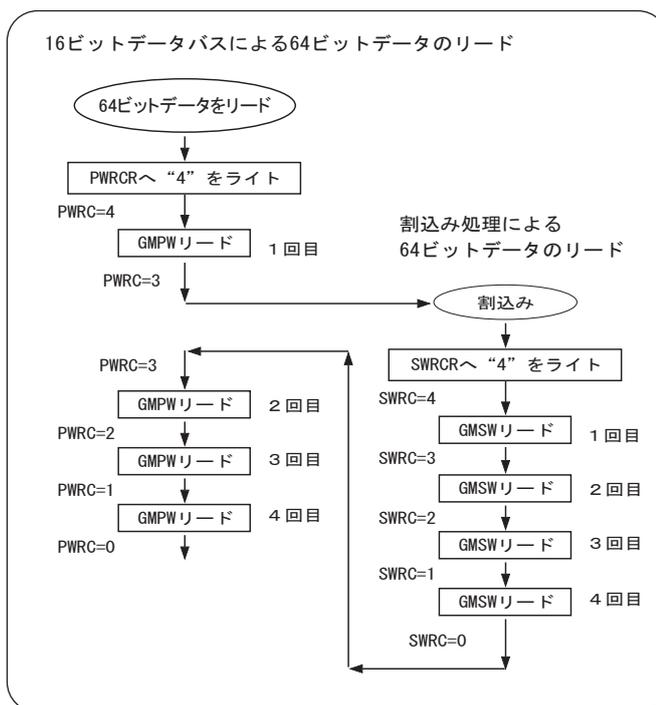


図 4.11 GMPW と GMSW の使い分け

これを簡易に解決する手段として、MKY40 はグローバルメモリセカンダリウインドウ (GMSW : Global Memory Secondary Window) を装備しています。GMPW に対して機能するウインドウロックと、GMSW に対して機能するウインドウロックは完全に独立しており、相互の干渉を受けません。

上記のような特殊処理がグローバルメモリへアクセスする場合、GMSW をアクセスの対象とすることにより、特殊処理に対する排他管理は不要となります (図 4.11 参照)。

注意事項

アクセス回数をライトする PWRCR、PWWCR、SWRCR、SWWCR のレジスタは、一旦“0”以外の数値が書き込まれると、ウインドウロックの機能が終了するまでライトプロテクトされます。また、これらのレジスタへライトできる最大数値は“8”です。操作を誤って“9”以上の数値をライトした場合は、“8”が設定されます。

4.2.2.7 ウィンドウロック機能を利用しないデータハザード回避

データハザード (Data hazard) の発生原因は、ユーザ CPU による複数回のアクセス中における (メモリデータの共有動作に基づくデータ複写による) データ遷移です。したがって、ユーザ CPU が、メモリデータ共有動作に基づくデータ複写 (Copy) が発生しないタイミングを見計らって複数回のアクセスを実行することができれば、ウィンドウロック機能を利用せずにデータハザードを回避することができます。

CUnet においては、メモリデータの共有動作に基づくデータ複写 (Copy) が発生するタイミングを、ステーションタイム (ST) によって認識することができます。ユーザシステムのプログラムは、MKY40 の SCR (System Control Register) のビット 0 ~ 6 (ST0 ~ 6) をリードすることにより、ステーションタイム (ST) を認識することができます (“4.1.7 サイクル中の詳細タイミング” 参照)。

この具体的な例を以下に示します。

- ① ユーザシステムのプログラムが、“03H” のステーションアドレス (SA) に対応するメモリブロック (GMPW のアドレス “018H ~ 01FH”) へ複数回リードアクセスする場合、ステーションタイム (ST) が “03H” 以外になるまで SCR をリードし続け、メモリへのリードアクセスを待ちます。
- ② ユーザシステムのプログラムは、SCR をリードし、ステーションタイム (ST) が “03H” 以外の場合 (データハザードが発生する可能性はない) は、直ぐに複数回のリードアクセスを実行します。

上記の方法は、CUnet のサイクルに対してユーザ CPU が充分高速であって、かつステーションタイム (ST) によってタイミングを認識してからアクセスが終了するまでの時間が、次回のデータハザードが発生する可能性を持つタイミングが到来するまでの時間以内の場合に限られます。例えば上記の①および②の処理中にプログラムが割込処理などへ移行するなどして、複数回のリードアクセスが終了するまでの時間が不明になるようなユーザプログラムであってははいけません。



参考

タイミングを重視するユーザシステムのプログラミングは、一般に難易度が高まる傾向にあります。したがってデータハザードを回避するためには、ウィンドウロック機能を利用されることを推奨します。

SCR をリードし CUnet の動作タイミングを認識することは、ユーザシステムのプログラムにおけるデータハザード回避以外の目的にも利用できます。



注意事項

ウィンドウロック機能によって回避可能なデータハザードのスコープ (対象アドレス範囲) は、メモリブロック 1 つ分 (8 バイト) です。これを超えるサイズのデータ (例えば 128 ビット構成のデータや、9 バイト以上の文字列など) を扱う場合は、本項の記述に準じてユーザシステムのプログラムを作成してください。

4.2.3 グローバルメモリ (GM) データの品質保証

CUNet プロトコルを搭載した MKY40 は、ネットワークへ接続された全ての CUNet ステーション間においてハンドシェイクされた“複数の CUNet ステーション”対“複数の CUNet ステーション”(N 対 N) のコミュニケーションを保証しています。

この保証された状態は、CUNet プロトコルに定められる通り、レシーブとリンクのステータスによってレジスタに示されています。さらに MKY40 は、ユーザシステムのプログラムが各ステータスを容易に監視可能な機能も装備しています。

本節は、グローバルメモリ (GM) データの品質保証に関連するレジスタやステータス監視機能などについて記述します。



参考

レシーブステータスとリンクステータスの定義については、“CUNet 導入ガイド”の“データの品質保証”を参照してください。

4.2.3.1 レジスタによるステータス表示

MKY40 においては、CUNet プロトコルに定められたレシーブステータスおよびリンクステータスが、RFR (Receive Flag Register) と LFR (Link Flag Register) によって示されます。MKY40 に搭載されている RFR と LFR は、64 ビットのレジスタです (図 4.12 参照)。

最大 64 の CUNet ステーションによる CUNet を構築可能なため、それぞれのレジスタ内のビット 0 はステーションアドレス (SA) =0 とメモリブロック (MB) =0 へ、ビット 1 は SA=1 と MB=1 へ、ビット 63 は SA=63 と MB=63 へ対応します。

ユーザシステムのプログラムが、RFR と LFR をリードし、“1”となっているビットを認識することにより、グローバルメモリのメモリデータ共有の詳細な保証状態を認識することができます。

- ① “占有エリア以外のメモリブロックのデータが、他の CUNet ステーションから複製された最新のデータなのか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることを保証する個々のフラグビット値が格納された RFR (Receive Flag Register) をリードしてください。
- ② “占有エリアのデータを複製できていない CUNet ステーションはあるか?” を認識したい時には、個々のメモリブロック (MB) のデータが最新のサイクルによってもたらされていることと、個々の CUNet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複製されたことの、両方を保証する個々のフラグビット値が格納された LFR (Link Flag Register) をリードしてください。

RFR

ビット

63	62	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	-------	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

自己ステーションタイムの先頭時期 (ステータス管理の起点時期) に、自己ステーションの占有エリア以外のビットが “0” へクリアされる。次のステータス管理の起点時期までの間、パケットを受信した対象の CUNet ステーションのビットが順次 “1” になる。

LFR

ビット

63	62	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	-------	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

自己ステーションタイムの先頭時期 (ステータス管理の起点時期) に、自己ステーションの占有エリア以外のビットが “0” へクリアされる。次のステータス管理の起点時期までの間、リンク成立した対象の CUNet ステーションのビットが順次 “1” になる。

図 4.12 64 ビットの RFR と LFR

4.2.3.2 ステータス管理の起点時期および特例

MKY40においては、継続的タイムシェアリングのサイクルの推移に応じたリアルタイムな状態が、RFR および LFR のステータスに反映されます。このため、自己ステーションのステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、“ステータス管理の起点時期”です(図 4.13 参照)。RFR および LFR のステータスは、1回のサイクル毎に管理されます。このため“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”に記述されている特例を除き、ステータス管理の起点時期に RFR と LFR は“0”へクリアされます。ただし、自己ステーションの占有エリアに対応する RFR および LFR のビットは常に“1”です。

MKY40 は、CUnet プロトコルに規定された機能のほかに、“4.4.9 GMM (Global Memory Monitor) 機能”に記述されるモニタ機能を装備しています。この機能によって、GMM ステーションとして動作する MKY40 においては、自己ステーションのステーションアドレス (SA) は定義されていません。

これにより、GMM ステーションにおいては、“ステータス管理の起点時期”が存在しないことになってしまいます。したがって GMM ステーションにおいては、“ステータス管理の起点時期”をサイクルの先頭時期(ステーションタイム = 0)とします。サイクルの先頭時期に、RFR (Receive Flag Register) の全てのビットは“0”へクリアされ、レシーブが成立したビットから順次“1”へ遷移します。また GMM ステーションは他の CUnet ステーションとはリンクされないため、LFR (Link Flag Register) ビットの状況は意味を失い、無効なデータとなります。

注意事項

“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”に記述されている特殊な場合を除き、RFR および LFR をステータス管理の起点時期の直後にリードした場合、自己ステーションの占有エリア以外のビットからは“0”がリードされます。RFR および LFR のリードは、継続的タイムシェアリングの動作をご理解のうえ、適切な時期に実行してください。

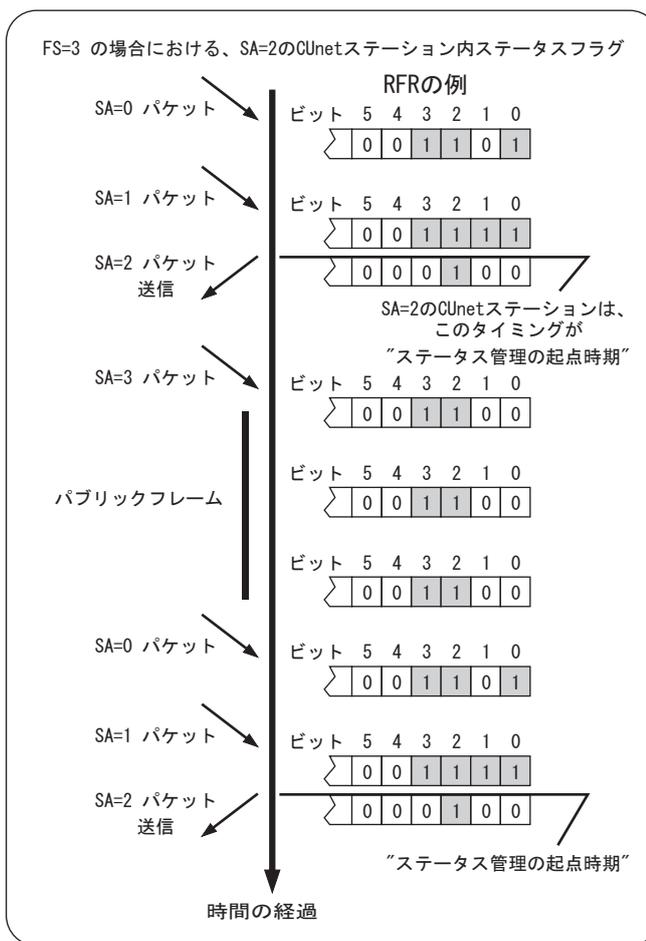


図 4.13 ステータス管理の起点時期

4.2.3.3 LGR (Link Group Register)

LFR のステータスは、継続的に繰り返されるサイクルに応じてダイナミックに遷移します。この遷移は非常に高速です。例えば転送レート = 12Mbps、ファイナルステーション (FS : Final Station) の値が “01H” の場合、フレームタイム(Frame Time)は 25.5 μs です。したがってステータスも 25.5 μs 毎に遷移します。ステータスの更新も、1 サイクルタイムの 102 μs 毎に発生します。

LFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合、ステータスの遷移が非常に高速なためにプログラムが十分に走行できない可能性が生じます。これを解決するため MKY40 は、LFR のステータス監視を容易にするグループ設定の機能を装備しています。

MKY40 は、64 ビット構成の LGR (Link Group Register) を装備しています。LGR は LFR (Link Flag Register) のステータスを監視します。LGR のビットは LFR のビットに対応します。LGR のビットは、ユーザシステムのプログラムが任意に “1” または “0” をライトできます。

MKY40 は、ステータス管理の起点時期に LFR を一旦 “0” へクリアした後、LGR のビットが “1” である対象の LFR ビットを逐次検出し、検出対象の全てのビットが “1” となった場合に “リンク OK” を判定します。また MKY40 は、サイクルが進行した後の回目のステータス管理の起点時期の直前に、検出対象ビットの何れかが “0” であった場合に “リンク NG (No Good)” を判定します (図 4.14 参照)。

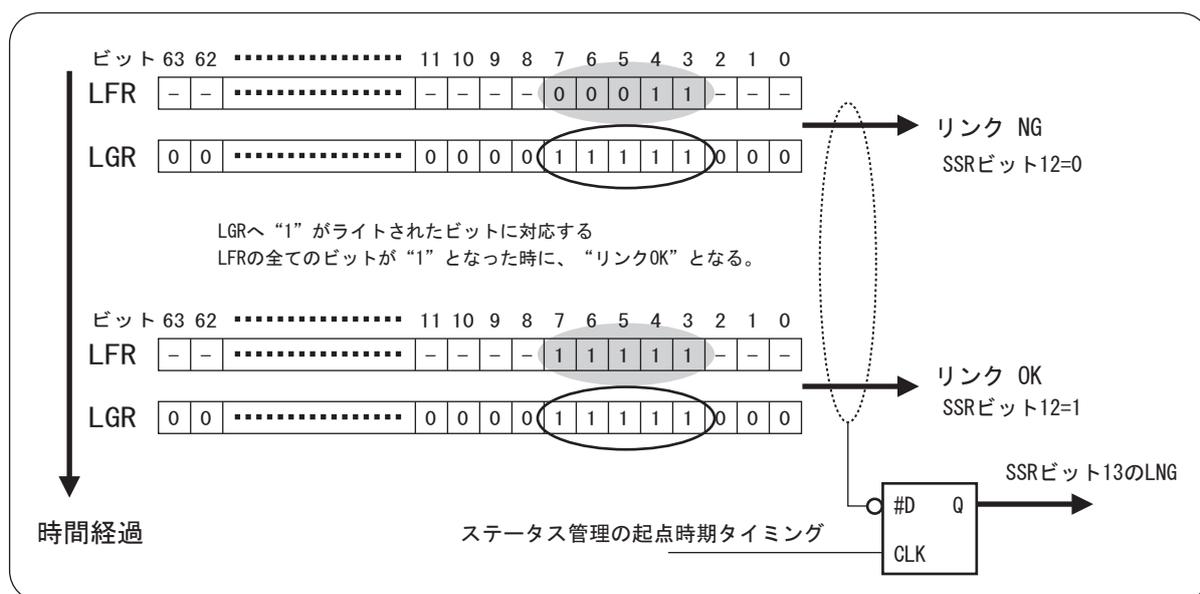


図 4.14 LGR による LFR の監視

この判定結果は、以下の 2 つの方法によってユーザシステムへ通知されます。

- ① SSR (System Status Register) のビット 13 (LNG (Link group No Good)) と、ビット 12 (LOK (Link group OK)) に、“1” が真となるフラグビットによって判定結果を示します。

LOK フラグビットは、“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ” に記述されている特殊な場合を除き、ステータス管理の起点時期に “0” へクリアされます。

LNG フラグビットは、ステータス管理の起点時期に、直前のサイクルにおける結果をサンプルし、このサンプル結果を次の 1 サイクル維持します (図 4.14 参照)。

② MKY40 は、割込みトリガを出力することができます。

ユーザシステムのプログラムは、割込みトリガを受け付けることにより“リンク OK”あるいは“リンク NG”の判定を認識することができます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

以上の記述のように、ユーザシステムのプログラムが、LGRのビットにLFRのステータスを監視する対象ビットを予め設定しておくことにより、LFRのステータスを一括監視することができます。



注意事項

ユーザシステムのプログラムが、上記①の方法によってリンクを監視する場合は、継続的タイムシェアリングの動作をご理解のうえ、適切なタイミングによってSSR (System Status Register) をリードしてください。

4.2.3.4 メンバ

安定した環境によるCUnetの稼動においては、CUnetプロトコルに定義される“リンク切れ”、および“4.2.3.3 LGR (Link Group Register)”に記述された管理(LGRのビットが“1”)を実行している場合のLNG (Link group No Good) は、発生しません。

“リンク切れ”およびLNG (Link group No Good) は、“CUnetステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に発生します。また瞬発的な“リンク切れ”は、CUnetの動作原理である継続的タイムシェアリングによって、次のサイクルによってリカバリされます。

一般的な通信においては、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”に、“3回”のリトライ(再送)を実行しても復旧できない場合にエラーとして扱うアルゴリズムが慣例的に用いられます。

MKY40も、これに準じた管理を簡易に実行できるレジスタと機能を装備しています。それは、64ビット構成のMFR (Member Flag Register) とMGR (Member Group Register) です。MKY40においては、この管理形態に用いる概念を“メンバ”と呼びます(図4.15参照)。

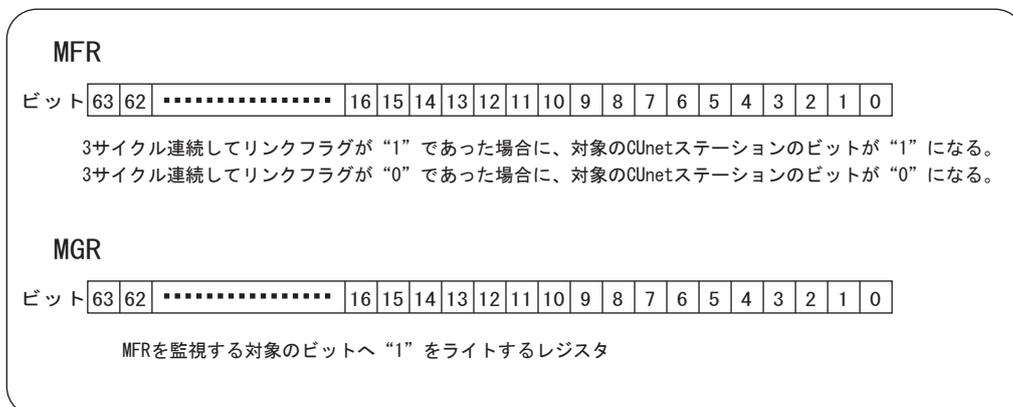


図 4.15 64ビットのMFRとMGR

4.2.3.5 MFR (Member Flag Register)

MFR (Member Flag Register) は、LFR (Link Flag Register) と同様に、ビット 0 がステーションアドレス (SA) =0 の CUnet ステーションに、ビット 1 が SA=1 の CUnet ステーションに、ビット 63 が SA=63 (3FH) の CUnet ステーションに対応します。

MFR のフラグビットも LFR と同様に、ステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期が、ステータス管理の起点です。

MFR のフラグビットは、ステータス管理の起点時期に 3 回連続した“リンク成立”を認識すると、“1”へ遷移します。その逆に MFR のフラグビットは、MFR が“1”になっている CUnet ステーションにおいて、ステータス管理の起点時期に 3 回連続した“リンク不成立”を認識すると、“0”へ遷移します。このように MFR は、一般的な通信管理に類似した管理機能を装備しています。

ユーザシステムが、“突発的に発生するリンク切れは継続的タイムシェアリングによるサイクルによってリカバリされていれば許容する”場合に、この MFR をリードすることにより、グローバルメモリのメモリデータ共有のリカバリを含んだ保証状態を認識することができます。また MFR は、“CUnet ステーションの離脱”の管理にも有効です。離脱した CUnet ステーションが生じた場合は、その CUnet ステーションに対応する MFR のビットが“1”から“0”へ遷移します。

4.2.3.6 MGR (Member Group Register)

MFR のステータスは、継続的に繰り返されるサイクルに応じて、ステータス管理の起点時期に更新されます。MKY40 は、MFR のステータスをユーザシステムのプログラムが詳細に管理しようとする場合の負担を軽減する機能を装備しています。それは、64 ビット構成の MGR (Member Group Register) です。

MGR は、MFR のステータスを監視します。MGR のビットは、MFR のビットに対応します。MGR のビットへは、ユーザシステムのプログラムが任意に“1”または“0”をライトできます。

MKY40 は、“1回”のサイクル毎にステータス管理の起点時期の直前に、以下の 2 つを判定します(図 4.16 参照)。

- ① MGR と MFR は一致していない (MGR ≠ MFR)。
- ② MGR 内における“1”のビットに対応する MFR 内のビットに“0”がある (MGR > MFR)。

この判定結果は、以下の 2 つの方法によってユーザシステムに通知されます。

- (1) SSR (System Status Register) のビット 4 (MGNE : Member group Not Equal) と、ビット 5 (MGNC : Member group Not Collect) に、“1”が真となる判定結果を示します。MGNE と MGNC のフラグビットは、ステータス管理の起点時期に更新されます。
- (2) MKY40 は、割込みトリガを出力することができます。

MKY40 は、所定の割込みを設定すると、上記 (1) の SSR のビット 4 (MGNE) もしくはビット 5 (MGNC) が新たに“0”から“1”へ遷移した時に、割込みトリガを出力します。この割込みの設定については、“4.5 割込みトリガ発生機能”を参照してください。

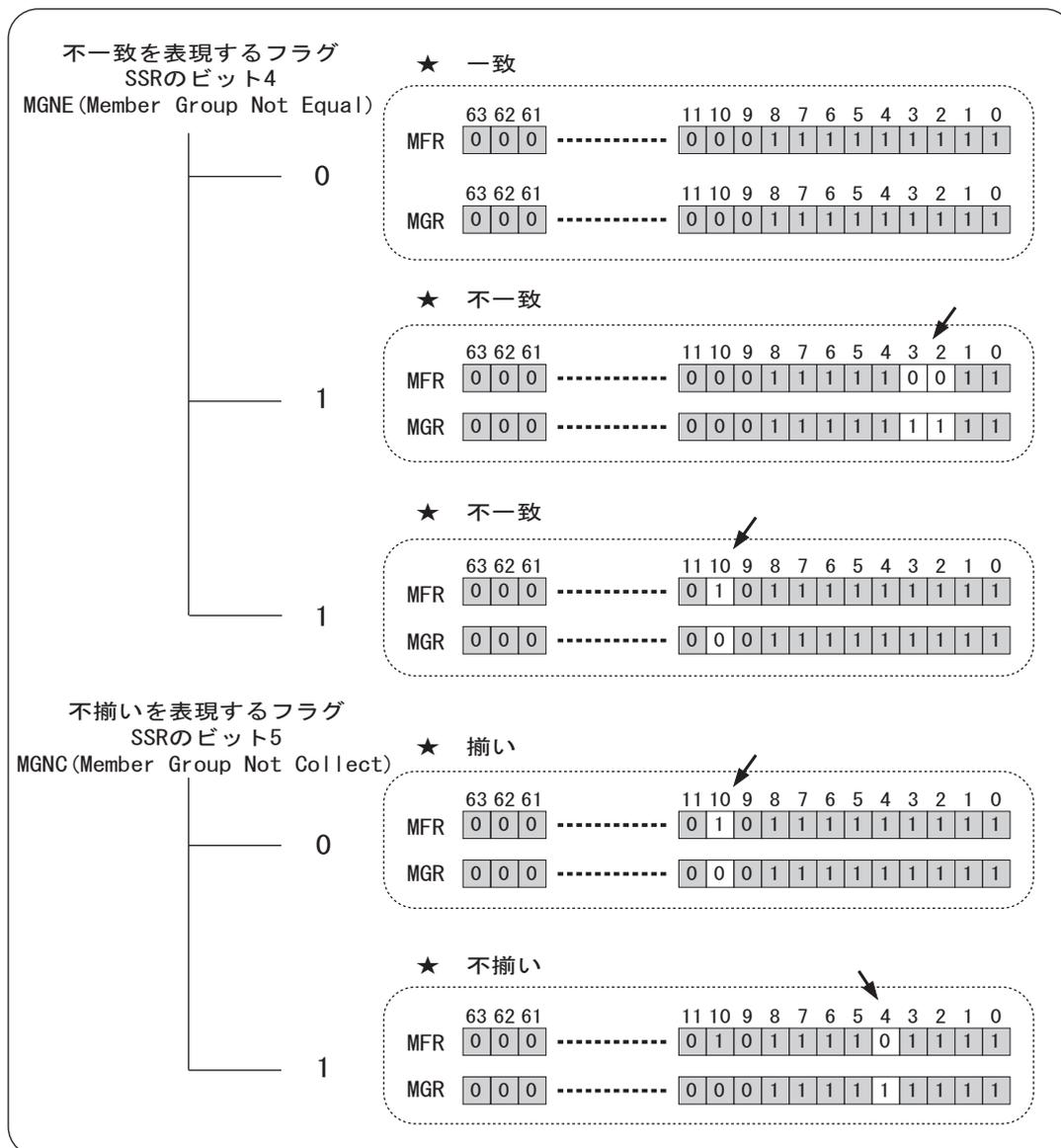


図 4.16 MGR による MFR の監視と SSR のビット状態

上記のように、MFR のステータスを監視する対象の MGR のビットを、ユーザシステムのプログラムが予め“1”にしておくことにより、MFR のステータスを一括監視することができます。

例えばユーザシステムにおいて CUnet ステーションの欠如を監視したい時に、ユーザシステムのプログラム走行中の適切な時期に、定期的に SSR (System Status Register) をリードしてください。

SSR のビット 4 (MGNE : Member group Not Equal) が“0”であれば、MGR へ事前に“1”をライトしたビットに対応する CUnet ステーションは、メンバから離脱していません。また MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外は、メンバとして存在していません。MGR へ事前に“1”をライトしたビットに対応する CUnet ステーション以外の存在も許容する場合は、SSR のビット 5 (MGNC : Member Group Not Collect) が“0”であることを確認してください。

さらに、(2) に記述された“割込みトリガによる割込みを受けつける”方法によって上記を監視する場合は、ユーザシステムのプログラムによる定期的な SSR (System Status Register) のリードは不要です。

4.2.3.7 メンバの増加と減少検出

MKY40 は、MGR (Member Group Register) のビット状態に関わらず、MFR (Member Flag Register) のビットの遷移を検出する機能も装備しています。それは、SSR (System Status Register) のビット 14 (NM: New Member) とビット 15 (MC: Member Care) です。

NM (New Member) は、MFR のビットが“0” から“1” へ遷移した時 (メンバ増加)、MC (Member Care) は、MFR のビットが“1” から“0” へ遷移した時 (メンバ減少)、判定結果 (“1” が真) をフラグビットによって示します。

SSR の NM と MC のビットは、ステータス管理の起点時期に更新されます。この判定結果は、割込みトリガを出力させることもできます。詳細については、“4.5 割込みトリガ発生機能” を参照してください。

SSR の NM (New Member) および MC (Member Care) を管理することにより、ユーザシステムのプログラムは、“4.2.3.6 MGR (Member Group Register)” に記述された MGR を利用しなくても、メンバを管理することができます。

4.2.4 グローバルメモリのデータ遷移検出機能

MKY40は、他のCUnetステーションのデータ更新により生じるグローバルメモリのデータ遷移を検出する機能を搭載しています。この機能によって、通常はグローバルメモリをリードせず、データ遷移を検出した時にだけグローバルメモリをリードするといったアルゴリズムによって、ユーザシステムを構築することも可能です。

本節は、グローバルメモリのデータ遷移を検出する機能とその利用について記述します。

4.2.4.1 データ遷移検出対象を設定する DRCR

グローバルメモリのデータ遷移を検出するためには、DRCR (Data Renewal Check Register) を操作します。64 ビット構成の DRCR (Data Renewal Check Register) の各ビットは、グローバルメモリを構成しているメモリブロックに対応しています。DRCR のビット 0 はメモリブロック 0 に、ビット 7 はメモリブロック 7 に、ビット 63 はメモリブロック 63 (3FH) にそれぞれ対応します。

DRCR のビットへ予め“1”をライトしておくことにより、対応するメモリブロックのデータ遷移に対して以下の検出結果を得ることができます。

- ① SSR (System Status Register) のビット 11 (DR: Data Renewal) フラグビットが“1”へ遷移します。ユーザシステムのプログラムは、SSR の DR フラグビットを監視することにより、グローバルメモリのデータ遷移を認識することができます。
- ② 割込みトリガを出力することができます。
ユーザシステムのプログラムは、割込みトリガを受け付けることにより、グローバルメモリのデータ遷移を認識することができます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

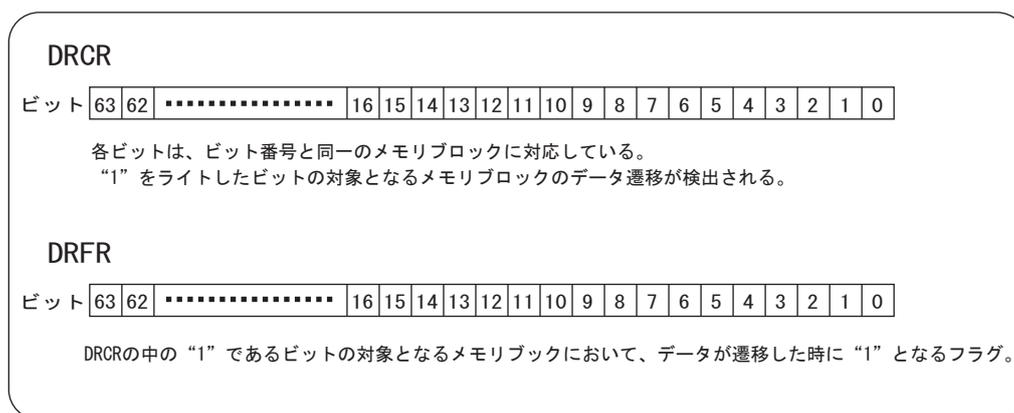


図 4.17 64 ビットの DRCR と DRFR

DRCR の複数のビットへ“1”をライトしておいた場合においても、対応する 1 つ以上のメモリブロックのデータが遷移した時に、検出結果を得ることができます。この場合にどのメモリブロックのデータが遷移したのかを示すフラグビットも MKY40 に搭載されています。それは、64 ビット構成の DRFR (Data Renewal Flag Register) です。DRFR のビット配列も、DRCR と同様にメモリブロックに対応しています (図 4.17 参照)。DRFR のビットの内、データが遷移したメモリブロックに対応するビットが“1”に設定されます。ユーザシステムのプログラムは、DRFR のフラグビットを認識することにより、データが遷移したメモリブロックを認識することができます。



注意事項

SSR のビット 11 (DR) および DRFR は、DRCR に“1”が設定されている場合に限り機能します。自己ステーションが占有しているメモリブロックに対しては (対象の DRCR に“1”が設定されていても)、データ遷移を検出する機能は働きません。

4.2.4.2 DRフラグビットおよびDRFRビットが“0”から“1”へ遷移するタイミング

SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) の各ビットが“0”から“1”へ遷移するタイミングは、他の CUnet ステーションからのパケットを受信しメモリデータ共有動作に基づくデータ複写 (Copy) のためにグローバルメモリ内のデータが以前と異なる新たなデータに更新された時です (図 4.18 参照)。

4.2.4.3 DRフラグビットおよびDRFRビットが“1”から“0”へ遷移するタイミング

SSR のビット 11 (DR) および DRFR の各ビットが“1”から“0”へ遷移するタイミングは、MKY40 利用の環境によって以下の3つのいずれかです (図 4.18 参照)。

- ① IT0CR のビット 8 ~ 14 へライトされている時刻 (INT1CR の DR ビットが“1”の場合は、IT1CR のビット 8 ~ 14 へライトされている時刻) の先頭時期です。“4.5.6 割込みトリガ発生時期指定の注意”および“4.5.7 DR (Data Renewal) 割込みトリガ利用上の注意”に記述されているデータリニューアル割込みの発生タイミングも参照してください。
- ② ただし、“4.5 割込みトリガ発生機能”に記述されているデータリニューアル割込みトリガがアクティブとなった場合は即座に“0”へ遷移せず、一旦フリーズ (その時の状態が継続) します。その後ユーザのレジスタ操作によってデータリニューアル割込みトリガの発生を解除した時点において、その時点の状況が DRFR へ反映されます。詳細については“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。
- ③ “4.4.9 GMM (Global Memory Monitor) 機能”に記述されている SCR (System Control Register) のビット 15 (GMM) が“1”である時は、“1”から“0”へ遷移するタイミングはサイクルの先頭 (ステーションタイム = 0) です。これは、GMM として利用している MKY40 に自己ステーションの時刻が存在しないことに起因します。

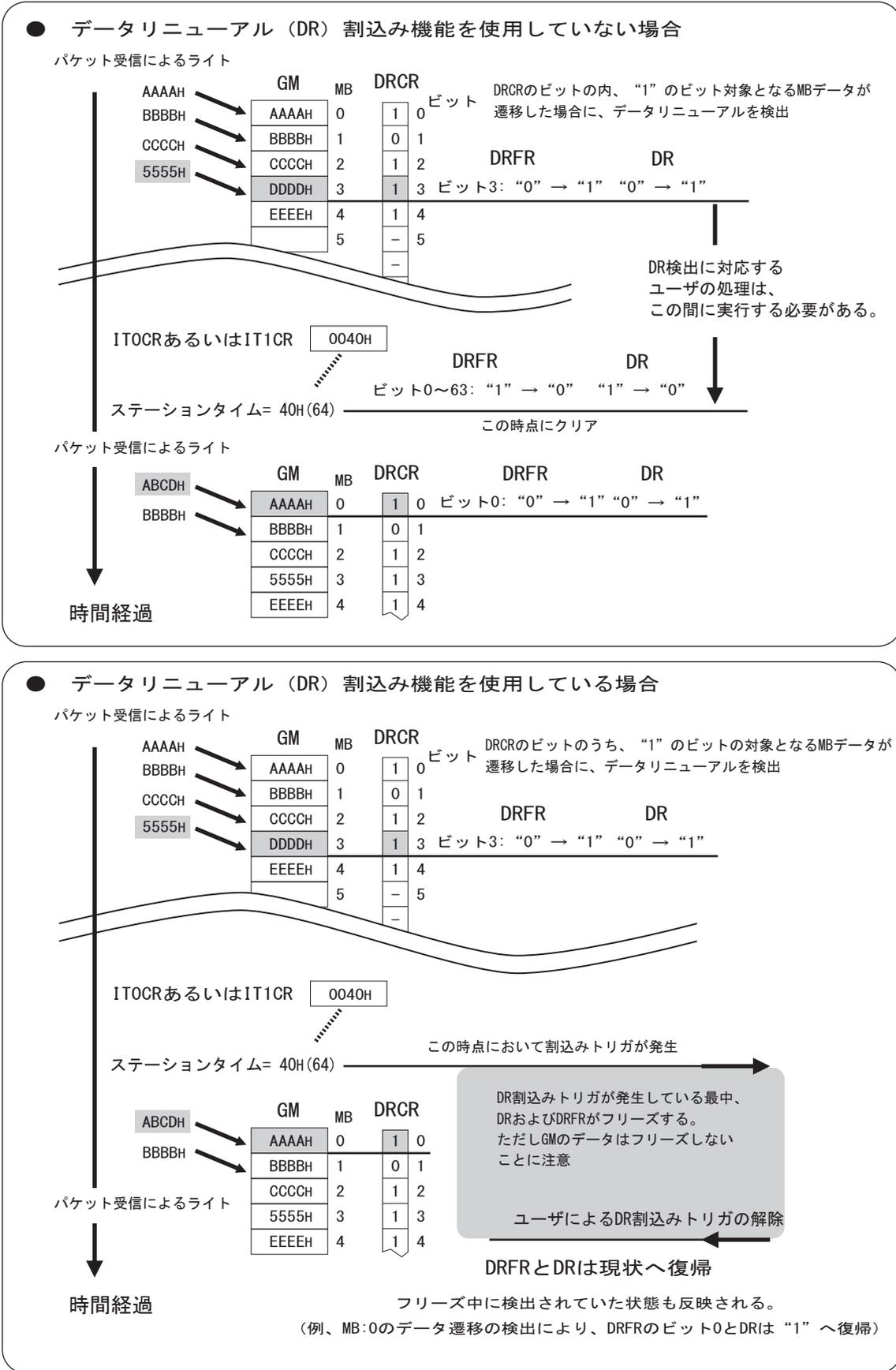


図 4.18 時間経過に対するデータリニューアル検出の概要

4.2.4.4 データ遷移検出機能利用上の注意

CUnetにおける1サイクルタイムは短時間なため、データリニューアルを検出した後のユーザによる処理は、即座に実行してください。データリニューアルを検出した後のユーザによる処理が、次回のサイクルによる対象のメモリブロックへのパケット受信までに間に合わなかった場合、次回のデータ遷移を検出できなかったり、あるいは検出されてもユーザシステムが反応できない場合が生じます。

データリニューアル（DR）割込みトリガ発生機能を利用する場合にも、上記の事項が問題とならないように、ユーザシステムによる処理を実行してください。また、DR割込みトリガの発生タイミング（IT0CR および IT1CR ビット8～14へ設定する値）を、上記の事項が問題とならないタイミングとなるように（例えばパブリックフレームの先頭時期や、自己ステーションの先頭時期など）設定してください。

4.3 メール送受信機能の利用

本節は、MKY40 のメール送受信機能の利用について記述します。

CUnet プロトコルにおいては、CUnet 専用 IC がメール送受信の全プロトコルを保有することが義務付けられています。CUnet プロトコルによるメール送受信は、ランフェーズにある MEM モードの CUnet 専用 IC 同士において機能します。

これに基づき MKY40 によるメール送受信は、受信側にエラーが存在せず、送信側にのみエラーが存在します。このことからユーザシステムのプログラムは、メール送受信機能を以下の基本的な操作と処理によって利用できます。

- ① メール受信許可の操作
- ② メール受信時の操作
- ③ メール送信および送信終了後の操作
- ④ メール送信エラーに対する操作

MKY40 は、上記の基本的なメール送受信の操作を補助するレジスタや付帯機能も搭載しています。

4.3.1 メール受信許可の操作

MKY40は、“4.1.1 メモリマップ”に示される、MRB0 (Mail Receive Buffer 0) とMRB1 (Mail Receive Buffer 1) の2つのメール受信バッファを保有しています。MRB0 およびMRB1 は、それぞれ256バイトです(図4.19参照)。

MRB0 の受信は、MR0CR (Mail Receive 0 Control Register) によって許可されます。MRB1 の受信は、MR1CR (Mail Receive 1 Control Register) によって許可されます(図4.20参照)。

ユーザシステムのプログラムがMR0CRのビット6 (RDY: ReaDY) へ“1”をライトすることにより、MRB0 へのメール受信が許可されます。RDY (ReaDY) は、メールを受信すると“0”へ戻ります。

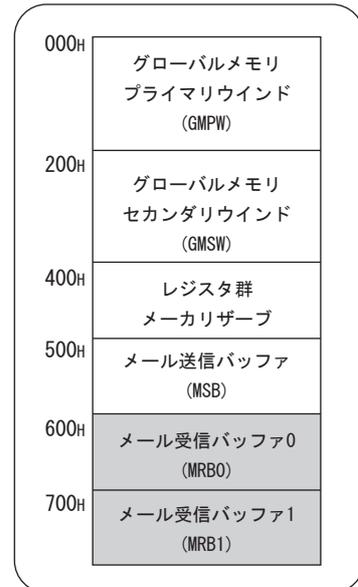


図4.19 メール受信バッファ

MR0CRのRDY (ReaDY) が“1”の時に、本ビットへ“0”をライトすることにより、メール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの“0”のライトは無視され、“禁止”を設定することはできません。

MRB0 (Mail Receive Buffer 0) は、SCR (System Control Register) のSTARTビットが“1”の時にライトプロテクトされます。さらにMR0CRのRDY (ReaDY) ビットが“1”の時にMRB0 (Mail Receive Buffer 0) をリードすると、データは常に“00H”です。

ユーザシステムのプログラムが、MR1CRのビット6 (RDY: ReaDY) へ“1”をライトすることにより、MRB1 へのメール受信が許可されます。RDY (ReaDY) は、メールを受信すると“0”へ戻ります。MR1CRのRDY (ReaDY) ビットが“1”の時に、“0”をライトすることによりメール受信を禁止とすることができます。但し既にメール受信最中であった場合は、本ビットへの“0”のライトは無視され、“禁止”を設定することはできません。

MRB1 (Mail Receive Buffer 1) は、SCR (System Control Register) のSTARTビットが“1”の時にライトプロテクトされます。さらにMR1CRのRDY (ReaDY) ビットが“1”の時にMRB1 (Mail Receive Buffer 1) をリードすると、データは常に“00H”です。

メールによって受信したデータセットは、RDY ビットが“1”のバッファへ格納されます。MR0CR とMR1CRの両方のRDY ビットが“1”の時は、受信したデータセットはMRB0 へ格納されます。

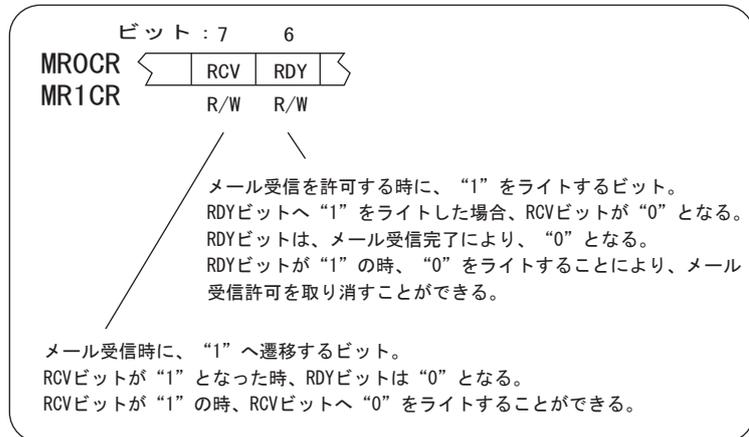


図4.20 メール受信許可

4.3.2 メール受信時の操作

他の CUnet ステーションからメールによって受信したデータセットを MRB0 へ格納した時、MKY40 は以下のように動作します (図 4.21 参照)。

- ① MR0CR のビット 7 (RCV : ReCeIved) を、“1”へ遷移させます。
- ② MR0CR のビット 6 (RDY : ReaDY) を、“0”へ遷移させます。
- ③ MR0CR のビット 0～5 (SiZe : SZ0～5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MR0CR のビット 8～13 (SRC : SouRCe0～5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MR0CR から送信元の SA およびデータセットのサイズを参照し、かつ、MRB0 の先頭からデータセットをリードしなければなりません。なお MR0CR のビット 7 (RCV) へは、“0”をライトすることができます。

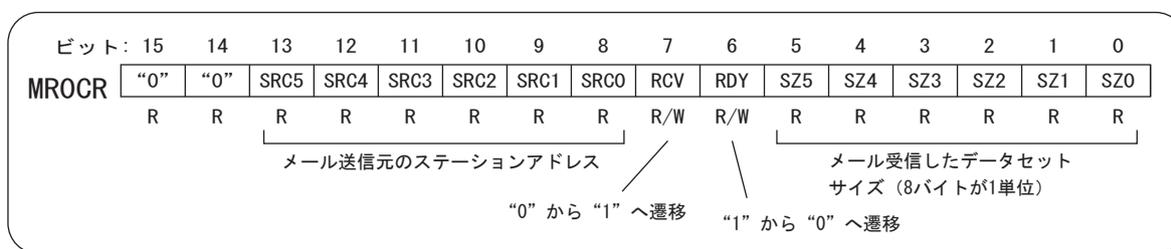


図 4.21 MRB0 へデータセットを格納した時の MR0CR

他の CUnet ステーションからメールによって受信したデータセットを MRB1 へ格納した時、MKY40 は以下のように動作します (図 4.22 参照)。

- ① MR1CR のビット 7 (RCV : ReCeIved) を、“1”へ遷移させます。
- ② MR1CR のビット 6 (RDY : ReaDY) を、“0”へ遷移させます。
- ③ MR1CR のビット 0～5 (SiZe : SZ0～5) へ、受信したメールのデータセットのサイズ (16 進数) を格納します。データセットのサイズは、8 バイトを 1 単位とする値です。
- ④ MR1CR のビット 8～13 (SRC : SouRCe0～5) へ、送信元のステーションアドレス (SA) (16 進数) を格納します。
- ⑤ メール受信割込みトリガが “イネーブル” に設定されていた場合、割込みトリガを出力します。

ユーザシステムのプログラムは、MR1CR から送信元の SA およびデータセットのサイズを参照し、かつ、MRB1 の先頭からデータセットをリードしなければなりません。なお MR1CR のビット 7 (RCV) へは、“0”をライトすることができます。

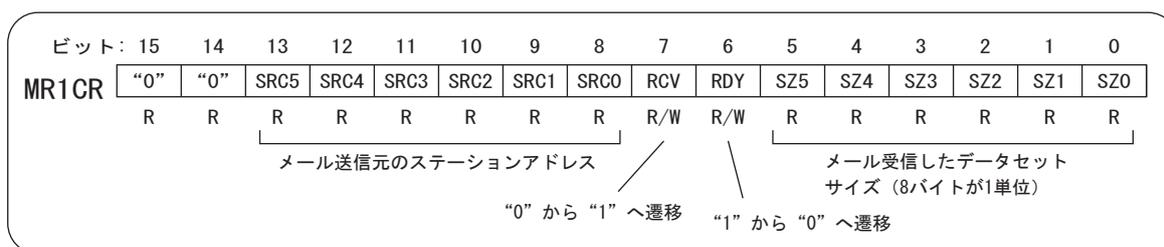


図 4.22 MRB1 へデータセットを格納した時の MR1CR

ユーザシステムがMRB0に対してメール受信後の処理を実行していても、MKY40はMRB1ヘデータセットを格納することが可能です。同様に、ユーザシステムがMRB1に対してメール受信後の処理を実行していても、MRB0ヘデータセットを格納することが可能です。

MR0CRあるいはMR1CRのRCVが“1”の時、SSR (System Status Register) のビット6 (MR: Mail Received) も“1”となります (SSRのMRは、“MR0CRのRCV”と“MR1CRのRCV”の論理和が示されるフラグビットです)。ユーザシステムのプログラムは、“MR0CRとMR1CR”のRCVを個別に認識せずとも) SSRのMRを認識することにより、メール受信を認識することが可能です。

MRB0またはMRB1ヘデータセットを格納した時に、割込みトリガを出力させる機能の詳細については、“**4.5 割込みトリガ発生機能**”を参照してください。

**注意事項**

- ① MKY40が内部におけるメール受信時の動作 (4.3.2の①～④) 中に、ユーザが①～④の動作の対象となるMR0CRまたはMR1CRをリードした時、遷移中のビット状態がリードされる場合があります。MR0CRまたはMR1CRのRCVフラグが“1”へ遷移したことをプログラムによって検出した場合には、20ns以上経過した後に再びレジスタをリードし、取得した値を採用してください。
なお、SSRビット6のMRによってメールの受信を検出した場合、または、割込みトリガを出力させる機能によってメールの受信を検出した場合には、この限りではありません。
- ② MKY40のMR0CRあるいはMR1CRのRDYビットは、SCRビットのRUNビットが“1”の時に操作できません。MR0CRあるいはMR1CRのRCVフラグおよびRDYビットは、SCRビット9のRUNビットが“0”へ遷移した時に自動的に“0”へ遷移します。

4.3.3 メール送信の操作、送信終了後の操作

MKY40 は、MSB (Mail Send Buffer) にライトしたデータセットを、特定の1つのステーションアドレスへメールによって送信できます。その手順を以下に示します。

- ① MSCR (Mail Send Control Register) のビット 14 (SEND) が “0” である時に、送信するデータセットを、MSB の先頭アドレスから順にライトします (図 4.23 参照)。
- ② MSCR のビット 15 (ERR:ERRor) が “0” であることを確認してください。ERR フラグビットが “0” でなかった場合は前回のエラーが残っているため、“4.3.4 メール送信エラーに対する操作” を参照して、ERR フラグビットを “0” にしてください。ERR フラグビットが “1” である場合は、下記④に記述された SEND ビットへの “1” のライトも無視されます (図 4.24 参照)。
- ③ メール送信のタイムアウトを設定する場合は、MSLR (Mail Send Limit time Register) のビット 0 ~ 12 (LiMit Time: LMT0 ~ 12) へ、サイクルタイムを 1 単位とするユーザアプリケーションによって定めるタイムアウト値 (16 進数) をライトします。MSLR の初期値が、ハードウェアリセットによって “1FFFH” にセットされているため、ユーザアプリケーションがタイムアウト値を定めない場合は、タイムアウト値をライトする必要はありません。MSLR へライトしたデータはハードウェアリセットがアクティブになるまで維持されるため、メール送信の都度設定する必要はありません。
- ④ MSCR のビット 0 ~ 5 (SiZe: SZ0 ~ 5) へは送信するデータセットのサイズ (16 進数) を、ビット 8 ~ 13 (DeStination: DST0 ~ 5) へは送信する先のステーションアドレス (SA) (16 進数) を、ビット 14 の SEND へは “1” をライトしてください。
データセットのサイズは、8 バイトを 1 単位とした値です。例えば、データセットが 34 バイトである場合のサイズは “05H” です。データセットが最大の 256 バイトである場合のサイズは “20H” です。

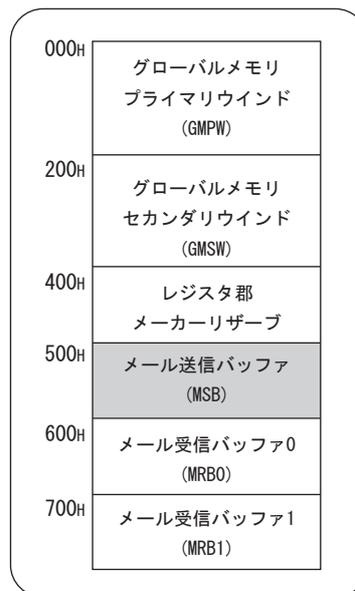


図 4.23 メール送信バッファ

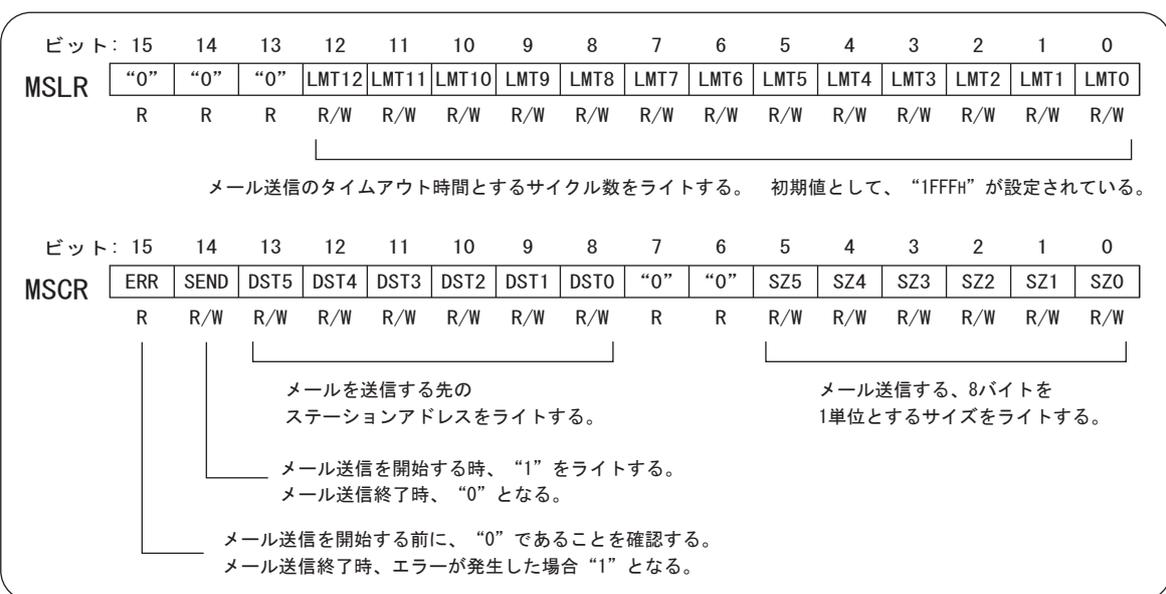


図 4.24 MSLR と MSCR の操作

- ⑤ MKY40は、MSCRのビット14 (SEND) へ“1”がライトされた直後から、メール送信を開始します。MSB(Mail Send Buffer)は、メール送信中ライトプロテクトされます。またメール送信中にMSBをリードすると、データは“00H”に強制されます。
- ⑥ メール送信が終了すると、MSCRのビット14(SEND)が“0”へ戻ります。このビットの遷移により、メール送信の終了を認識できます。
MKY40は、メール送信の終了によって割込みトリガを出力することもできます。詳細については、“**4.5 割込みトリガ発生機能**”を参照してください。
- ⑦ メール送信終了後は、MSCRのビット15 (ERR:ERRor)を確認してください。
ERRフラグビットが“0”の場合、メール送信が正常に終了しています。この場合、MKY40は送信先ステーションのメール受信バッファヘデータセットを確実に送信できたことを保証します。
ERRフラグビットが“1”の場合、“**4.3.4 メール送信エラーに対する操作**”を参照し、ユーザシステムのプログラムによって、適切に処置してください。
ユーザシステムのプログラムがメール送信の所要時間（送信開始から終了までに要した時間）を参照したい場合は、MSRR (Mail Send Result Register) をリードしてください。
MKY40は、メール送信開始から終了までに要したサイクル数を、メール送信終了時点でMSRRへ格納します。MSRRは次のメール送信が完了するまで、あるいはハードウェアリセットがアクティブになるまでこの値を維持します（**図4.25**参照）。



図 4.25 MSRR

4.3.4 メール送信エラーに対する操作

メール送信は、MKY40 に搭載されている CUNet プロトコルによって厳格に送受信手順と品質が管理されています。このため、受信側にはエラーは存在しません。メール送信エラーは、送信側にのみ存在します。

メール送信に関するエラーとしては、以下の種別があります。

- ① **NORDY** (destination NOt ReaDY) : 送信先 CUNet ステーションのメール受信バッファが RDY でないため、メールを送信できなかった。
- ② **NOEX** (destination NOt EXist) : 送信先 CUNet ステーションがネットワークへ接続されていないか、RUN フェーズ以外の状態であるため、メールを送信できなかった。
- ③ **TOUT** (limit Time OUT) : MSLR (Mail Send Limit time Register) に設定されていたサイクルタイム間に、メールの送信を完了できなかった。
- ④ **SZFLT** (SiZe FauLT) : MSCR (Mail Send Control Register) のビット 0 ~ 5 (SiZe : SZ0 ~ 5) へ設定された送信するデータセットのサイズ (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑤ **LMFLT** (LiMit time FauLT) : MSLR (Mail Send Limit time Register) のビット 0 ~ 12 (Limit Time : LT0 ~ 12) へ設定された値 (16 進数) が不正な値であったため、メールを送信できなかった。
- ⑥ **STOP** (communication STOPped) : メール送信中に自己ステーションが RUN フェーズ以外へ遷移し、メール送信を中断した。

MKY40 は、メール送信が正常に終了できなかった場合、MESR (Mail Error Status Register) へ、エラー発生種別を“1”とするステータスを格納します (図 4.26 参照)。

MESR のビット 0 ~ 5 のいずれかが“1”である時、MSCR (Mail Send Control Register) のビット 15 (ERR: ERRor) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“1”に設定されます。メール送信が正常に終了できなかった場合、ユーザシステムのプログラムは MESR を参照し、エラー発生種別に応じて適切に処置してください。MESR は、MESR ビット 0 ~ 5 が存在するアドレスへ何らかのデータをライトすることにより、全て“0”へクリアできます。MESR のクリアに伴い MSCR (Mail Send Control Register) のビット 15 (ERR : ERRor) と SSR (System Status Register) のビット 7 (MSE : Mail Send Error) の両方が“0”へ戻ります。

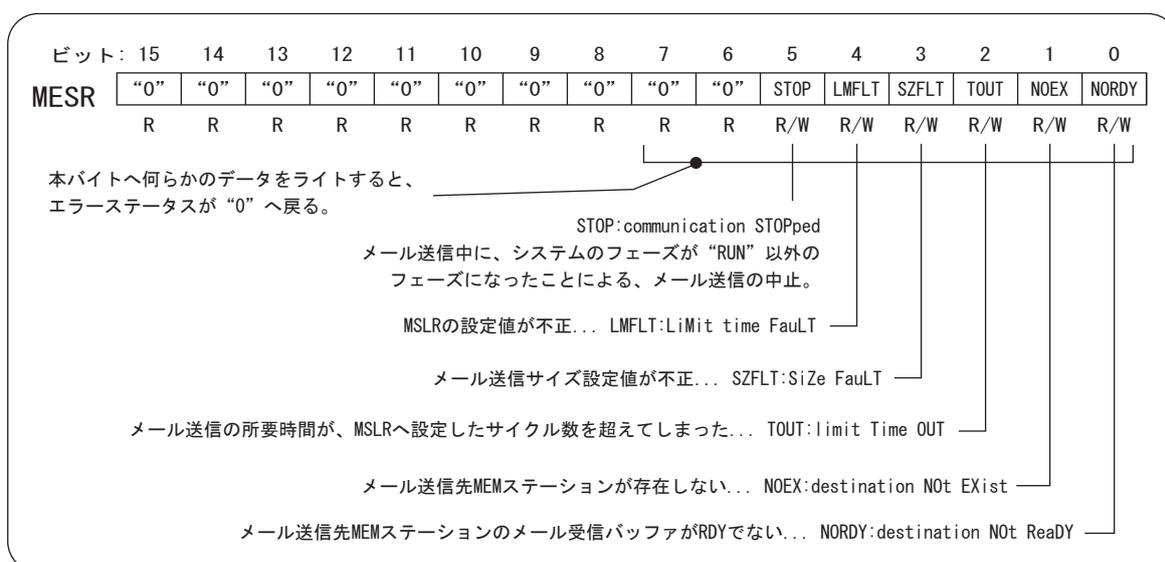


図 4.26 MESR

4.3.5 メール送受信の品質保証

ノイズの侵入や何らかの環境悪化の影響を受けてメールによるパケット送信に支障をきたした場合は、CUNet プロトコルを搭載した MKY40 は、再送（リトライ）によってリカバリします。再送は3回まで実行します。3回の再送を実行してもメールによってパケットを送信できない場合は、NOEX（destination NOt EXist）エラーによって終了します。これにより“送信したメールが行方不明になる（消失する）”、あるいは“データセットの途中が欠如したりデータセットそのものが消失する”などが発生しません。

メールによって送受信されるデータセットの品質は、メモリデータを共有するパケットと同質に保証されています。これにより一般的に発生しがちなデータ化け現象は、起こりえないシステムになっています。



CUNet プロトコルにおいては、メール送信時にリトライ（再送）が生じた場合であっても、メモリデータの共有動作に一切影響を与えません。

4.3.6 メール送受信における付帯機能

CUNet においては、同時に2つの CUNet ステーションがメールを送受信できます。

例えば、SA=1 の MEM ステーションから SA=2 の MEM ステーションへのメールと、SA=3 の MEM ステーションから SA=4 の MEM ステーションへのメールは同時に送受信できます。ただし、SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメール送信が開始された直後に SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメール送信が開始された場合、宛先がメール送受信中のため、先に開始した SA=2 の MEM ステーションから SA=1 の MEM ステーションへのメールが送信されている最中、遅れて開始された SA=3 の MEM ステーションから SA=1 または SA=2 の MEM ステーションへのメールの送信は待たされます。

CUNet においては、複数のメール送信が同時に開始された時の優先権管理機能も保有しています。

CUNet においては、同時に3つ以上のメール送信が開始された場合、前方（小さな値）のステーションアドレス（SA）からのメール送信が優先されます。この優先権はローテーションされるため、ステーションアドレス（SA）が前方（小さな値）の CUNet ステーションが間断なくメールを送信した場合も、後方（大きな値）のステーションアドレス（SA）が設定されている MKY40 のメール送信が限りなく待たされるということは発生しません。

4.3.7 メール送受信時間の予測

MKY40 におけるメール送受信の所要時間を予測したい場合は、式 4.3 によって算出できます。但し、2つ以上の CUNet ステーションが同時期に同一のステーションへメールを送信した場合に発生する待ち時間、およびパケット伝達に支障をきたした場合の再送（リトライ）時間は含みません。したがって、式 4.3 によって算出できる時間は、ユーザシステムを構想する時点の目安としてご利用ください。

$$\text{式4.3} \quad \left(\left(\frac{\text{データセットのバイト数} + 7}{8} \right) + 3 \right) \times \text{サイクルタイム} \quad [\text{秒}]$$

下線の部分解は、小数点以下を切捨てした整数です。



例として、転送レートが 12Mbps の 4 つの MEM ステーションによって稼動するシステム（FS=3）において、250 バイトのメールを送受信する目安の所要時間は、 $\left(\left(\frac{250+7}{8} \right) + 3 \right) \times 155 \mu\text{s} = 35 \times 155 \mu\text{s} = 5.43\text{ms}$ です。

4.3.8 メール送受信時における注意点

ユーザシステムが MKY40 のメール送受信機能を利用する時、以下の点に注意してください。

- ① メールを送信できる宛先は、MEM ステーションに限られます。
IO ステーションのアドレスや OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定することはできません。誤って IO ステーションのアドレスをメールの宛先に指定したメール送信は、NORDY (destination NOt ReaDY) エラーによって終了します。誤って OWN 設定により占有拡張されているステーションアドレスをメールの宛先に指定したメール送信は、NOEX (destination NOt EXist) エラーによって終了します。
- ② 一斉同報 (一般的な RS-232C に用いられる “垂れ流し” と俗称される手法や、LAN 通信における “ブロードキャスト” と称される手法) のメール送信はできません。
- ③ メールの送信および受信のサイズは、8 バイト単位です。



参考

MKY40 は、完全なプロトコルによって、送信の成否が管理されている他にデータの品質も保証しています。このため、MKY40 のプロトコルが保証できないメール送受信方式 (一斉同報) を利用することはできません。

4.4 CUnet システムの詳細な操作や管理

ユーザシステムのプログラムは、MKY40 を操作することによって、以下に示すように CUnet を詳細に操作や管理することができます。

- ① ネットワーク起動前のモニタリング
- ② サイクルタイムの変更（リサイズ）
- ③ ブレークフェーズの CUnet ステーションの検出と対処
- ④ ジャマール検出と対処
- ⑤ ネットワークの品質管理と表示
- ⑥ PING 命令
- ⑦ 各ステーションのモードを検出する機能
- ⑧ 汎用出力ポートの操作
- ⑨ GMM（Global Memory Monitor）機能
- ⑩ フレームオプション [HUB 対応]

4.4.1 ネットワーク起動前のモニタリング

MKY40は、ネットワーク起動前（SCRのSTARTビットが“0”の時）であっても、他のCUnetステーションからのパケットを受信します。この受信したパケットによって、グローバルメモリのデータ更新やメール受信は実行されませんが、RFR（Receive Flag Register）やFSR（Final Station Register）の更新、および継続的タイムシェアリングにおける他のCUnetステーションとの同期や校正が実行されます。これにより、ユーザシステムのプログラムは以下のようなネットワーク起動前のモニタリングを実施することができます。

- ① ネットワーク上にリサイズされたサイクルが稼動していることを認識することができます。
FSRのビット0～5（FS0～5）に格納されている値が、初期値の63（3FH）以外の値である場合、リサイズされたサイクルが稼動しています。またFSRの値が自己ステーションの占有エリアよりも小さかった場合、自己ステーションのネットワークを起動した後にブレイクフェーズになることも予知できます。
- ② SCR（System Control Register）のビット0～6（ST0～6）をリードすることにより、継続的タイムシェアリングの稼動タイミングであるステーションタイム（ST）を認識することができます。
- ③ ステーションタイム（ST）がFSR（Final Station Register）に格納されている値を超えているタイミングの時（パブリックフレームの時期）、RFR（Receive Flag Register）をリードすることにより、自己ステーションの占有エリア以外のビットに“1”のビットが存在すれば、そのビットに対応するステーションアドレスを持つCUnetステーションがネットワーク上に稼動していることを認知することができます。



注意事項

他のCUnetステーションが全く稼動していない状態の時は、上記②において取得できるステーションタイム（ST）は、フリーランの状態であって、他のCUnetステーションと同期していません。



参考

上記②において取得できるステーションタイム（ST）は、ネットワーク起動後もネットワーク起動前と同様にタイミングの認識に利用できます。

4.4.2 サイクルタイムの変更（リサイズ）

MKY40は、CUnetプロトコルの“実用性の向上”に規定されるリサイズが可能です。

CUnetプロトコルを搭載したMKY40によって構築されるCUentにおいては、ファイナルステーション（FS）の初期値は63（3FH）です。リサイズは、ユーザシステムにおいて64個のフレームを必要としない場合に利用価値があります。例えばSA=0とSA=1の2つのMEMステーションしか使用しないユーザシステムの場合、サイクルを構成するSA=2～63のステーションタイム（ST）の間、大きなネットワーク未使用時間が生じます。そこでファイナルステーション（FS）の値を“1”に変更すれば、最も効率の良いサイクルによる利用が可能となります。例えば、12Mbps運用の場合、メモリデータ共有の応答速度は、2.365msから102 μ sへと高速になります（図4.27参照）。

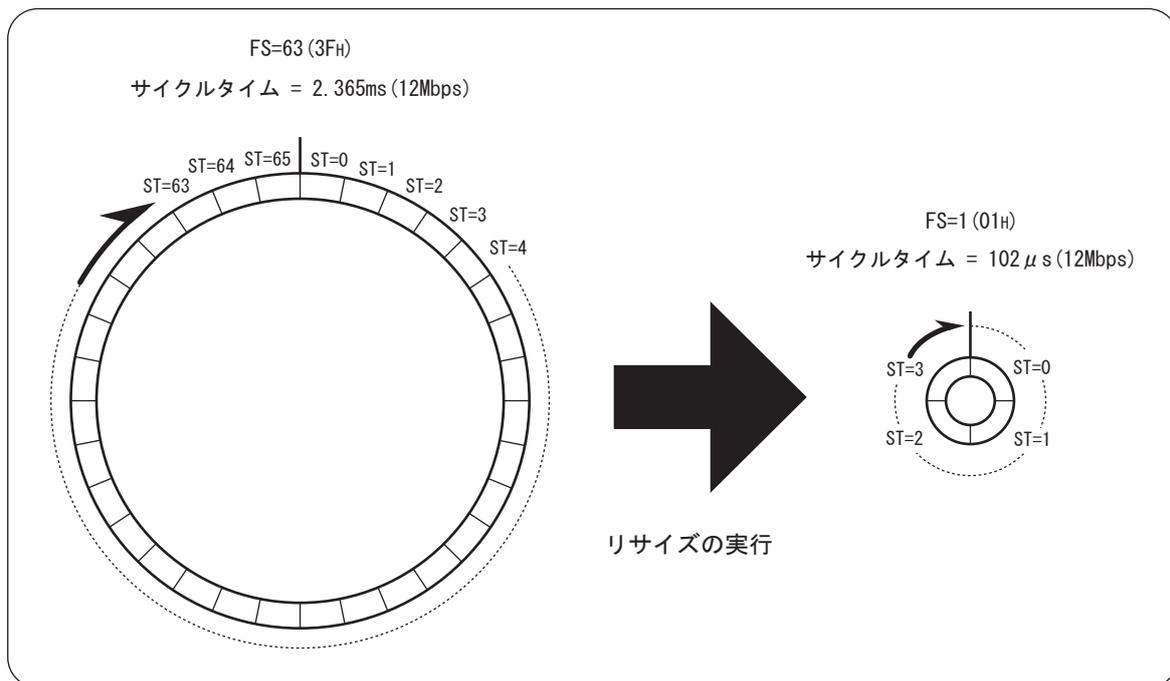


図 4.27 リサイズ

4.4.2.1 リサイズの実行

リサイズは、ユーザシステムのプログラムが NFSR (New Final Station Register) へリサイズする新たな FS (Final Station) 値をライトすることによって実行されます。リサイズの操作時には、NFSR (New Final Station Register) へライトする値が拒否されたり、他の CUnet ステーションとの相関により影響を受ける場合があります。したがってリサイズを操作する際は、ユーザシステムのプログラムによって以下の手順を実行してください (図 4.28 参照)。

- ① NFSR (New Final Station Register) のビット 0～5 (NFS0～5) へ、リサイズする値をライトしてください。
- ② NFSR をリードし、ライトした値がレジスタに格納されているかを確認してください。もしライトした値がレジスタへ格納されていない場合は、ライトできない状態か、ライトした値が拒否される値です。“4.4.2.2 リサイズの拒否”を参照し、リサイズの操作を中止するか、適切な値によって再実行してください。
- ③ “FS= 最大値 63 (3FH)” サイクルタイムの 4 倍の時間を待ちます。
- ④ SSR (System Status Register) をリードし、SSR のビット 8 (RO : Resize Overlap) が “0” であることを確認してください。もし RO ビットが “1” の場合は、“4.4.2.3 リサイズオーバーラップ (RO)” と “4.4.2.4 RO 発生時の注意” を参照して、ユーザシステムによって適切に対処してください。
- ⑤ FSR (Final Station Register) をリードし、NFSR へライトした値と同じ値になっていることを確認してください。もし NFSR へライトした値と異なる場合は、上記③の待ち時間が不十分であるか、④の RO (Resize Overlap) が発生しているか、あるいはランフェーズが強制終了させられている可能性があります。SCR (System Control Register) をリードしビット 9 (RUN) が “1” (ランフェーズ) であることを確認し、③からの操作を再度実行してください。SCR の RUN ビットが “0” である場合は、“4.1.8 ネットワークの停止” を参照して、ユーザシステムによって適切に対処してください。
- ⑥ NFSR へ “00H” をライトして、リサイズの実行を終了してください。

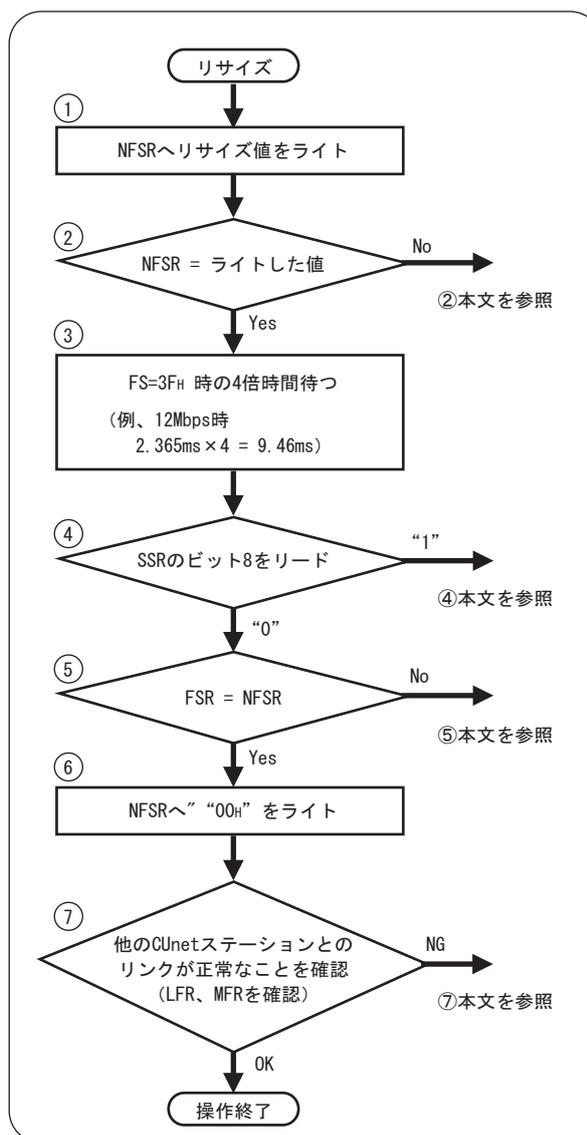


図 4.28 リサイズの実行

- ⑦ リサイズ操作により OC (Out of Cycle) による停止となった CUnet ステーションがネットワーク上に存在していた場合、その CUnet ステーションに対応する LFR (Link Flag Register) および MFR (Member Flag Register) のビットがリサイズ操作前の状態から遷移します。

“4.2.3 グローバルメモリ (GM) データの品質保証” の節に記述された、LFR や MFR およびこれらの監視機能によって、ユーザシステムが必要とする他の CUnet ステーションとのリンクが正常であることを確認してください。

ユーザシステムが必要とする他の CUnet ステーションとのリンクが正常でない場合は、“4.1.8 ネットワークの停止” (特に OC による停止) を参照して、拡張リサイズを施し、停止した CUnet ステーションの参入を促すなど、ユーザシステムによって適切に対処してください。

CUnet は、いずれか“1”つの CUnet ステーションがリサイズを実行すると、ネットワークへ接続されている全ての CUnet ステーションのファイナルステーション (FS : Final Station) 値が、リサイズした値へ更新されます。この場合、リサイズを実行した当事者以外の MEM ステーションは、FS 値が更新された時に割込みトリガを出力することができます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

**注意事項**

必ず上記⑥のように NFSR へ“00H”をライトして、リサイズの終了操作を実施してください。NFSR が“00H”以外となる状況のまま放置しないでください。

NFSR へ“00H”以外の値がライトされている場合、サイクルタイムは式 4.2 (“4.1.6 CUnet のサイクルタイム”参照) の算式と一致しません。

ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

**参考**

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます (I/O ステーションからは実行できません)。

4.4.2.2 リサイズの拒否

リサイズの操作において、以下の場合は NFSR (New Final Station Register) へのライトが拒否されます。

- ① MKY40 がランフェーズでない時、NFSR へのライトはプロテクトされます。
- ② 自己ステーションの占有エリアを除外する値がライトされた時、NFSR へのライトはプロテクトされます。例えば、自己ステーションが“SA=2、OWN=5”に設定されていた場合、占有エリアが“02H～06H”であるため、“06H”以上の値はライト可能ですが、“05H”以下の値は自己ステーションの占有エリアを除外する値となるため拒否されます。

MKY40 は、上記のライトプロテクトによって CUent の稼動における矛盾の発生を回避しています。

4.4.2.3 リサイズオーバーラップ (RO)

リサイズは、MEM ステーションであれば、どの MEM ステーションからでも実行できます。ただし、複数の MEM ステーションがリサイズを実行した場合、以下の 2 点が規定されています。

- ① 先にリサイズを実行しようとした MEM ステーションのリサイズが優先されます。後からリサイズを実行した MEM ステーションの操作は無視されます。
- ② リサイズの実行が同時であった場合、ステーションアドレスの小さな MEM ステーションによるリサイズが優先され、他の MEM ステーションの操作は無視されます。

リサイズ操作が無視された MEM ステーションは、SSR (System Status Register) のビット 8 (RO: Resize Overlap) を“1”へ遷移させ、“リサイズオーバーラップ”をユーザシステムのプログラムへ警告します。

リサイズオーバーラップが発生した場合は、NFSR へ“00H”をライトして、リサイズ操作を終了させてください。また、リサイズオーバーラップの発生は、ユーザシステムのアルゴリズム自体に矛盾があることを示します。お客様ご自身が、システムのアルゴリズムを適正化してください。リサイズオーバーラップの警告 (SSR の RO ビットが“1”) は、ユーザシステムのプログラムが同ビット (SSR の RO ビット) へ“1”をライトすることによって“0”へクリアできます (図 4.29 参照)。MKY40 は、リサイズオーバーラップが発生した時に、割込みトリガを出力することができます。詳細は“4.5 割込みトリガ発生機能”を参照してください。



図 4.29 SSR の RO ビット

4.4.2.4 RO発生時の注意

リサイズオーバーラップが発生している時（自己ステーションの NFSR に “00h” 以外の値が格納されている時）に、自己ステーションよりも前方（小さな値）のステーションアドレスの MEM ステーションが先にリサイズを終えた場合（NFSR へ “00h” をライト）、即座に自己ステーションのリサイズが実行され、自己ステーションが NFSR へライトした値にファイナルステーション（FS）値がリサイズされます。また自己ステーションよりも前方（小さな値）のステーションアドレスの MEM ステーションがリサイズを終える前に、自己ステーションの NFSR へ “00h” をライトしてリサイズ操作を中断した場合は、自己ステーションよりも前方（小さな値）のステーションアドレスの MEM ステーションのリサイズ操作によるファイナルステーション（FS）値にリサイズされます。

このように、リサイズオーバーラップが発生している場合は、関係する MEM ステーションの操作タイミングによって、リサイズされるファイナルステーション（FS）値が特定し難くなります。

このような事象を回避するためには、ユーザシステムによっては、以下2例のようにリサイズオーバーラップが発生しないアルゴリズムを採用することを推奨します。

- ① リサイズを実行する MEM ステーションを、1つに特定しておく。
- ② 複数の MEM ステーションがリサイズを実行するユーザシステムの場合は、リサイズを実行する権利の取得を必要とする上位概念（プログラム）をユーザシステムが保有する。

4.4.3 ブレークフェーズステーションの検出と対処

MKY40 は、ネットワーク起動後にブレークフェーズに入る場合があります。

“4.4.2 サイクルタイムの変更 (リサイズ)” によってファイナルステーション (FS) 値が変更されたサイクルに、FS 値よりも後方 (大きな値) の占有エリアを持つ CUnet ステーションがネットワークを起動した場合と、“4.1.8.2 OC (Out of Cycle) の詳細” に記述された OC (Out of Cycle) 停止した CUnet ステーションが再度ネットワークを起動した場合です。

ブレークフェーズになった CUnet ステーションは、サイクルを構成するパブリックフレームの時期に、既にネットワーク上に稼動しているランフェーズの他の CUnet ステーションへ向けてブレークパケットを発行して存在をアピールします。このブレークパケットを受信したランフェーズ中の MKY40 は、SSR (System Status Register) のビット 10 (BD: Break Detect) を “1” にして、ユーザシステムのプログラムへブレークフェーズの CUnet ステーションが存在することを警告します (図 4.30 参照)。



図 4.30 SSR の BD ビット

MKY40 は、SSR のビット 10 (BD) が “1” へ遷移した時に、割込みトリガを出力することができます。詳細については、“4.5 割込みトリガ発生機能” を参照してください。

SSR のビット 10 (BD) は、“1” をライトすることによりクリアすることができますが、その後にブレークパケットを受信した場合は再度 “1” へ遷移します。

割込みトリガを受け付けることにより、または SSR をリードし BD ビットが “1” であることを認識することによって、ブレークフェーズの CUnet ステーションが存在することを認識したユーザシステムのプログラムが、ブレークフェーズの CUnet ステーションをサイクルに加える場合、“4.4.2 サイクルタイムの変更 (リサイズ)” の操作によって、FS 値を変更する拡張リサイズを実施してください。



参考

拡張リサイズを実行する MEM ステーションにとって、この時点においてはブレークフェーズの CUnet ステーションのステーションアドレスや占有幅は不明なため、通常は最大の FS 値 “63 (3FH)” への拡張リサイズを実施することを推奨します。

4.4.4 ジャマー検出と対処

CUnet プロトコルにおいては、ジャマー (Jammer) (何らかの故障や障害を持ったハードウェアによって送信はできるが受信ができない CUnet ステーション) を検出した時、ユーザシステムにジャマーが存在することを警告することが義務付けられています。

MKY40 は、ジャマーを検出した場合に、SSR (System Status Register) のビット 9 (JD: Jammer Detect) を“1”にして、ユーザシステムのプログラムへ警告します (図 4.31 参照)。

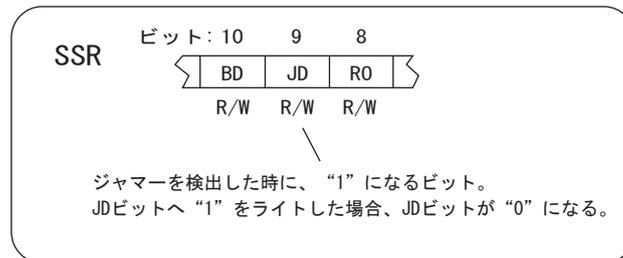


図 4.31 SSR の JD ビット

SSR のビット 9 (JD) は、“1”をライトすることによりクリアすることができます。その後にジャマーを検出した場合は、再度“1”へ遷移します。

MKY40 は、SSR のビット 9 (JD) が“1”となった時に、割込みトリガを出力することができます。詳細については“4.5 割込みトリガ発生機能”を参照してください。

割込みトリガを受け付けることにより、または SSR をリードし JD ビットが“1”であることを認識することにより、ジャマーを認識したユーザシステムのプログラムは、ユーザシステムのオペレータあるいは管理者へ警告を発して、オペレータあるいは管理者によるジャマーの撤去、あるいは故障の修復を要求してください。

なお、MKY40 におけるジャマー検出は、全ての CUnet ステーションが何らかの故障や障害を持ったハードウェアでない場合にも、稀にネットワーク起動時の過渡現象 (僅かな起動タイミングの相違) によって検出されてしまう場合があります。したがって SSR の JD ビットが“1”であることを検出した場合は、一旦 JD ビットをクリアし、ネットワーク起動後の過渡状態でない状態であってもジャマーが検出されることを確認してから、オペレータあるいは管理者へ警告を発してください。



参考

ジャマーの CUnet ステーションはパケットを受信できないのため、ネットワークからジャマーを強制的に停止することはできません。ジャマーは、オペレータあるいは管理者が撤去するか、あるいは故障を修復する必要があります。

4.4.5 ネットワークの品質管理と表示

MKY40は、ネットワークの品質を管理できる LCARE (Link CARE) と MCARE (Member CARE) の2つの概念を装備しています。さらに“他の CUNet ステーションとのリンクが安定している”状態を表示できる #MON (MONitor) 端子も装備しています。本節の理解にあたっては、“4.2.3 グローバルメモリ (GM) データの品質保証”も参照することを推奨します。

4.4.5.1 LCARE 信号出力

安定した環境による CUNet の運用においては、CUNet プロトコルに定義される“リンク切れ”は発生しません。“リンク切れ”は、“CUNet ステーションの離脱”や“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”および“ネットワークが限界性能にある場合”に発生します。したがってユーザシステムが“CUNet ステーションの離脱”を意図的に実行した時に発生する“リンク切れ”以外は、“ノイズの侵入や何らかの環境悪化の影響を受けてパケットの到達に支障をきたした場合”と“ネットワークが限界性能にある場合”に特定できます。この“リンク切れ”の発生を管理することにより、ネットワークのハードウェアおよび環境の品質を認識することが可能です。“リンク切れ”は、“LCARE (Link CARE)”とも呼びます。

MKY40は、“4.2.3.3 LGR (Link Group Register)”に記述されている LGR に格納されているビット状態に関わらず、“LCARE (Link CARE)”が発生した時に #LCARE 端子から所定の時間 Lo となるパルス信号を出力します。

この #LCARE 端子へ LED 表示部品を接続しておくことにより、LCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.8 LED 表示用端子の接続”を参照してください。

LCARE の発生回数は、最大 255 回までのカウントが CCTR (Care CounTer Register) のビット 0～7 (LCC0～7) に示されます (図 4.32 参照)。CCTR の LCC は、256 回以上をカウントせず、“255 (FFH)”のまま維持します。ユーザシステムのプログラムが LCARE 発生回数を認識したい場合は、CCTR (Care CounTer Register) のビット 0～7 (LCC0～7) をリードしてください。ユーザシステムのプログラムが LCARE 発生回数のカウントをクリアしたい場合は、CCTR (Care CounTer Register) のビット 0 へ“1”をライトしてください。



図 4.32 CCTR の LCARE 発生回数

#LCARE 端子から出力される Lo パルスは、“2096896 × TxI”時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため、時間内に新たに“リンク切れ”が発生した場合は、Lo パルスの幅が長くなります。MKY40 の駆動クロックが 48MHz の場合、Lo パルスの最小時間は、約 43ms であり、LED 表示の点灯を目視可能です。

#LCARE 端子から出力される Lo パルスの幅を、“5～7Tbps”時間の短いパルスへ変更することができます。短いパルスへ変更する場合は、“**4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで**”に記述された操作の②－（3）時点において、BCR（Basic Control Register）のビット 14（CP：Care Pulse）へ“1”をライトしてください（この操作により、“**4.4.5.2 MCARE 信号出力**”に記述された #MCARE 端子から出力される Lo パルスも短くなります。図 4.33 参照）。

この場合、LED 表示の点灯を目視することは不可能になりますが、LCARE が発生する度に Lo パルスを出力する仕様は、ユーザシステムの回路によって LCARE の発生回数をカウントするといった利用に適しています。



図 4.33 BCR の CP ビット



注意事項

LCARE の発生および #LCARE 端子からの Lo パルス出力は、“**4.4.2 サイクルタイムの変更（リサイズ）**”において記述されている縮小リサイズの実行により、以前にリンクが成立していた CUnet ステーションがリンク不能になった場合にも発生します。

4.4.5.2 MCARE 信号出力

CUNet においては、“CUNet ステーションが離脱した時”と“極めて劣悪な環境にシステムがある時”および“ネットワークが限界性能にある場合”に、同一の CUNet ステーションに 3 回連続して“リンク切れ”が発生します。MKY40 においては、“リンク切れ”が 3 回連続した場合は“4.2.3.5 MFR (Member Flag Register)”に記述された MFR が管理しており、“4.2.3.7 メンバの増加と減少検出”に記述された“メンバの減少”と判定されます。

“メンバの減少”は、“MCARE (Member CARE)”とも呼びます。

MKY40 は、“4.2.3.6 MGR (Member Group Register)”に記述されている MGR に格納されているビット状態に関わらず、MCARE が発生した時に #MCARE 端子から所定の時間 Lo となるパルス信号を出力します。この #MCARE 端子へ LED 表示部品を接続しておくことにより、MCARE の発生を目視確認することができます。LED 表示部品の接続については、“3.8 LED 表示用端子の接続”を参照してください。

MCARE は、ユーザシステムが“CUNet ステーションの離脱”を意図的に実行した時に発生する以外、“極めて劣悪な環境にシステムがある時”か“ネットワークが限界性能にある場合”に特定できます。したがってユーザは、MCARE の発生を管理することにより、ネットワークのハードウェアおよび環境の品質程度を認識することが可能です。

MCARE の発生回数は、CCTR (Care Counter Register) のビット 8～15 (MCC0～7) に最大 255 回まで示されます (図 4.34 参照)。CCTR の MCC は、256 回以上をカウントせず、“255 (FFH)”のまま維持します。

ユーザシステムのプログラムが MCARE の発生回数を認識したい場合は、CCTR (Care Counter Register) のビット 8～15 (MCC0～7) をリードしてください。

ユーザシステムのプログラムが MCARE 発生回数のカウントをクリアしたい場合は、CCTR (Care Counter Register) のビット 8 へ“1”をライトしてください。

#MCARE 端子から出力される Lo パルスは“ $2096896 \times T_{x1}$ ”時間を最小とするリトリガブルワンショットマルチバイブレータによって生成されます。このため、時間内に新たに MCARE が発生した場合は、Lo パルスの幅が長くなります。MKY40 の駆動クロックが 48MHz の場合、Lo パルスの最小時間は、約 43ms であり、LED 表示の点灯を目視可能です。

#MCARE 端子から出力される Lo パルスの幅を、“5～7Tbps”時間の短いパルスへ変更することができます。短いパルスへ変更する場合は、“4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで”に記述された操作の②- (3) 時点において、BCR (Basic Control Register) のビット 14 (CP: Care Pulse) へ“1”をライトしてください (この操作により、“4.4.5.1 LCARE 信号出力”に記述されている #LCARE 端子から出力される Lo パルスも短くなります。図 4.33 参照)。この場合、LED 表示の点灯を目視すること

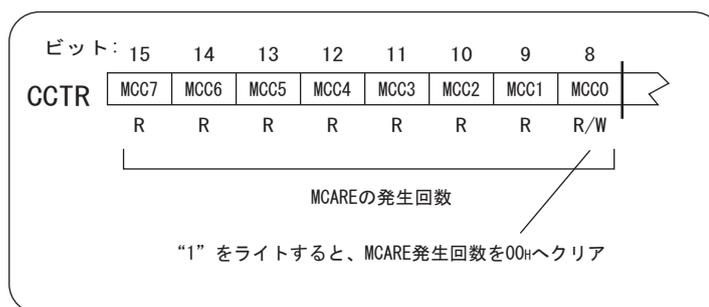


図 4.34 CCTR の MCARE 発生回数

は不能になりますが、MCAREが発生する度にLoパルスを出力する仕様は、ユーザシステムの回路によってMCAREの発生回数をカウントするといった利用に適しています。


注意事項

MCAREの発生および#MCARE端子からのLoパルス出力は、“4.4.2 サイクルタイムの変更(リサイズ)”において記述されている縮小リサイズの実行により、以前にリンクが成立していたCUnetステーションがリンク不能になった場合にも発生します。

4.4.5.3 MON信号出力

MKY40は、リンクが3回以上連続して成立した場合、“他のCUnetステーションとのリンクが安定している”と判定します。この状態は、“4.2.3.5 MFR (Member Flag Register)”に記述されたMFRによって管理されています。MKY40は、MFRの自己ステーション以外のCUnetステーションに対応するビットのいずれかに“1”が格納されている時、#MON端子へLoレベルを出力し、それ以外の状態の時Hiレベルを出力します(図4.35参照)。この#MON端子へLED表示部品をLoレベル出力の時に点灯するように接続しておくことにより、“他のCUnetステーションとのリンクが安定している”状態を目視確認することができます。LED表示部品の接続については、“3.8 LED表示用端子の接続”を参照してください。

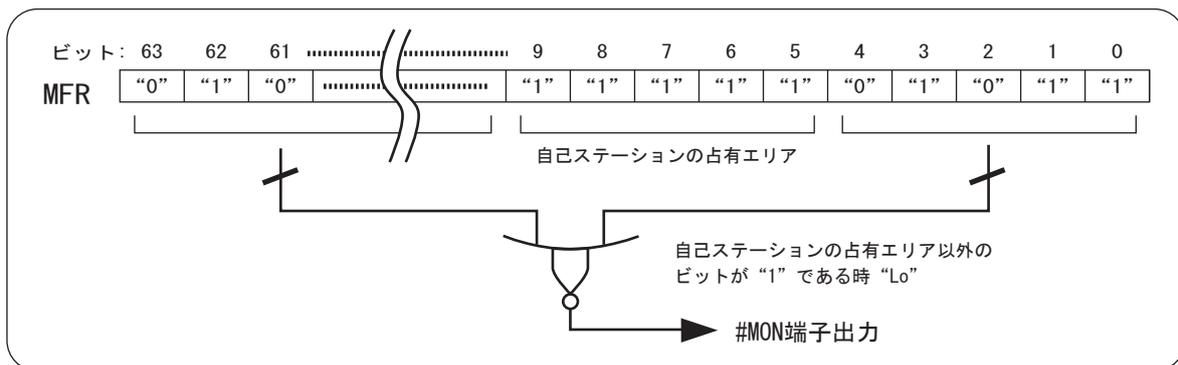


図 4.35 #MON 端子への出力例

4.4.6 PING 命令

ランフェーズ中の MKY40 から、ネットワークへ接続された別の CUnet ステーションの PING 端子出力を操作する PING 命令を、ネットワークへ発行することができます。

MKY40 の PING 端子は、ハードウェアリセット後 Lo レベル出力を維持しています。ネットワークから PING 命令を受信した MKY40 は、PING 端子のレベルを“Hi”にして出力します。

PING 命令を受信し、PING 端子が“Hi レベル出力”を維持していた MKY40 は、後に他の CUnet ステーションからのパケットを受信した時、PING 端子のレベルを Lo にした信号を出力し、以後次の PING 命令を受信するまで Lo レベルを維持します。

PING 命令の受信による割込みトリガをイネーブルにしておくことにより、PING 命令を受信した場合に、MKY40 からユーザ CPU へ割込みトリガを出力させることもできます。詳細については、“4.5 割込みトリガ発生機能”を参照してください。

PING 端子出力の利用目的は、CUnet プロトコルに特定されておられません。利用目的は、ユーザシステムにおいて自由に定められます。例えば、ユーザ CPU が暴走してしまった場合などに、PING 端子の出力によってユーザ CPU をリセットさせるなどの利用に便利です。

MKY40 において、ネットワークへ接続された別の CUnet ステーションの PING 端子出力を操作する PING 命令をネットワークへ発行する時は、以下を操作してください（図 4.36 参照）。

- ① QCR（Query Control Register）のビット 0～5（Target Station：TS0～5）へ、PING 信号の発生先ステーションアドレス（SA）を、ビット 7（PING）へ“1”をライトしてください。
- ② ネットワークに命令が発行されると、QCR ビット 7（PING）は“0”へ戻ります。

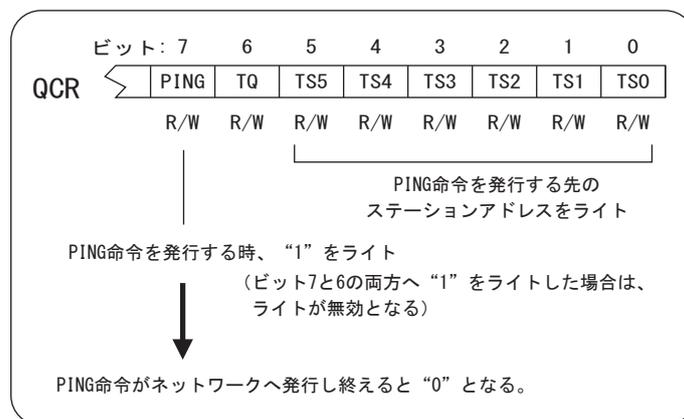


図 4.36 PING 命令の発行



注意事項

PING 命令は、ネットワークに存在しない CUnet ステーションのステーションアドレスに向けても発行できます。しかし、相手先の PING 端子の出力が Hi レベルへ遷移したかは保証されません。

4.4.7 各ステーションのモードを検出する機能

ユーザシステムは、MKY40 の QCR (Query Control Register) を操作することにより、ステーションアドレスに対応する各 CUnet ステーションのモードを、表 4-2 に示すタイプコードによって認識することができます。ネットワークへ接続された別の CUnet ステーションのモードを調査する操作は、以下の手順です (図 4.37 参照)。

- ① QCR のビット 0 ~ 5 (Target Station : TS0 ~ 5) へ、調査する対象のステーションアドレス (SA) を、ビット 6 (Try Query : TQ) へ “1” をライトしてください。
- ② 調査が完了すると、QCR のビット 6 (Try Query : TQ) が “0” へ戻り、ビット 8 ~ 12 (Station Type : ST0 ~ 4) へ表 4-2 に示されるタイプコードが格納されます。
- ③ ユーザシステムのプログラムによって、QCR をリードし、かつビット 6 (TQ) が “0” であることを確認し、QCR のビット 8 ~ 12 (ST0 ~ 4) のタイプコードを取得してください。

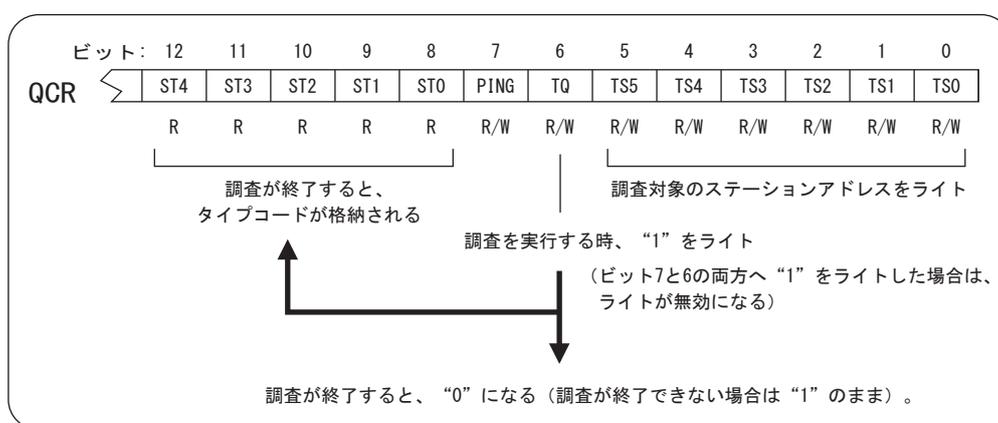


図 4.37 各 MEM ステーションのモード調査

調査対象として指定した CUnet ステーションがネットワークに参加していない場合、QCR のビット 6 (Try Query : TQ) は “0” へ戻らず、“1” から遷移しません。数サイクル時間が経過しても TQ ビットが “0” へ戻らない場合、調査対象として指定した CUnet ステーションは、ネットワークへ接続されていないか、あるいは稼動していません。この場合、TQ ビットへ “0” をライトし、モードの調査を終了させてください。操作を誤って TQ ビットが “1” のままの状態が継続しても、PING 命令を発行できないのみであり、MKY40 の他機能に全く支障を与えません。

表 4-2 タイプコード

QCR ビット 8 ~ 12 へセットされるタイプコード	CUnet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H ~ 1FH	メーカーリザーブ	



注意事項

表 4-2 中の “フレームオプション” については、“4.4.10 フレームオプション [HUB 対応]” を参照してください。“占有拡張”については、“3.7 占有エリアの拡張設定” および “4.2.1 占有エリアについての詳細” を参照してください。

4.4.8 汎用出力ポートの操作

MKY40 に装備された 4 本の汎用出力ポート端子 Po0 ~ Po3 端子（端子 3 ~ 6）の出力レベルを操作するためには、SSR（System Status Register）のビット 0 ~ 3 ヘデータをライトしてください。SSR のビット 0 が Po0 端子へ、ビット 3 が Po3 端子へ対応しています。SSR のビット 0 ~ 3 へは、Hi レベルを出力したいビットを対象として“1”をライトしてください（図 4.38 参照）。

ユーザ CPU と MKY40 の接続バス幅が 16 ビット幅あるいは 32 ビット幅の時、かつ 16 ビットライトアクセスおよび 32 ビットライトアクセスにおいて、SSR（System Status Register）へのライトデータのビット 8、9、10 のいずれかが“1”の場合、（誤操作防止機能として）SSR へライトするデータの下位 4 ビット（Po0 ~ 3）はライトされません。

ハードウェアリセットがアクティブの時、SSR(System Status Register)のビット 0 ~ 3 は全て“0”に設定され、Po0 ~ Po3 端子は全て Lo レベル出力です。

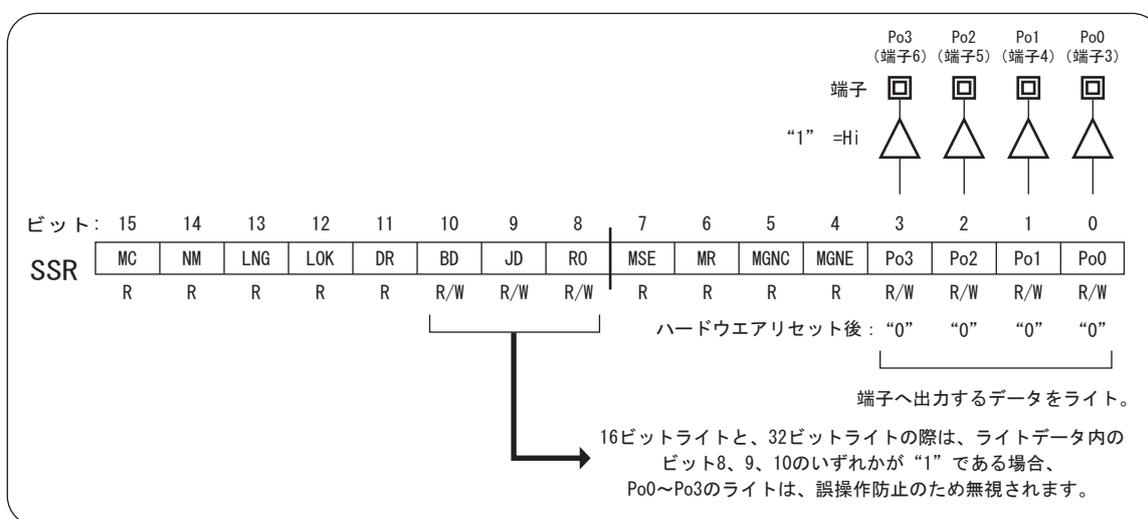


図 4.38 汎用出力ポート

4.4.9 GMM (Global Memory Monitor) 機能

MKY40は、他のCUnetステーションと一切リンクせずに、継続的タイムシェアリングに基づいて他のCUnetステーションが送信するパケットを受信するだけの、グローバルメモリデータモニタ（覗き見）機能を装備しています。これを“GMM (Global Memory Monitor)”と呼び、この機能によって稼動しているCUnetステーションを“GMMステーション”と呼びます。

MKY40をGMMステーションとして利用する場合は、ユーザシステムのプログラムによって以下を操作してください。

- ① SCR (System Control Register) のSTARTビットが“0”であることを確認してください。
- ② SCRのGMMビットへ“1”をライトしてください。

GMMステーションとしての利用を解除する場合は、ユーザシステムのプログラムによって、SCRのGMMビットへ“0”をライトしてください。

GMMステーションになっているMKY40は、“4.4.1 ネットワーク起動前のモニタリング”に記述されたモニタリングに加え、他CUnetステーション同士において“メモリデータの共有”を実行しているグローバルメモリのデータをモニタリングすることが可能です。

なお、GMMステーションになっているMKY40には、占有エリアの概念が適用されません。よってステーションアドレス (SA) と占有幅 (OWN width) の設定状態は全て無視されます。

GMMステーションになっているMKY40のRFR (Receive Flag Register) は、SCRのビット0～6に示されるステーションタイム (ST) が“0”の時に、その直前のサイクル状態が一括して更新されます。このため、RFR (Receive Flag Register) をリードすることにより以下を認識することができます。

- ① “1”のビットが存在すれば、そのビットに対応するステーションアドレスを持つCUnetステーションがネットワーク上に稼動している。
- ② “1”のビットに対応したグローバルメモリのメモリブロックのデータは、対象のCUnetステーションからパケットを受信した際に更新される。

さらに、FSRのビット0～5 (FS0～5) に格納されている値が、初期値の63 (3FH) 以外の場合は、リサイズされたサイクルが稼動していることを認識できます。



GMMステーションは、CUnetプロトコルに定める“最大CUnet専用IC接続可能数”である“64”に含まれません。したがって、ネットワークの電気的実力が許容する限り、GMMステーションをいくつでもネットワークへ接続することができます。

4.4.10 フレームオプション [HUB 対応]

MKY40 は、CUnet プロトコルに定められるフレームオプションに対応しています。フレームオプションは、フレーム長定数 (LOF) が “256” となるオプション機能です。フレームオプションによって、CUnet のネットワークへ HUB (通信ケーブル分岐ユニット) を挿入可能となります。

ネットワークに HUB (通信ケーブル分岐ユニット) を挿入した CUnet は、以下のように通信ケーブルの敷設の自由度が高まり、適用可能なユーザシステムを拡張することができます (詳細については、HUB-IC の “**ユーザーズマニュアル**” を参照してください)。

- ① ネットワークの通信ケーブルの総延長を伸ばすことが可能。
- ② ネットワークの通信ケーブルを分岐することが可能。
- ③ 各 CUnet ステーション装置の終端抵抗への配慮を削減できる。
- ④ スター接続が可能となる。
- ⑤ 光ファイバへの対応が容易となる。

4.4.10.1 HUBの挿入可能段数

フレームオプションが設定された CUnet のネットワークにおいて、HUB（通信ケーブル分岐ユニット）の挿入可能段数は、最大2段です（図 4.39 参照）。

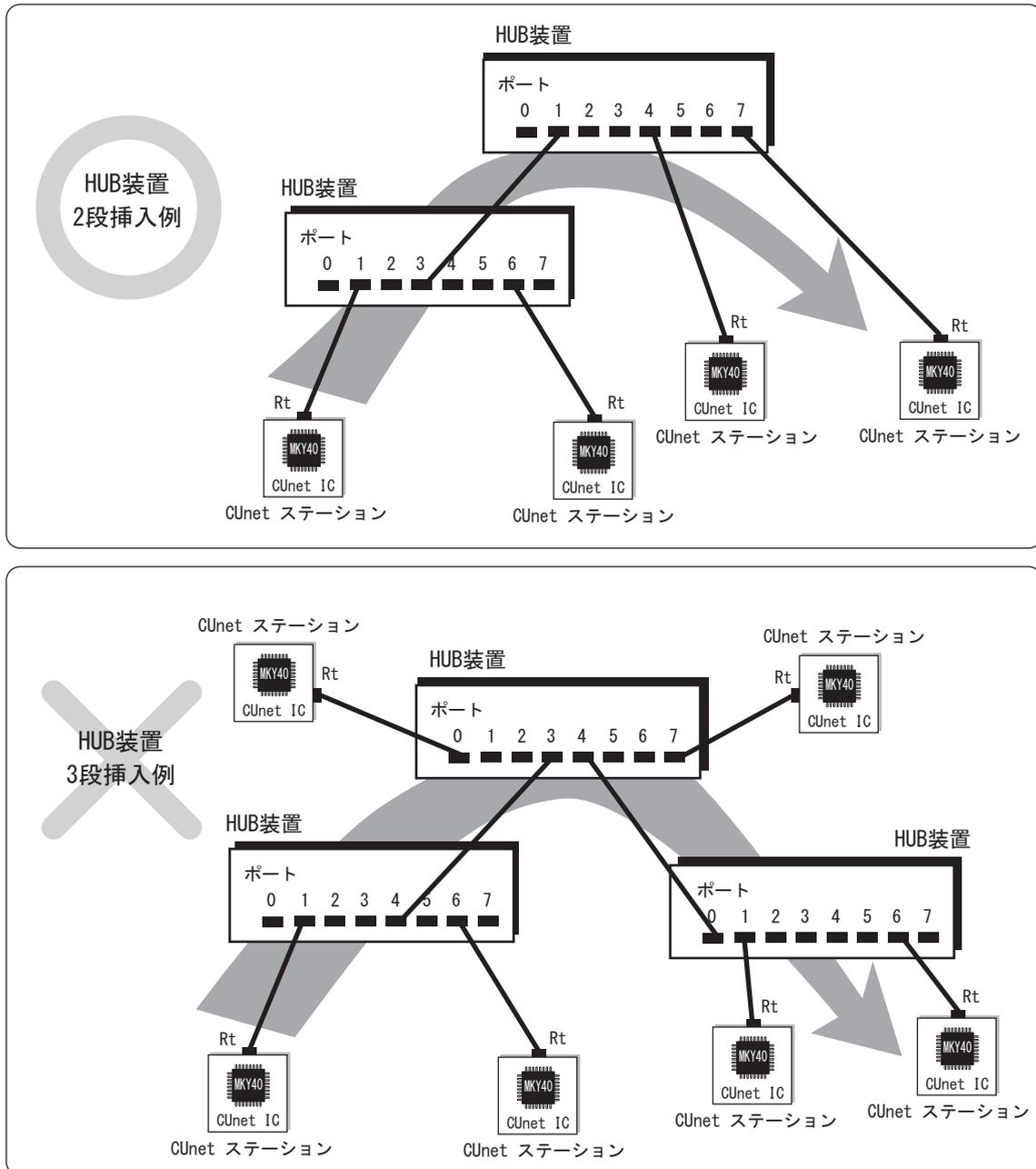


図 4.39 HUB 挿入可能段数

4.4.10.2 フレームオプションの設定

フレームオプションの設定は、“4.1.3 コミュニケーション起動前の設定（イニシャライズ）から起動まで”に記述された操作の②-③の時点において、BCR（Basic Control Register）のビット15（LFS：Long Frame Select）へ“1”をライトしてください（図4.40参照）。

フレームオプションは、ネットワーク起動後に他のCUnetステーションとの相互リンクの過程によって、全てのCUnetステーションへ設定されます。またフレームオプションがセットされ稼動しているネットワークに対して後から接続（あるいは電源投入）されたCUnetステーションへもフレームオプションが自動的に設定されます。このためネットワークへ接続されたいずれか1つ（あるいは複数）のCUnetステーションがBCRのLFSビットへ“1”をライトすることによって、フレーム長定数（LOF）が“256”のサイクルによって稼動するCUnetへ変わります。

フレームオプションの設定が完了したMKY40は、SCR（System Control Register）のビット14（LF：Long Frame）が“1”に設定されます。ユーザシステムのプログラムが、フレームオプションのセット状態を確認したい時は、SCRをリードし、ビット14（LF）が“1”であることを確認してください。

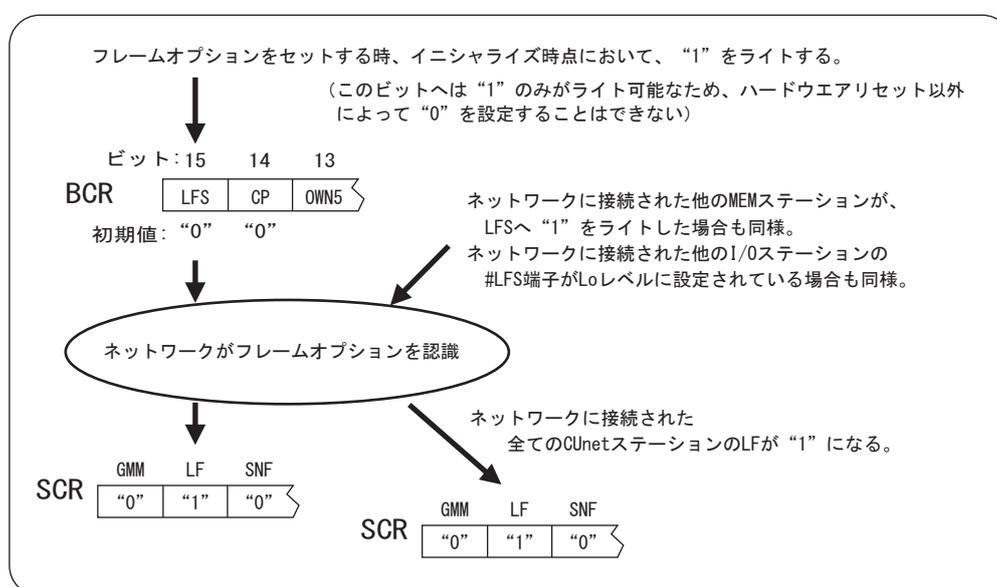


図 4.40 フレームオプションの設定

SCRのLF（Long Frame）が“1”の状態によって稼動するCUnetは、フレーム長定数（LOF：Length Of Frame）が“256”であるため、フレームオプションを利用しない場合に比較して、サイクルタイムが長い時間となります（“4.1.6 CUnetのサイクルタイム”参照）。

注意事項

SCRのLF（Long Frame）を、MKY40のハードウェアリセット以外の方法によってクリアすることはできません。またSCRのLFが“1”であるMEMステーションとリンクする全てのCUnetステーションは、SCRのLFへ“1”が設定されます。したがって、一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全てのCUnet専用ICに対してハードウェアリセットがアクティブとなる操作を必要とします。ネットワーク上において、フレームオプションの設定とリサイズは同時に行わないでください。

4.5 割込みトリガ発生機能

MKY40は、ユーザCPUの割込みトリガ端子へ信号を供給できる3本の出力端子（#INT0～#INT2端子）を装備しています。例えば、以下のように3本の割込みトリガ出力端子を使い分ける設定が可能です。

- ① 頻繁に利用する割込みトリガ信号を#INT0端子から出力
- ② まれに発生するエラーやフェール処理目的の割込みトリガ信号を#INT1端子から出力

本節は、割込みトリガ発生機能の操作と、割込みトリガ出力に付帯するMKY40の動作について記述します。

4.5.1 #INT0 端子の操作

#INT0 端子の割込みトリガ発生機能は、ユーザシステムのプログラムによる以下の操作によって、利用できます (図 4.41 参照)。

- ① INT0CR (INTerrupt 0 Control Register) は、#INT0 端子の機能を“イネーブル”に設定するためのレジスタです。INT0CR に備えられた割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットに“1”をライトし、#INT0 端子の機能を“イネーブル”にしてください。
- ② INT0CR によってイネーブルが設定された割込み発生要因が生じると、INT0CR と同一ビット配列を持つ INT0SR (INTerrupt 0 Status Register) に発生したステータス“1”が維持され、#INT0 端子から Lo レベルが出力されます。
- ③ ユーザシステムのプログラムは、INT0SR をリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。
- ④ ユーザシステムのプログラムが割込み処理の対応を終えた後に、該当する要因の INT0SR のビットへ“1”をライトしてください。これにより INT0SR のステータス“1”の維持がクリアされ該当ビットが“0”へ戻ります。
- ⑤ #INT0 端子は、INT0SR のビットが全て“0”になると、Hi レベル出力を維持する状態に戻ります。

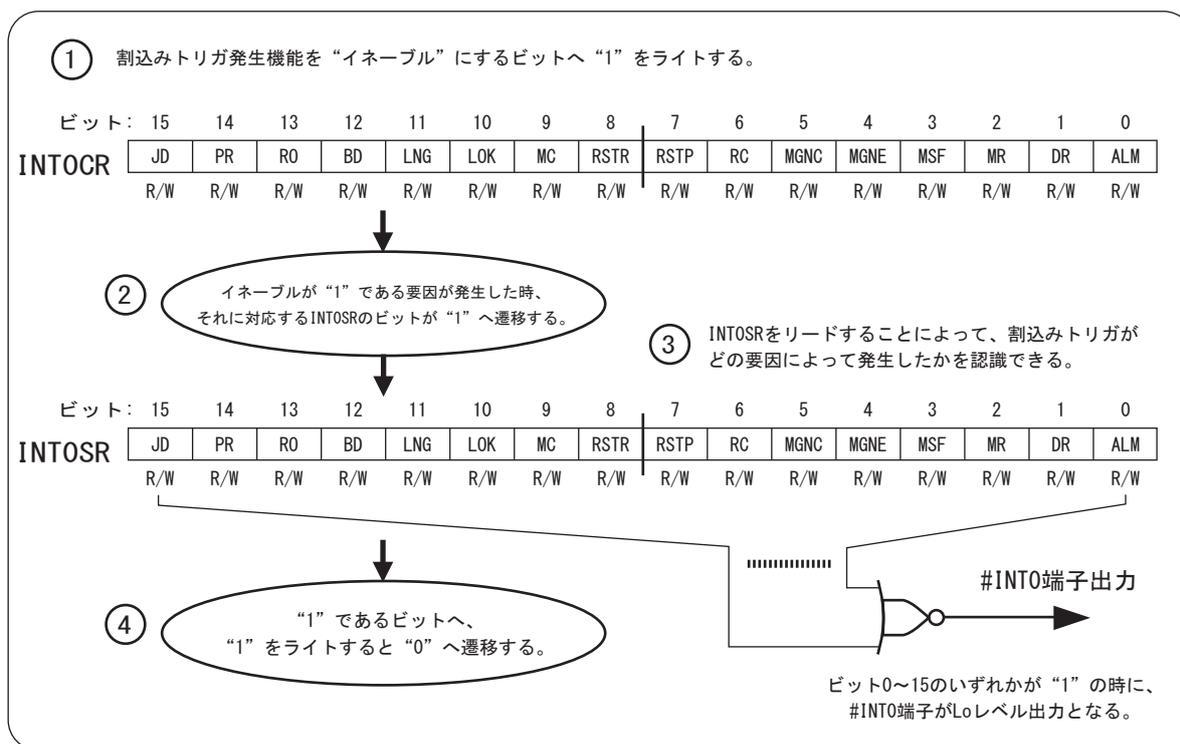


図 4.41 割込みトリガ発生機能

割込み発生要因の ALM (ALarM) と DR (Data Renewal) は、割込み発生時期をユーザシステムのプログラムによって予め指定しておく必要があります。#INT0 端子に対するタイミングを指定するレジスタは、IT0CR (Interrupt Timing 0 Control Register) です (図 4.42 参照)。

IT0CR ビット 0 ~ 6 (ALM0 ~ 6) へ、割込み発生要因の ALM (ALarM) を発生させる場合のステーションタイムをライトしてください。

IT0CR ビット 8 ~ 14 (DR0 ~ 6) へ、割込み発生要因の DR (Data Renewal) を発生させる場合のステーションタイムをライトしてください。

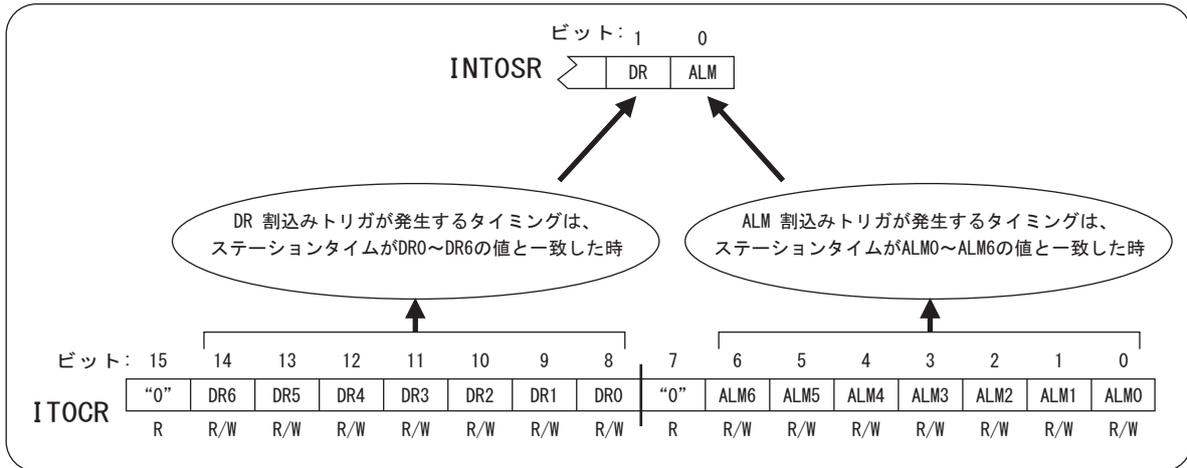


図 4.42 DR および ALM 割込みトリガ発生タイミング



参考

INTOSR にステータスが保持されている時に、INTOCR の該当するイネーブルを解除しても INTOSR のステータスはクリアされません。

ハードウェアリセットアクティブ後は、割込み発生要因のイネーブルビットは全て“0”（ディセーブル状態）に初期化されています。

4.5.2 リトリガ機能

割込みトリガ信号を出力する #INT0 端子へ、複数の割込み発生要因を設定することができます。ユーザシステムのプログラムが1つの端子に2つ以上の割込み発生要因を設定して利用する場合は、端子の出力レベルが Hi レベル出力へ戻った直後“5 クロック”を経過すると、再び Lo レベル出力へ遷移する場合があります。これを“リトリガ機能”と呼びます（図 4.43 参照）。以下の場合にリトリガ機能が動作します。

- ① INT0SR に複数のステータスが保持されている時に、その一部をクリアした場合。例えば、INT0SR のデータが“1004H”の時に“1000H”をライトした場合。
- ② INT0SR に保持されているステータスをクリアするためのライトと同時期に、イネーブルが設定された新たな割込み発生要因が生じた場合。例えば、INT0SR のデータが“1000H”の時に“1000H”をライトした同時期に、イネーブルが設定された新たな割込み発生要因“0004H”が生じた場合。

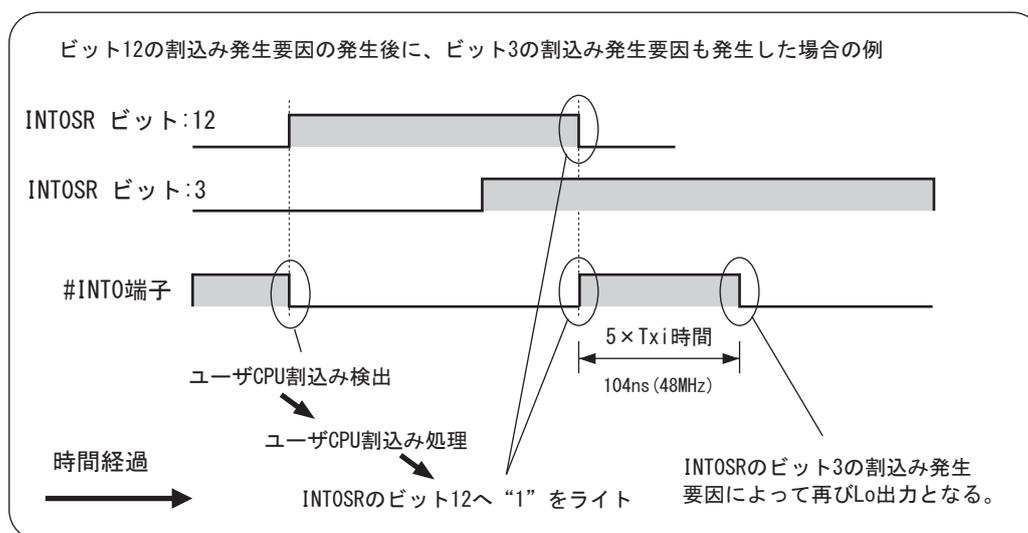


図 4.43 リトリガ機能の動作例

MKY40 が装備しているリトリガ機能により、ユーザ CPU に備えられている割込みコントローラがレベルの変化（エッジ）を検出するタイプであっても、割込みを取りこぼしません。

ユーザ CPU が備えている割込みコントローラが、CPU からの EOI（End Of Interrupt）コードの発行を受けて次回の割込み発生を有効とするタイプである場合、エッジ検出型かレベル検出型かの違いによって、EOI の発行操作と“4.5.1 #INT0 端子の操作”の④に記述された INT0SR のステータスをクリアする操作の順番を、以下のように考慮しなければならない場合があります。

エッジ検出型：EOI を発行した後に、INT0SR のステータスをクリアする。・・・逆に、EOI の発行前に INT0SR のステータスをクリアした場合、次回の割込み受付が有効になっていない状態のままリトリガ機能によって Hi レベルから Lo レベルへ変化してしまいます。この結果、割込みトリガを取りこぼす可能性があります。

レベル検出型：INT0SR ステータスをクリアした後に、EOI を発行する。・・・逆に、EOI の発行後に INT0SR ステータスをクリアした場合、Lo レベルの状態を再び検出して二重に割込みトリガを受け付けてしまう可能性があります。



注意事項

割込み処理のアルゴリズムや解除の手順は、ユーザ CPU の種類や周辺ハードウェアを含むユーザシステムに依存します。MKY40 の操作はユーザシステムに適合させてご利用ください。

4.5.3 割込み発生要因

INT0CR (INTerrupt 0 Control Register) が備えているイネーブル操作可能な割込み発生要因は、以下の16種類です (表 4-3 参照)。

表 4-3 割込み発生要因

発生要因	ビット	トリガ出力を発生する時 (要件)	参照
ALM : ALarM	0	サイクル中のステーションタイムが、予め IT0CR へ指定した時刻になった時。 この割込みトリガはサイクル毎に毎回発生します。	4.1.7 サイクル中の詳細タイミング
DR : Data Renewal	1	予め DRCR へ設定した検出ビットに対応するグローバルメモリのデータ遷移を検出した場合に限り、かつサイクル中のステーションタイムが予め IT0CR へ指定した時刻になった時。	4.2.4 グローバルメモリのデータ遷移検出機能
MR : Mail Receive	2	他の CUnet ステーションからメールを受信した時。	4.3.2 メール受信時の操作
MSF : Mail Send Finish	3	他の CUnet ステーションへのメール送信が (正常あるいはエラーに関わらず) 終了した時。	4.3.3 メール送信の操作、送信終了後の操作
MGNE : Member Group Not Equal	4	SSR のビット 4 (MGNE) が、“0” から “1” へ遷移した時。	4.2.3.6 MGR (Member Group Register)
MGNC : Member Group Not Collect	5	SSR のビット 5 (MGNC) が、“0” から “1” へ遷移した時。	4.2.3.6 MGR (Member Group Register)
RC : Resize Complete	6	他の CUnet ステーションからのリサイズを受けて自己ステーションのリサイズが完了した時。	4.4.2.1 リサイズの操作
RSTP : Run SToP	7	ネットワーク停止した時。	4.1.8 ネットワークの停止
RSTR : Run STaRt	8	ランフェーズに入った時。	4.1.3 コミュニケーション起動前の設定 (イニシャライズ) から起動まで
MC : Member Change	9	メンバフラグビットの “1” の数が増減した時。	4.2.3.7 メンバの増加と減少検出
LOK : Link group OK	10	ビットが “1” の LGR に対応する LFR ビットの検査によって、“リンク OK” と判定された時。	4.2.3.3 LGR (Link Group Register)
LNG : Link group No Good	11	ビットが “1” の LGR に対応する LFR ビットの検査によって、“リンク NG (No Good)” と判定された時。	4.2.3.3 LGR (Link Group Register)
BD : Break Detect	12	ブレイクフェーズのステーションを検出した時。	4.4.3 ブレイクフェーズステーションの検出と対処
RO : Resize Overlap	13	リサイズオーバーラップが発生した時。	4.4.2.3 リサイズオーバーラップ (RO)
PR : Ping Receive	14	PING 命令を他の CUnet ステーションから受信した時。	4.4.6 PING 命令
JD : Jammer Detect	15	ジャマーを検出した時。	4.4.4 ジャマー検出と対処

4.5.4 #INT1 端子の操作

#INT1 端子の操作は、“4.5.1 #INT0 端子の操作”～“4.5.3 割込み発生要因”に記述された#INT0 端子の操作と同一の概念です。

#INT1 端子の機能を“イネーブル”に設定するためのレジスタは、INT1CR (INTerrupt 1 Control Register) です。#INT1 端子のステータスを保持するレジスタは、INT1SR (INTerrupt 1 Status Register) です。#INT1 端子もトリガ機能を装備しています。

#INT1 端子の割込み発生要因の内の“ALM (ALarM)”と“DR (Data Renewal)”のタイミングを指定するレジスタは、IT1CR (Interrupt Timing 1 Control Register) です。

4.5.5 #INT2 端子の操作

#INT2 端子の操作は、“4.5.1 #INT0 端子の操作”～“4.5.3 割込み発生要因”に記述された#INT0 端子の操作と同一の概念です。但し、割込み発生要因である“ALM (ALarM)”と“DR (Data Renewal)”を利用することはできません。

#INT2 端子の機能を“イネーブル”に設定するためのレジスタは、INT2CR (INTerrupt 2 Control Register) です。#INT2 端子のステータスを保持するレジスタは、INT2SR (INTerrupt 2 Status Register) です。#INT2 端子もトリガ機能を装備しています。

#INT2 端子には、割込み発生要因の“ALM (ALarM)”と“DR (Data Renewal)”がありません。したがってタイミングを指定するレジスタもありません。

4.5.6 割込みトリガ発生時期指定の注意

IT0CR および IT1CR へタイミングを設定する値は、“0～127 (00H～7FH)”ですが、CUnet のサイクルが採用する値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値を IT0CR または IT1CR へライトすると、対応する割込みトリガが発生しないため、不適切な値はライトしないでください。

特に、DR (Data Renewal) 発生タイミングは、“4.2.4.3 DR フラグビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”に記述された DRFR の更新タイミングです。このため FSR (Final Station Register) に格納されている値に“2”を加算した値を超える数値をライトした場合、DRFR も更新されなくなります。

4.5.7 DR (Data Renewal) 割込みトリガ利用上の注意

割込み発生要因のDR (Data Renewal) は、#INT0 端子と #INT1 端子の両方を利用することはできません。どちらか一方の利用に限定されています。

INT0CR が先に “イネーブル” に設定された場合、INT1CR のイネーブルビットへの “1” のライトはプロテクトされます。

逆に、INT1CR が先に “イネーブル” に設定された場合、INT0CR のイネーブルビットへの “1” のライトはプロテクトされます。

DR (Data Renewal) 割込みトリガが発生するタイミングは、INT0CR がイネーブルである時は IT0CR ビット 8～14 へ設定された時刻であり、かつ INT1CR がイネーブルである時は IT1CR ビット 8～14 へ設定された時刻です。

“4.2.4.3 DR フラグビットおよび DRFR ビットが “1” から “0” へ遷移するタイミング” に記述された、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが “1” から “0” へ遷移するタイミングも、同様 (INT0CR がイネーブルである時は IT0CR ビット 8～14 へ設定された時刻であり、かつ INT1CR がイネーブルである時は IT1CR ビット 8～14 へ設定された時刻) です。ただし、INT0CR および INT1CR の両方とも DR (Data Renewal) がディセーブルである時は、SSR (System Status Register) のビット 11 (DR : Data Renewal) および DRFR (Data Renewal Flag Register) ビットが “1” から “0” へ遷移するタイミングは、IT0CR ビット 8～14 へ設定された時刻です。

4.5.8 割込みトリガ発生に連動するレジスタのフリーズ

MKY40 は、特定の割込みトリガを出力している最中に、特定のレジスタをフリーズ (凍結) します。

割込みトリガが MKY40 から出力された後 (かつ、ユーザシステムの割込み対応プログラムが処理を参照する前) に、割込み発生要因に関連する特定のレジスタが更新されてしまうことを、レジスタがフリーズすることによって防ぎます。フリーズ (凍結) するレジスタは MKY40 内部において二重化されており、ユーザシステムからリード可能な部分のみがフリーズします。よってユーザシステムの割込み対応プログラムが処理終了に伴って特定の割込みトリガのステータスをクリアした時点で、即座にフリーズが解けると同時に現状へ復帰します。

フリーズするレジスタと割込み発生要因の対応を、表 4-4 に示します。

表 4-4 フリーズするレジスタ

割込み発生要因	フリーズするレジスタおよびフラグビット
ALM (ALArM) MC (Member Change) LOK (Link group OK) LNG (Link group No Good)	RFR の全ビット LFR の全ビット SSR のビット 12 (LOK)
DR (Data Renewal)	DRFR の全ビット SSR のビット 11 (DR)



注意事項

MC (Member Change) 割込みが発生しても、MFR (Member Flag Register) はフリーズしません。MFR は、“ステータス管理の起点時期”において更新されますので、MC 割込みによって起動される処理が次の“ステータス管理の起点時期”を超えて MFR を参照しない様、注意してください。

第 5 章 MEM モード時におけるレジスタリファレンス

本章は、MEM モードの MKY40 に搭載されたレジスタのリファレンスを、機能別に掲載します。

第5章 MEMモード時におけるレジスタリファレンス

本章は、MEMモードのMKY40に搭載されたレジスタのリファレンスを、機能別に掲載します（表5-1参照）。

本章は、以下の形式によって記述します。

- ① レジスタのアドレスを、32ビットアクセスの先頭アドレス（ビッグエンディアンとリトルエンディアン共通）、および16ビットアクセスの先頭アドレス（ビッグエンディアンとリトルエンディアンを個別に表示）によって示します。
- ② データビット表現を、16ビットアクセス表現によって示します。

本章の参照にあたっては、以下の点に注意してください。

- ① MEMモードのMKY40のレジスタは、16ビット幅レジスタと、64ビット幅レジスタがあります。
- ② 16ビット幅レジスタを32ビットリードアクセスした場合は、上位16ビットからは全て“0”をリードできます。
- ③ 16ビット幅レジスタへ32ビットライトアクセスした場合は、上位16ビットへのライトは無視されます。
- ④ レジスタのアドレスは、MEMモードのMKY40へ接続するユーザCPUのデータバス幅およびアクセス幅（16ビット幅データバスにおける8ビットアクセスなど）、エンディアンの種類によって異なります。本章に記載されていないアクセス（8ビットアクセスなど）については、お客様ご自身がアドレスを換算し、ご利用ください。



参考

16ビット幅レジスタへ8ビットアクセスする場合のアドレスを図5.1（例としてBCR：Basic Control Registerの場合）に、64ビット幅レジスタへアクセスする場合のアドレスを図5.2（例としてDRCR：Data Renewal Check Registerの場合）に示します。

BCR		LFS	CP	OWN5	OWN4	OWN3	OWN2	OWN1	OWN0	BPS1	BPS0	SA5	SA4	SA3	SA2	SA1	SA0
16ビットアクセス	ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	アドレス	49AH(ビッグ)								498H(リトル)							
8ビットアクセス	ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	アドレス	49AH(ビッグ)				499H(リトル)				49BH(ビッグ)				498H(リトル)			

図5.1 8ビットアクセス対応アドレス（16ビットレジスタ）

DRCR (MSB)																		LSB															
ビット		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
8ビットアクセス		430H(ビッグ)				433H(リトル)				431H(ビッグ)				432H(リトル)				432H(ビッグ)				431H(リトル)				433H(ビッグ)				430H(リトル)			
16ビットアクセス		430H(ビッグ)								432H(リトル)								432H(ビッグ)								430H(リトル)							
32ビットアクセス		430H(ビッグ&リトル)																															
DRCR MSB																		LSB															
ビット		63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
8ビットアクセス		434H(ビッグ)				437H(リトル)				435H(ビッグ)				436H(リトル)				436H(ビッグ)				435H(リトル)				437H(ビッグ)				434H(リトル)			
16ビットアクセス		434H(ビッグ)								436H(リトル)								436H(ビッグ)								434H(リトル)							
32ビットアクセス		434H(ビッグ&リトル)																															

図5.2 アクセス対応アドレス（64ビットレジスタ）

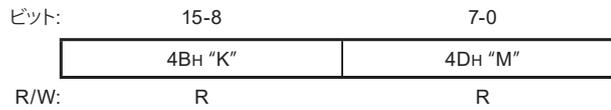
表 5-1 レジスター一覧

項目	略称	レジスタ名	先頭アドレス	幅	対象機能	ページ
5.1	CCR	Chip Code Register	4A0H	64	システム	5-5
5.2	BCR	Basic Control Register	498H	16		5-6
5.3	SCR	System Control Register	44CH	16		5-8
5.4	SSR	System Status Register	448H	16		5-10
5.5	FSR	Final Station Register	494H	16		5-12
5.6	NFSR	New Final Station Register	470H	16		5-12
5.7	RFR	Receive Flag Register	410H	64	リンク検出	5-13
5.8	LFR	Link Flag Register	418H	64		5-14
5.9	LGR	Link Group Register	438H	64		5-15
5.10	MFR	Member Flag Register	428H	64	メンバ検出	5-16
5.11	MGR	Member Group Register	440H	64		5-17
5.12	DRCR	Data Renewal Check Register	430H	64	データ遷移検出	5-18
5.13	DRFR	Data Renewal Flag Register	420H	64		5-19
5.14	PWRCR	Primary Window Read Control Register	400H	16	アクセス制御	5-20
5.15	PWWCR	Primary Window Write Control Register	404H	16		5-20
5.16	SWRCR	Secondary Window Read Control Register	408H	16		5-21
5.17	SWWCR	Secondary Window Write Control Register	40CH	16		5-21
5.18	MR0CR	Mail Receive 0 Control Register	48CH	16	メール送受信	5-22
5.19	MR1CR	Mail Receive 1 Control Register	490H	16		5-23
5.20	MSCR	Mail Send Control Register	47CH	16		5-24
5.21	MSLR	Mail Send Limit time Register	480H	16		5-25
5.22	MESR	Mail Error Status Register	484H	16		5-26
5.23	MSRR	Mail Send Result Register	488H	16		5-27
5.24	INT0CR	INT0 Control Register	450H	16	割込み制御	5-28
5.25	INT1CR	INT1 Control Register	454H	16		5-30
5.26	INT2CR	INT2 Control Register	458H	16		5-31
5.27	INT0SR	INT0 Status Register	45CH	16		5-32
5.28	INT1SR	INT1 Status Register	460H	16		5-34
5.29	INT2SR	INT2 Status Register	464H	16		5-34
5.30	IT0CR	Interrupt Timing 0 Control Register	468H	16		5-35
5.31	IT1CR	Interrupt Timing 1 Control Register	46CH	16		5-35
5.32	CCTR	Care CounTer Register	478H	16	システム補助	5-36
5.33	QCR	Query Control Register	474H	16		5-37

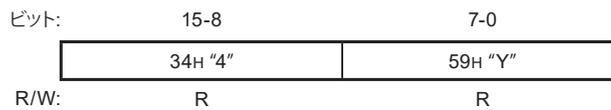
アドレス順のレジスター一覧は、付録3をご覧ください。

5.1 CCR (Chip Code Register)

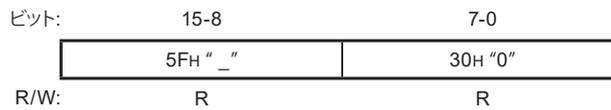
アドレス 32 ビットアドレス：4A0H (ビッグ & リトル)
16 ビットアドレス：4A2H (ビッグ) 4A0H (リトル)



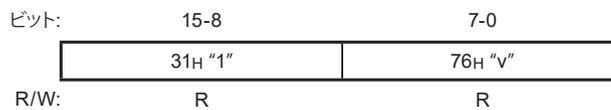
アドレス 32 ビットアドレス：4A0H (ビッグ & リトル)
16 ビットアドレス：4A0H (ビッグ) 4A2H (リトル)



アドレス 32 ビットアドレス：4A4H (ビッグ & リトル)
16 ビットアドレス：4A6H (ビッグ) 4A4H (リトル)



アドレス 32 ビットアドレス：4A4H (ビッグ & リトル)
16 ビットアドレス：4A4H (ビッグ) 4A6H (リトル)



[機能説明] 本レジスタは、リトルエンディアンの CPU から "MKY40_v1" のバイト型 ASCII コードの文字列をリード可能なレジスタです。MKY40 の組込み状態を確認するために、本レジスタはリードのみが可能です。ビッグエンディアンの CPU からリードすると、"4YKM1v_0" になります。

5.2 BCR (Basic Control Register)

アドレス 32 ビットアドレス : 498H (ビッグ & リトル)

16 ビットアドレス : 49AH (ビッグ) 498H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LFS	CP	OWN5	OWN4	OWN3	OWN2	OWN1	OWN0	BPS1	BPS0	SA5	SA4	SA3	SA2	SA1	SA0
初期値:	"0"	"0"	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W*													

[機能説明] CUnet を構築する MKY40 の基本設定が格納されるレジスタです。

本レジスタの一部 (R/W*) の初期値としては、ハードウェアリセットがアクティブの時に各入力端子の設定状態が設定されます。また、本レジスタは、SCR (System Control Register) の GMM ビット (ビット 15) が "1" の時のみライトが可能です。

●ビット説明

SA0 ~ 5 (Station Address) ビット (ビット 0 ~ 5)

[機能] 本ビットへは、ステーションアドレス (SA) が設定されます。

本ビットは、ハードウェアリセットがアクティブの時に、SA0 ~ SA5 端子 (端子 80 ~ 85) の入力値が設定されます。本ビットは、ライトによって値を変更することができます。

BPS0,1 (BPS) ビット (ビット 6,7)

[機能] 本ビットへは、転送レートが設定されます。

本ビットへは、ハードウェアリセットがアクティブの時に、BPS0 端子および BPS1 端子 (端子 96 および 97) の入力値が設定されます。本ビットは、ライトによって値を変更することができます。各ビット値と転送レートの関係は、表 5-2 に示します。

表 5-2 各ビット値と転送レート (48MHz 駆動クロック時)

ビット 7 : BPS1	ビット 6 : BPS0	転送レート
1	1	12Mbps
1	0	6Mbps
0	1	3Mbps
0	0	EXC 入力クロック × 1/4

OWN0 ~ 5 (OWN width) ビット (ビット 8 ~ 13)

[機能] 本ビットへは、占有幅 (OWN width) のブロック数が設定されます。

本ビットへは、ハードウェアリセットがアクティブの時に、OWN0 ~ OWN5 端子 (端子 86 ~ 91) の入力値が設定されます。本ビットは、ライトによって値を変更することができます。

CP (Care Pulse) ビット (ビット 14)

[機能] 本ビットへは、#LCARE 端子および #MCARE 端子 (端子 93 および 94) へ出力するパルス幅を設定します。本ビットへ "0" をライトすることにより、パルス幅は "2096896 × TxI" 時間を最小とする "リトリガブルワンショットマルチバイブレータによって生成される時間" となります。このパルス信号は、LED をドライブして目視可能です。

本ビットへ "1" をライトすることにより、パルス幅は "5 ~ 7TBPS" 時間になります。

LFS (Long Frame Select) ビット (ビット 15)

[機能] 本ビットへは、MKY40 のフレームオプションを設定します。
本ビットへ“1”をライトすることにより、フレームオプションが設定されます。本ビットへは、“1”のみがライト可能です。
本ビット値を“0”にするためには、ハードウェアリセットをアクティブにしてください。
フレームオプションに関する詳細については、“4.4.10 フレームオプション [HUB 対応]”を参照してください。

**注意事項**

ハードウェアリセットがアクティブ時の OWN0 ~ OWN5 端子がすべて Lo であった場合、自動的に OWN0 ビットが“1”になります。また、OWN0 ~ OWN5 ビットにすべて“0”を書き込んだ場合、OWN0 ビットが“1”になります。

5.3 SCR (System Control Register)

アドレス 32ビットアドレス：44CH (ビッグ & リトル)

16ビットアドレス：44EH (ビッグ) 44CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GMM	LF	SNF	CC	BRK	CALL	RUN	START	---	ST6	ST5	ST4	ST3	ST2	ST1	ST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【機能説明】 CUnetのネットワークをコントロールするレジスタです。

●ビット説明

ST0～6 (Station Time) ビット (ビット0～6)

【機能】 本ビットへは、ステーションタイムが設定されます。

現在のステーションタイム(16進数)が設定されます。本ビットの値は、サイクルの進行に伴いダイナミックに遷移します。ステーションタイムの詳細については、“4.1.7 サイクル中の詳細タイミング”や“CUnet 導入ガイド”を参照してください。

START (START) ビット (ビット8)

【機能】 本ビットは、ネットワークの起動と停止を制御します。

本ビットへ“1”をライトすると、ネットワークが起動します。

本ビットは、ネットワークの稼動中“1”を維持します。

本ビットが“1”である時に“0”をライトすることにより、意図的にネットワークを停止させることができます。

RUN (RUN phase) ビット (ビット9)

【機能】 本ビットは、本デバイス(MKY40)のフェーズを示します。

本ビットは、ランフェーズである時“1”を維持します。

CALL (CALL phase) ビット (ビット10)

【機能】 本ビットは、本デバイス(MKY40)のフェーズを示します。

本ビットは、コールフェーズである時“1”を維持します。

BRK (BRaK phase) ビット (ビット11)

【機能】 本ビットは、本デバイス(MKY40)のフェーズを示します。

本ビットは、ブレークフェーズである時“1”を維持します。

OC (Out of Cycle) ビット (ビット12)

【機能】 本ビットは、OC (Out of Cycle) によるネットワーク停止を示します。

本ビットへは、OCによってネットワークが停止した場合に“1”が設定されます。

本ビットは、ビット8 (START) へ“1”をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0”へクリアされます。OCに関する詳細については、“4.1.8 ネットワークの停止”を参照してください。

SNF (Station Not Found) ビット (ビット 13)

[機能] 本ビットは、SNF (Station Not Found) によるネットワーク停止を示します。
本ビットへは、SNF によってネットワークが停止した場合に“1”が設定されます。
本ビットは、ビット 8 (START) へ“1”をライトした時、あるいはハードウェアリセットがアクティブになった時に、“0”へクリアされます。SNF に関する詳細については、“**4.1.8 ネットワークの停止**”を参照してください。

LF (Long Frame) ビット (ビット 14)

[機能] 本ビットは、フレームオプションの状態を示します。
本ビットは、フレームオプションがセットされた状態の時に“1”を維持します。
フレームオプションに関する詳細については、“**4.4.10 フレームオプション [HUB 対応]**”を参照してください。

GMM (Global Memory Monitor) ビット (ビット 15)

[機能] 本ビットは、GMM 機能を実行します。
本ビットへは、ビット 8 (START) が“0”の時のみ、“1”をライト可能です。
本ビットへ“1”をライトすると、本デバイス (MKY40) が GMM (Global Memory Monitor) ステーションとして動作します。
BCR (Basic Control Register) ヘデータをライトする時は、本ビットが“1”である必要があります。
GMM に関する詳細については、“**4.4.9 GMM (Global Memory Monitor) 機能**”を参照してください。

5.4 SSR (System Status Register)

アドレス 32 ビットアドレス：448H (ビッグ & リトル)

16 ビットアドレス：44AH (ビッグ) 448H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MC	NM	LNG	LOK	DR	BD	JD	RO	MSE	MR	MGNC	MGNE	Po3	Po2	Po1	Po0
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【機能説明】 ネットワークの稼動における各種ステータスが格納されるレジスタです（本レジスタの一部ビットの更新時期となる、“ステータス管理の起点時期”については、“4.2.3.2 ステータス管理の起点時期および特例”を参照してください）。

●ビット説明

Po0 ~ Po3 (port Out) ビット (ビット0 ~ 3)

【機能】 本ビットへは、汎用出力ポート端子 Po0 ~ Po3 端子（端子3 ~ 6）の出力レベルを設定します。ビット0がPo0端子へ、ビット3がPo3端子へ対応します。対応する端子をHiレベル出力にしたい時に“1”を、Loレベル出力にしたい時に“0”をライトしてください。本ビットへは、16ビットライトアクセスおよび32ビットライトアクセスにおいて、ライトデータビット8、9、10のいずれかが“1”である時はライトされません。

MGNE (Member Group Not Equal) ビット (ビット4)

【機能】 本ビットは、“MGR ≠ MFR”を示します。本ビットへは、“ステータス管理の起点時期”において、MGR (Member Group Register) のビットの状態とMFR (Member Flag Register) のビットの状態が一致していない場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MGNC (Member Group Not Collect) ビット (ビット5)

【機能】 本ビットは、“MGR > MFR”を示します。本ビットへは、“ステータス管理の起点時期”において、MGRが“1”である対象のMFR内のいずれかのビットが“0”である場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MR (Mail Received) ビット (ビット6)

【機能】 本ビットは、メール受信の完了を示します。本ビットへは、MRB0 (Mail Receive Buffer 0) またはMRB1 (Mail Receive Buffer 1) へメールによるデータセットの受信が完了した時、“1”が設定されます。MR0CR (Mail Receive 0 Control Register) およびMR1CR (Mail Receive 1 Control Register) の両方のRCV (ReCeIved) ビットが“0”へクリアされると、本ビットも“0”にクリアされます。

MSE (Mail Send Error) ビット (ビット7)

【機能】 本ビットは、メール送信がエラー終了したことを示します。本ビットへは、メール送信時にエラーが発生した時、“1”が設定されます。MESR (Mail Error Status Register) 全てのビットが“0”へクリアされると、本ビットも“0”へクリアされます。

RO (Resize Overlap) ビット (ビット 8)

【機能】 本ビットは、“リサイズオーバーラップ検出”を示します。

本ビットへは、自己ステーションのリサイズ操作が、他の CUnet ステーションのリサイズ操作と重複したことにより無効になった時、“1”が設定されます。本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

JD (Jammer Detect) ビット (ビット 9)

【機能】 本ビットは、“ジャマー (Jammer) 検出”を示します。

本ビットへは、ジャマーを検出した時、“1”が設定されます。

本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

BD (Break Detect) ビット (ビット 10)

【機能】 本ビットは、“ブレイクフェーズの CUnet ステーション検出”を示します。

本ビットへは、他の CUnet ステーションから送信されたブレイクパケットを受信した時、“1”が設定されます。本ビットへ“1”をライトすると、本ビットは“0”へクリアされます。

DR (Data Renewal) ビット (ビット 11)

【機能】 本ビットは、“グローバルメモリのデータ遷移検出”を示します。

本ビットへは、DRCR (Data Renewal Check Register) が“1”である対象のメモリブロックのデータ遷移を検出した時、“1”が設定されます。本ビットが“1”から“0”へ遷移するタイミングは、MKY40 利用の環境によって異なるため、“4.2.4.3 DR ビットおよび DRFR ビットが“1”から“0”へ遷移するタイミング”を参照してください。

本ビットは、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

LOK (Link group OK) ビット (ビット 12)

【機能】 本ビットは、“リンク OK”の判定を示します。

本ビットへは、LGR (Link Group Register) のビットが“1”である対象の LFR (Link Flag Register) の全ビットが“1”となった場合に、“1”が設定されます。

本ビットは、“ステータス管理の起点時期”に“0”へクリアされます。但し、本ビットは、ALM (ALarM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

LNG (Link group No Good) ビット (ビット 13)

【機能】 本ビットは、“リンク NG (No Good)”の判定を示します。

本ビットへは、“ステータス管理の起点時期”において、LGR のビットが“1”である対象の LFR 内のいずれかのビットが“0”であった場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

NM (New Member) ビット (ビット 14)

【機能】 本ビットは、“メンバ増加”を示します。

本ビットへは、“ステータス管理の起点時期”において、MFR (Member Flag Register) のいずれかのビットが“0”から“1”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

MC (Member Care) ビット (ビット 15)

【機能】 本ビットは、“メンバ減少”を示します。

本ビットへは、“ステータス管理の起点時期”において、MFR のいずれかのビットが“1”から“0”へ遷移する場合に“1”が設定されます。それ以外の場合は、“0”が設定されます。

5.5 FSR (Final Station Register)

アドレス 32 ビットアドレス：494H (ビッグ & リトル)
16 ビットアドレス：496H (ビッグ) 494H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	FS5	FS4	FS3	FS2	FS1	FS0
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[機能説明] 16 進数の FS (Final Station) 値が FS0 ~ 5 (Final Station) ビットへ格納される、リード専用のレジスタです。

5.6 NFSR (New Final Station Register)

アドレス 32 ビットアドレス：470H (ビッグ & リトル)
16 ビットアドレス：472H (ビッグ) 470H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	NFS5	NFS4	NFS3	NFS2	NFS1	NFS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

[機能説明] リサイズを操作する時に、新たな FS (Final Station) 値をライトするレジスタです。
本レジスタの NFS0 ~ 5 (New Final Station) ビットへ、16 進数の NFS (New Final Station) 値をライトすることにより、リサイズが実行されます。
本レジスタへのライトは、本デバイス (MKY40) がランフェーズでない時は無視されます。また本レジスタへのライト値が、自己ステーションの占有エリアを除外する値である時にも無視されます (“4.4.2.2 リサイズの拒否”を参照)。
リサイズの操作を終えた時には、必ず本レジスタへ“00H”をライトしてください (“00H”以外の数値をライトした状態のまま放置しないでください)。
リサイズ操作の詳細については、“4.4.2 サイクルタイムの変更 (リサイズ)”を参照してください。

5.7 RFR (Receive Flag Register)

アドレス 32ビットアドレス：410H (ビッグ&リトル)

16ビットアドレス：412H (ビッグ) 410H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFR 15	RFR 14	RFR 13	RFR 12	RFR 11	RFR 10	RFR 9	RFR 8	RFR 7	RFR 6	RFR 5	RFR 4	RFR 3	RFR 2	RFR 1	RFR 0
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：410H (ビッグ&リトル)

16ビットアドレス：410H (ビッグ) 412H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFR 31	RFR 30	RFR 29	RFR 28	RFR 27	RFR 26	RFR 25	RFR 24	RFR 23	RFR 22	RFR 21	RFR 20	RFR 19	RFR 18	RFR 17	RFR 16
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：414H (ビッグ&リトル)

16ビットアドレス：416H (ビッグ) 414H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFR 47	RFR 46	RFR 45	RFR 44	RFR 43	RFR 42	RFR 41	RFR 40	RFR 39	RFR 38	RFR 37	RFR 36	RFR 35	RFR 34	RFR 33	RFR 32
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：414H (ビッグ&リトル)

16ビットアドレス：414H (ビッグ) 416H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFR 63	RFR 62	RFR 61	RFR 60	RFR 59	RFR 58	RFR 57	RFR 56	RFR 55	RFR 54	RFR 53	RFR 52	RFR 51	RFR 50	RFR 49	RFR 48
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

R/W: R R R R R R R R R R R R R R R R

[機能説明] グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが、SCR (System Control Register) の START ビット (ビット 8) が “1” である時、最新のサイクルによってライトされていることを保証する個々のレシーブステータスが格納されたレジスタです。ビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR (System Control Register) の GMM (Global Memory Monitor) ビット (ビット 15) が “1” である時 (本デバイスが GMM ステーションとして動作している場合) を除き、常に “1” です。よって、本レジスタの初期値は、自己ステーションの占有エリアに対応するビットが “1”、それ以外のビットが “0” です。

本レジスタのビットの遷移タイミングの詳細については、“4.2.3 グローバルメモリ (GM) データの品質保証” を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。詳細については、“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ” を参照してください。

5.8 LFR (Link Flag Register)

アドレス 32ビットアドレス：418H (ビッグ&リトル)

16ビットアドレス：41AH (ビッグ) 418H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 15	LFR 14	LFR 13	LFR 12	LFR 11	LFR 10	LFR 9	LFR 8	LFR 7	LFR 6	LFR 5	LFR 4	LFR 3	LFR 2	LFR 1	LFR 0
--------	--------	--------	--------	--------	--------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：418H (ビッグ&リトル)

16ビットアドレス：418H (ビッグ) 41AH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 31	LFR 30	LFR 29	LFR 28	LFR 27	LFR 26	LFR 25	LFR 24	LFR 23	LFR 22	LFR 21	LFR 20	LFR 19	LFR 18	LFR 17	LFR 16
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：41CH (ビッグ&リトル)

16ビットアドレス：41EH (ビッグ) 41CH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 47	LFR 46	LFR 45	LFR 44	LFR 43	LFR 42	LFR 41	LFR 40	LFR 39	LFR 38	LFR 37	LFR 36	LFR 35	LFR 34	LFR 33	LFR 32
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

R/W: R R R R R R R R R R R R R R R R

アドレス 32ビットアドレス：41CH (ビッグ&リトル)

16ビットアドレス：41CH (ビッグ) 41EH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LFR 63	LFR 62	LFR 61	LFR 60	LFR 59	LFR 58	LFR 57	LFR 56	LFR 55	LFR 54	LFR 53	LFR 52	LFR 51	LFR 50	LFR 49	LFR 48
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

R/W: R R R R R R R R R R R R R R R R

[機能説明] グローバルメモリ (GM) を構成する個々のメモリブロック (MB) のデータが最新のサイクルによってライトされていることと、個々の CUNet ステーションへ自己ステーションのメモリブロック (MB) のデータが正しく複製されたことの、両方を保証する個々のビットが格納されたレジスタです。ビット 0 がステーションアドレス (SA) 0 およびメモリブロック (MB) 0 へ、ビット 1 が SA1 および MB1 へ、ビット 63 が SA63 および MB63 へ対応します。

本レジスタの自己ステーションの占有エリアに対応するビットは、SCR (System Control Register) の GMM (Global Memory Monitor) ビット (ビット 15) が“1”である時 (本デバイスが GMM ステーションとして動作している場合) を除き、常に“1”です。よって、本レジスタの初期値は、自己ステーションの占有エリアに対応するビットが“1”、それ以外のビットが“0”です。

本レジスタのビットの遷移タイミングの詳細については、“4.2.3 グローバルメモリ (GM) データの品質保証”を参照してください。

本レジスタのビットの状態は、ALM (ALArM)、MC (Member Change)、LOK (Link group OK)、LNG (Link group No Good) の割込みトリガが出力されている最中にフリーズ (凍結) します。詳細については、“4.5.8 割込みトリガ発生に連動するレジスタのフリーズ”を参照してください。

5.9 LGR (Link Group Register)

アドレス 32 ビットアドレス : 438H (ビッグ & リトル)

16 ビットアドレス : 43AH (ビッグ) 438H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 15	LGR 14	LGR 13	LGR 12	LGR 11	LGR 10	LGR 9	LGR 8	LGR 7	LGR 6	LGR 5	LGR 4	LGR 3	LGR 2	LGR 1	LGR 0
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 43AH (ビッグ & リトル)

16 ビットアドレス : 438H (ビッグ) 43AH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 31	LGR 30	LGR 29	LGR 28	LGR 27	LGR 26	LGR 25	LGR 24	LGR 23	LGR 22	LGR 21	LGR 20	LGR 19	LGR 18	LGR 17	LGR 16
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 43CH (ビッグ & リトル)

16 ビットアドレス : 43EH (ビッグ) 43CH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 47	LGR 46	LGR 45	LGR 44	LGR 43	LGR 42	LGR 41	LGR 40	LGR 39	LGR 38	LGR 37	LGR 36	LGR 35	LGR 34	LGR 33	LGR 32
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 43CH (ビッグ & リトル)

16 ビットアドレス : 43CH (ビッグ) 43EH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LGR 63	LGR 62	LGR 61	LGR 60	LGR 59	LGR 58	LGR 57	LGR 56	LGR 55	LGR 54	LGR 53	LGR 52	LGR 51	LGR 50	LGR 49	LGR 48
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

[機能説明] LFR (Link Flag Register) のステータスの監視対象となるビットを設定するレジスタです。

本レジスタのビットは、LFR (Link Flag Register) のビットに対応します。

本レジスタのビットへ“1”を設定してリンク監視対象の CUnet ステーションを設定することにより、任意の CUnet ステーションのリンクステータスを一括監視することが可能となります。

5.10 MFR (Member Flag Register)

アドレス 32 ビットアドレス：428H (ビッグ & リトル)

16 ビットアドレス：42AH (ビッグ) 428H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MFR 15	MFR 14	MFR 13	MFR 12	MFR 11	MFR 10	MFR 9	MFR 8	MFR 7	MFR 6	MFR 5	MFR 4	MFR 3	MFR 2	MFR 1	MFR 0
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：428H (ビッグ & リトル)

16 ビットアドレス：428H (ビッグ) 42AH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MFR 31	MFR 30	MFR 29	MFR 28	MFR 27	MFR 26	MFR 25	MFR 24	MFR 23	MFR 22	MFR 21	MFR 20	MFR 19	MFR 18	MFR 17	MFR 16
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：42CH (ビッグ & リトル)

16 ビットアドレス：42EH (ビッグ) 42CH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MFR 47	MFR 46	MFR 45	MFR 44	MFR 43	MFR 42	MFR 41	MFR 40	MFR 39	MFR 38	MFR 37	MFR 36	MFR 35	MFR 34	MFR 33	MFR 32
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：42CH (ビッグ & リトル)

16 ビットアドレス：42CH (ビッグ) 42EH (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MFR 63	MFR 62	MFR 61	MFR 60	MFR 59	MFR 58	MFR 57	MFR 56	MFR 55	MFR 54	MFR 53	MFR 52	MFR 51	MFR 50	MFR 49	MFR 48
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

[機能説明] 3回連続した“リンク成立”を認識すると“1”が設定され、3回連続した“リンク不成立”を認識すると“0”が設定される、個々のメンバ状態が格納されるレジスタです。ビット0がステーションアドレス (SA) 0へ、ビット1がSA1へ、ビット63がSA63へ対応します。

本レジスタのビットは、自己ステーションのステーションアドレス (SA) と一致するステーションタイム (ST) の先頭時期 (ステータス管理の起点時期) に更新されます。

本レジスタのビットは、SCR (System Control Register) の START ビットが“0”の時および SCR (System Control Register) の GMM ビットが“1”の時に、全てのビットが“0”を維持します。

5.11 MGR (Member Group Register)

アドレス 32 ビットアドレス：440H (ビッグ & リトル)

16 ビットアドレス：442H (ビッグ) 440H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 15	MGR 14	MGR 13	MGR 12	MGR 11	MGR 10	MGR 9	MGR 8	MGR 7	MGR 6	MGR 5	MGR 4	MGR 3	MGR 2	MGR 1	MGR 0
-----------	-----------	-----------	-----------	-----------	-----------	----------	----------	----------	----------	----------	----------	----------	----------	----------	----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス：440H (ビッグ & リトル)

16 ビットアドレス：440H (ビッグ) 442H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 31	MGR 30	MGR 29	MGR 28	MGR 27	MGR 26	MGR 25	MGR 24	MGR 23	MGR 22	MGR 21	MGR 20	MGR 19	MGR 18	MGR 17	MGR 16
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス：444H (ビッグ & リトル)

16 ビットアドレス：446H (ビッグ) 444H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 47	MGR 46	MGR 45	MGR 44	MGR 43	MGR 42	MGR 41	MGR 40	MGR 39	MGR 38	MGR 37	MGR 36	MGR 35	MGR 34	MGR 33	MGR 32
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス：444H (ビッグ & リトル)

16 ビットアドレス：444H (ビッグ) 446H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MGR 63	MGR 62	MGR 61	MGR 60	MGR 59	MGR 58	MGR 57	MGR 56	MGR 55	MGR 54	MGR 53	MGR 52	MGR 51	MGR 50	MGR 49	MGR 48
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

[機能説明] MFR (Member Flag Register) のステータスの監視対象となるビットを設定するレジスタです。本レジスタのビットは、MFR (Member Flag Register) のビットに対応します。本レジスタのビットへ“1”を設定してメンバグループを設定することより、任意の CUnet ステーションのメンバステータスを一括監視することが可能となります。

5.12 DRCR (Data Renewal Check Register)

アドレス 32 ビットアドレス : 430H (ビッグ & リトル)

16 ビットアドレス : 432H (ビッグ) 430H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 15	DRCR 14	DRCR 13	DRCR 12	DRCR 11	DRCR 10	DRCR 9	DRCR 8	DRCR 7	DRCR 6	DRCR 5	DRCR 4	DRCR 3	DRCR 2	DRCR 1	DRCR 0
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 430H (ビッグ & リトル)

16 ビットアドレス : 430H (ビッグ) 432H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 31	DRCR 30	DRCR 29	DRCR 28	DRCR 27	DRCR 26	DRCR 25	DRCR 24	DRCR 23	DRCR 22	DRCR 21	DRCR 20	DRCR 19	DRCR 18	DRCR 17	DRCR 16
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 434H (ビッグ & リトル)

16 ビットアドレス : 436H (ビッグ) 434H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 47	DRCR 46	DRCR 45	DRCR 44	DRCR 43	DRCR 42	DRCR 41	DRCR 40	DRCR 39	DRCR 38	DRCR 37	DRCR 36	DRCR 35	DRCR 34	DRCR 33	DRCR 32
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

アドレス 32 ビットアドレス : 434H (ビッグ & リトル)

16 ビットアドレス : 434H (ビッグ) 436H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DRCR 63	DRCR 62	DRCR 61	DRCR 60	DRCR 59	DRCR 58	DRCR 57	DRCR 56	DRCR 55	DRCR 54	DRCR 53	DRCR 52	DRCR 51	DRCR 50	DRCR 49	DRCR 48
------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

[機能説明] グローバルメモリのデータ遷移を検出する機能を利用する際に、データ遷移を検出したいメモリブロック (MB) に対応するビットを予め設定するレジスタです。“1”をライトしたビットが検出の対象です。DRCR のビット 0 が MB0 に、ビット 7 が MB7 に、ビット 63 が MB63 にそれぞれ対応します。

本レジスタの機能は、MKY40 が GMM (Global Memory Monitor) ステーションとして動作している時も有効です。

5.13 DRFR (Data Renewal Flag Register)

アドレス 32 ビットアドレス：420H (ビッグ & リトル)

16 ビットアドレス：422H (ビッグ) 420H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

| DRFR |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：420H (ビッグ & リトル)

16 ビットアドレス：420H (ビッグ) 422H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

| DRFR |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：424H (ビッグ & リトル)

16 ビットアドレス：426H (ビッグ) 424H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

| DRFR |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

アドレス 32 ビットアドレス：424H (ビッグ & リトル)

16 ビットアドレス：424H (ビッグ) 426H (リトル)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

| DRFR |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

[機能説明] DRCR (Data Renewal Check Register) へ設定されているメモリブロックに対して、データ遷移検出の結果を示すレジスタです。DRFR のビット 0 が MB0 へ、ビット 1 が MB1 へ、ビット 63 が MB63 へ、それぞれ対応します。データ遷移を検出をしたメモリブロックに対応するビットが“1”を維持します。本レジスタのビットが遷移するタイミングの詳細については、“**4.2.4 グローバルメモリのデータ遷移検出**”を参照してください。

本レジスタのビットの状態は、DR (Data Renewal) の割込みトリガが出力されている最中にフリーズ (凍結) します。フリーズの詳細については、“**4.5.8 割込みトリガ発生に連動するレジスタのフリーズ**”を参照してください。

本レジスタの機能は、MKY40 が GMM (Global Memory Monitor) ステーションとして動作している時も有効です。

5.14 PWRCR (Primary Window Read Control Register)

アドレス 32ビットアドレス：400H (ビッグ & リトル)
16ビットアドレス：402H (ビッグ) 400H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	---	---	AC3	AC2	AC1	AC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

【機能説明】 GMPW (Global Memory Primary Window) を介してグローバルメモリ (GM) からデータをリードする際に、指定回数のリードアクセスが完了するまで一次的に GMPW をフリーズする、リードウインドウロック機能を実行させるレジスタです。

本レジスタの AC3 ~ 0 (Access Count) ビットへ、“08H” 以下の 16 進数のリードアクセス回数をライトできます。

本レジスタへ“08H”を超える値をライトした時は、強制的に“08H”が設定されます。

本レジスタへ格納された値は、値がライトされた後に GMPW へリードアクセスする度にカウントダウンされます。本レジスタは、“00H”以外の値が格納されている時はライトプロテクトされます。

5.15 PWWCR (Primary Window Write Control Register)

アドレス 32ビットアドレス：404H (ビッグ & リトル)
16ビットアドレス：406H (ビッグ) 404H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	---	---	AC3	AC2	AC1	AC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

【機能説明】 GMPW (Global Memory Primary Window) を介してグローバルメモリ (GM) へデータをライトする際に、指定回数のライトアクセスが完了するまで一次的に GMPW をフリーズする、ライトウインドウロック機能を実行させるレジスタです。

本レジスタの AC3 ~ 0 (Access Count) ビットへ、“08H” 以下の 16 進数のライトアクセス回数をライトできます。

本レジスタへ“08H”を超える値をライトした時は、強制的に“08H”が設定されます。

本レジスタへ格納された値は、値がライトされた後に GMPW へライトアクセスする度にカウントダウンされます。本レジスタは、“00H”以外の値が格納されている時はライトプロテクトされます。

5.16 SWRCR (Secondary Window Read Control Register)

アドレス 32 ビットアドレス：408H (ビッグ & リトル)
16 ビットアドレス：40AH (ビッグ) 408H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	---	---	AC3	AC2	AC1	AC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

[機能説明] GMSW (Global Memory Secondary Window) を介してグローバルメモリ (GM) からデータをリードする際に、指定回数のリードアクセスが完了するまで一次的に GMSW をフリーズする、リードウインドロック機能を実行させるレジスタです。

本レジスタの AC3 ~ 0 (Access Count) ビットへ、“08H” 以下の 16 進数のリードアクセス回数をライトできます。

本レジスタへ“08H”を超える値をライトした時は、強制的に“08H”が設定されます。

本レジスタへ格納された値は、値がライトされた後に GMSW へリードアクセスが行われる都度カウントダウンされます。本レジスタは、“00H”以外の値が格納されている時はライトプロテクトされます。

5.17 SWWCR (Secondary Window Write Control Register)

アドレス 32 ビットアドレス：40CH (ビッグ & リトル)
16 ビットアドレス：40EH (ビッグ) 40CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	---	---	AC3	AC2	AC1	AC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

[機能説明] GMSW (Global Memory Secondary Window) を介してグローバルメモリ (GM) へデータをライトする際に、指定回数のライトアクセスが完了するまで一次的に GMSW をフリーズする、ライトウインドロック機能を実行させるレジスタです。

本レジスタの AC3 ~ 0 (Access Count) ビットへ、“08H” 以下の 16 進数のライトアクセス回数をライトできます。

本レジスタへ“08H”を超える値をライトした時は、強制的に“08H”が設定されます。

本レジスタへ格納された値は、値がライトされた後に GMSW へライトアクセスする度にカウントダウンされます。本レジスタは、“00H”以外の値が格納されている時はライトプロテクトされます。

5.18 MR0CR (Mail Receive 0 Control Register)

アドレス 32 ビットアドレス：48CH (ビッグ & リトル)

16 ビットアドレス：48EH (ビッグ) 48CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRC0	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

【機能説明】 MRB0 (Mail Receive Buffer 0) に対応するメール受信をコントロールするレジスタです。

●ビット説明

SZ0～5 (receive SiZe) ビット (ビット0～5)

【機能】 本ビットへは、MRB0 (Mail Receive Buffer 0) がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。

RDY (receive ReaDY) ビット (ビット6)

【機能】 本ビットへは、MRB0 (Mail Receive Buffer 0) のメール受信許可を設定します。本ビットは、SCR の RUN ビットが“1”の時に操作できます。本ビットへ“1”をライトすることにより、MRB0 のメール受信を許可します。本ビットが“0”の時は、MRB0 のメール受信を禁止します。MRB0 へのメール受信中は、本ビット値を“1”から“0”へ設定することはできません。このため、“0”をライトした際は、本ビットをリードしてビットの状態を確認してください。本ビットへ“1”をライトすると、RCV ビットへは強制的に“0”が設定されます。本ビットが“1”の時に、SCR の RUN ビットが“0”へ遷移すると、本ビットも“0”へ遷移します。

RCV (ReCeIVed) ビット (ビット7)

【機能】 本ビットは、メールの受信完了を示します。本ビットは、メールの受信完了により“1”へ遷移します。本ビットが“1”になると同時に、RDY ビット (ビット6) が“0”へ遷移します。RDY ビットへ“1”をライトすると、本ビットへは“0”が設定されます。また、RDY ビットへ“1”をライトせずに直接本ビットへ“0”をライトすることによって、本ビットを強制的に“0”にすることも可能です。本ビットが“1”の時に、SCR の RUN ビットが“0”へ遷移すると、本ビットも“0”へ遷移します。

SRC0～5 (SouRCe station address) ビット (ビット8～13)

【機能】 本ビットへは、MRB0 (Mail Receive Buffer 0) へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。

5.19 MR1CR (Mail Receive 1 Control Register)

アドレス 32 ビットアドレス : 490H (ビッグ & リトル)

16 ビットアドレス : 492H (ビッグ) 490H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	SRC5	SRC4	SRC3	SRC2	SRC1	SRC0	RCV	RDY	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

[機能説明] MRB1 (Mail Receive Buffer 1) に対応するメール受信をコントロールするレジスタです。

●ビット説明

SZ0 ~ 5 (receive SiZe) ビット (ビット 0 ~ 5)

[機能] 本ビットへは、MRB1 (Mail Receive Buffer 1) がメールを受信した時に、受信したメールのデータセットのサイズ (16 進数) が設定されます。データセットのサイズは、8 バイトを 1 単位とした値です。

RDY (receive ReaDY) ビット (ビット 6)

[機能] 本ビットへは、MRB1 (Mail Receive Buffer 1) のメール受信許可を設定します。

本ビットは、SCR の RUN ビットが "1" の時に操作できます。

本ビットへ "1" をライトすることにより、MRB1 のメール受信を許可します。

本ビットが "0" の時は、MRB1 のメール受信を禁止します。

MRB1 のメール受信中は、本ビット値を "1" から "0" へ設定することはできません。このため、"0" をライトした際は、本ビットをリードしてビットの状態を確認してください。

本ビットへ "1" をライトすると、RCV ビットへは強制的に "0" が設定されます。

本ビットが "1" の時に、SCR の RUN ビットが "0" へ遷移すると、本ビットも "0" へ遷移します。

RCV (ReCeIved) ビット (ビット 7)

[機能] 本ビットは、メールの受信完了を示します。

本ビットは、メールの受信完了により "1" へ遷移します。本ビットが "1" になると同時に、RDY ビット (ビット 6) が "0" へ遷移します。RDY ビットへ "1" をライトすると、本ビットへは "0" が設定されます。また、RDY ビットへ "1" をライトせず直接本ビットへ "0" をライトすることによって、本ビットを強制的に "0" にすることも可能です。

本ビットが "1" の時に、SCR の RUN ビットが "0" へ遷移すると、本ビットも "0" へ遷移します。

SRC0 ~ 5 (SouRCe station address) ビット (ビット 8 ~ 13)

[機能] 本ビットへは、MRB1 (Mail Receive Buffer 1) へデータセットが格納された時に、送信元のステーションアドレス (16 進数) が設定されます。

5.20 MSCR (Mail Send Control Register)

アドレス 32ビットアドレス：47CH (ビッグ & リトル)

16ビットアドレス：47EH (ビッグ) 47CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERR	SEND	DST5	DST4	DST3	DST2	DST1	DST0	---	---	SZ5	SZ4	SZ3	SZ2	SZ1	SZ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W						

【機能説明】 MSB (Mail Send Buffer) ヘライトしたデータセットのメール送信をコントロールするレジスタです。

●ビット説明

SZ0 ~ 5 (receive SiZe) ビット (ビット 0 ~ 5)

【機能】 本ビットへは、メール送信用のデータセットのサイズを設定します。

SEND ビット (ビット 14) へ“1”をライトする以前かあるいは同時に、メール送信用データセットのサイズ (16 進数) をライトしてください。データセットのサイズは、8 バイトを 1 単位とした値です。

例えば、データセットが 34 バイトである場合のサイズは“05H”です。データセットが最大の 256 バイトである場合のサイズは“20H”です。

DST0 ~ 5 (DeSTination station address) ビット (ビット 8 ~ 13)

【機能】 本ビットへは、メールを送信する宛先のステーションアドレスを設定します。

SEND ビット (ビット 14) へ“1”をライトする以前かあるいは同時に、メールを送信する宛先のステーションアドレス (16 進数) をライトしてください。

SEND (mail SEND) ビット (ビット 14)

【機能】 本ビットは、メール送信を開始します。

メール送信を開始する時に、本ビットへ“1”をライトしてください。

本ビットは、ERR ビット (ビット 15) が“1”である場合、ライトプロテクトされます。

本ビットは、メール送信が終了 (正常な終了あるいはエラー発生による中断) した場合、“0”へクリアされます。

本ビットが“1”の時 (メール送信中) は、MSB (Mail Send Buffer) へのライトはプロテクトされます。また本ビットが“1”の時に MSB (Mail Send Buffer) をリードした場合に、リードによって読み出されるデータは“00H”に強制されます。

ERR (mail send ERRor) ビット (ビット 15)

【機能】 本ビットは、メール送信がエラー終了したことを示します。

本ビットは、メール送信時にエラーが発生した時、“1”へ遷移します。

MESR (Mail Error Status Register) の全ビットが“0”へクリアされると、本ビットも“0”へクリアされます。

5.21 MSLR (Mail Send Limit time Register)

アドレス 32 ビットアドレス : 480H (ビッグ & リトル)

16 ビットアドレス : 482H (ビッグ) 480H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	LMT 12	LMT 11	LMT 10	LMT 9	LMT 8	LMT 7	LMT 6	LMT 5	LMT 4	LMT 3	LMT 2	LMT 1	LMT 0
初期値:	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[機能説明] メール送信のタイムアウト値を設定するレジスタです。

本レジスタの LMT0 ~ 12 (LiMit Time) ビットへは、サイクルタイムを 1 単位とする、ユーザシステムが定めるタイムアウト値 (16 進数) をライトしてください。

本レジスタは、MSCR (Mail Sned Control Register) のビット 14 (SEND) が "1" (メール送信中) の場合は、ライトプロテクトされます。

本レジスタへは、ハードウェアリセットがアクティブになると、初期値として 1FFFH が設定されます。

5.22 MESR (Mail Error Status Register)

アドレス 32 ビットアドレス：484H (ビッグ & リトル)

16 ビットアドレス：486H (ビッグ) 484H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	---	---	---	---	---	---	---	STOP	LMFLT	SZFLT	TOUT	NOEX	NORDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

【機能説明】 メール送信の開始以後、メール送信エラーが発生した場合のエラー内容を示すレジスタです。メール送信エラーの発生種別に対応するビットが“1”へ遷移します。ビット0～5が存在するアドレスへ、任意のデータをライトすることにより、全てのビットは“0”へクリアされます。

●ビット説明

NORDY (destination NOt ReaDY) ビット (ビット0)

【機能】 本ビットは、送信先の受信バッファが受信許可されていなかったことによるメール送信エラーの発生を示します。

NOEX (destination NOt EXist) ビット (ビット1)

【機能】 本ビットは、MSCR (Mail Send Control Register) に設定した送信先の CUnet ステーションが存在しなかったことによるメール送信エラーの発生を示します。

TOUT (limit Time OUT) ビット (ビット2)

【機能】 本ビットは、MSLR (Mail Send Limit time Register) に設定されているサイクル回数を経過してもメール送信が完了しなかったことによるメール送信エラーの発生を示します。

SZFLT (SiZe FauLT) ビット (ビット3)

【機能】 本ビットは、MSCR (Mail Send Control Register) に設定したメール送信サイズが不正値であったことによるメール送信エラーの発生を示します。

LMFLT (LiMit time FauLT) ビット (ビット4)

【機能】 本ビットは、MSLR (Mail Send Limit time Register) に設定した値が不正であったことによるメール送信エラーの発生を示します。

STOP (communication STOPped) ビット (ビット5)

【機能】 本ビットは、メール送信中のネットワーク停止によるメール送信エラーの発生を示します。

5.23 MSRR (Mail Send Result Register)

アドレス 32 ビットアドレス : 488H (ビッグ & リトル)

16 ビットアドレス : 48AH (ビッグ) 488H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	RLT 12	RLT 11	RLT 10	RLT 9	RLT 8	RLT 7	RLT 6	RLT 5	RLT 4	RLT 3	RLT 2	RLT 1	RLT 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【機能説明】 メール送信に要した所要時間が格納されるレジスタです。

メール送信終了時に、メール送信の開始から終了までに要した所要時間となるサイクル数（16 進数）が、RLT0 ~ 12 (ResuLt Time) ビットへ設定されます。

本レジスタは、次回のメール送信の終了まで値を維持します。

5.24 INT0CR (INTerrupt 0 Control Register)

アドレス 32ビットアドレス：450H (ビッグ&リトル)

16ビットアドレス：452H (ビッグ) 450H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

[機能説明] #INT0 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INT0CR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT0 端子の機能がイネーブルになります。

●ビット説明

ALM (ALArM) ビット (ビット0)

[機能] 本ビットは、サイクル中のステーションタイムが予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻になったことによる割込みトリガ発生をイネーブルにします。

DR (Data Renewal) ビット (ビット1)

[機能] 本ビットは、予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出による割込みトリガ発生をイネーブルにします。
本ビットは、INT1CR (INTerrupt 1 Control Register) の同ビット値が“1”の時に、“1”のライトがプロテクトされます。

MR (Mail Receive) ビット (ビット2)

[機能] 本ビットは、メール受信完了による割込みトリガ発生をイネーブルにします。

MSF (Mail Send Finish) ビット (ビット3)

[機能] 本ビットは、メール送信 (正常あるいはエラーに関わらず) 終了による割込みトリガ発生をイネーブルにします。

MGNE (Member Group Not Equal) ビット (ビット4)

[機能] 本ビットは、“MGR ≠ MFR”の判定結果による割込みトリガ発生をイネーブルにします。

MGNC (Member Group Not Collect) ビット (ビット5)

[機能] 本ビットは、“MGR > MFR”の判定結果による割込みトリガ発生をイネーブルにします。

RC (Resize Complete) ビット (ビット6)

[機能] 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより、自己ステーションのリサイズ完了による割込みトリガ発生をイネーブルにします。

RSTP (Run SToP) ビット (ビット7)

[機能] 本ビットは、ネットワーク停止による割込みトリガ発生をイネーブルにします。

RSTR (Run STaRt) ビット (ビット8)

[機能] 本ビットは、ランフェーズへ遷移したことによる割込みトリガ発生をイネーブルにします。

MC (Member Change) ビット (ビット 9)

[機能] 本ビットは、MFR (Member Flag Register) の内、“1”であるビット数の増減による割込みトリガ発生をイネーブルにします。
この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

LOK (Link group OK) ビット (ビット 10)

[機能] 本ビットは、“リンク OK”の判定結果による割込みトリガ発生をイネーブルにします。
この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

LNG (Link group No Good) ビット (ビット 11)

[機能] 本ビットは、“リンク NG (No Good)”の判定結果による割込みトリガ発生をイネーブルにします。この要因による割込みトリガが発生している最中は、RFR (Receive Flag Register) の全ビット、LFR (Link Flag Register) の全ビット、SSR (System Status Register) のビット 12 (LOK: Link group OK) がフリーズ (凍結) します。

BD (Break Detect) ビット (ビット 12)

[機能] 本ビットは、他の CUnet ステーションから送信されるブレイクパケット受信による割込みトリガ発生をイネーブルにします。

RO (Resize Overlap) ビット (ビット 13)

[機能] 本ビットは、リサイズオーバーラップによる割込みトリガ発生をイネーブルにします。

PR (Ping Receive) ビット (ビット 14)

[機能] 本ビットは、他の CUnet ステーションからの PING 命令受信による割込みトリガ発生をイネーブルにします。

JD (Jammer Detect) ビット (ビット 15)

[機能] 本ビットは、ジャマー検出による割込みトリガ発生をイネーブルにします。

5.25 INT1CR (INTerrupt 1 Control Register)

アドレス 32ビットアドレス：454H (ビッグ&リトル)

16ビットアドレス：456H (ビッグ) 454H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

【機能説明】 #INT1 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INT1CR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT1 端子の機能がイネーブルになります。

●ビット説明

ALM (ALarM) ビット (ビット0)

【機能】 本ビットは、サイクル中のステーションタイムが予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻になったことによる割込みトリガ発生をイネーブルにします。

DR (Data Renewal) ビット (ビット1)

【機能】 本ビットは、予め IT1CR (Interrupt Timing 1 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出による割込みトリガ発生をイネーブルにします。
本ビットは、INT0CR (INTerrupt 0 Control Register) の同ビット値が“1”の時に、“1”のライトがプロテクトされます。

MR (Mail Receive) ビット～JD (Jammer Detect) ビット (ビット2～15)

【機能】 本ビットについては、“5.24 INT0CR”に記述された同ビットの説明を参照してください。

5.26 INT2CR (INTerrupt 2 Control Register)

アドレス 32ビットアドレス：458H (ビッグ&リトル)

16ビットアドレス：45AH (ビッグ) 458H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	---	---
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R							

[機能説明] #INT2 端子の割込みトリガ発生機能を“イネーブル”に設定するためのレジスタです。INT2CR に備えられたビットに定義される割込み発生要因のうち、ユーザシステムが必要とする割込み発生要因のビットへ“1”をライトすることにより、#INT2 端子の機能がイネーブルになります (本レジスタには、DR (Data Renewal) ビットと ALM (ALarM) ビットは存在しません)。

●ビット説明

MR (Mail Receive) ビット～ JD (Jammer Detect) ビット (ビット2～15)

[機能] 本ビットについては、“5.24 INT0CR” に記述された同ビットの説明を参照してください。

5.27 INT0SR (INTerrupt 0 Status Register)

アドレス 32ビットアドレス：45CH (ビッグ & リトル)

16ビットアドレス：45EH (ビッグ) 45CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

【機能説明】 #INT0 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。

#INT0 端子の出力レベルは、本レジスタのビットが全て“0”になると、Hi レベル出力を維持する状態へ戻ります。

本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください(“0”をライトしても無視されます)

●ビット説明

ALM (ALarM) ビット (ビット0)

【機能】 本ビットは、サイクル中のステーションタイムが予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻になったことにより割込みトリガが発生したことを示します。

DR (Data Renewal) ビット (ビット1)

【機能】 本ビットは、予め IT0CR (Interrupt Timing 0 Control Register) へ指定した時刻における、予め DRCR (Data Renewal Check Register) へ設定した検出ビットに対応する MB (Memory Block) のデータ遷移検出によって割込みトリガが発生したことを示します。

MR (Mail Receive) ビット (ビット2)

【機能】 本ビットは、メール受信完了によって割込みトリガが発生したことを示します。

MSF (Mail Send Finish) ビット (ビット3)

【機能】 本ビットは、メール送信(正常あるいはエラーに関わらず)終了によって割込みトリガが発生したことを示します。

MGNE (Member Group Not Equal) ビット (ビット4)

【機能】 本ビットは、MGR ≠ MFR 判定結果によって割込みトリガが発生したことを示すビットです。

MGNC (Member Group Not Collect) ビット (ビット5)

【機能】 本ビットは、“MGR > MFR”の判定結果によって割込みトリガが発生したことを示します。

RC (Resize Complete) ビット (ビット6)

【機能】 本ビットは、他の CUnet ステーションからのリサイズを受けたことにより自己ステーションのリサイズ完了による割込みトリガが発生したことを示します。

RSTP (Run SToP) ビット (ビット 7)

[機能] 本ビットは、ネットワーク停止によって割込みトリガが発生したことを示します。

RSTR (Run STaRt) ビット (ビット 8)

[機能] 本ビットは、ランフェーズへ遷移したことによって割込みトリガが発生したことを示します。

MC (Member Change) ビット (ビット 9)

[機能] 本ビットは、MFR (Member Flag Register) の“1”であるビット数の増減によって割込みトリガが発生したことを示します。

LOK (Link group OK) ビット (ビット 10)

[機能] 本ビットは、“リンク OK”の判定結果によって割込みトリガが発生したことを示します。

LNG (Link group No Good) ビット (ビット 11)

[機能] 本ビットは、“リンク NG (No Good)”の判定結果によって割込みトリガが発生したことを示します。

BD (Break Detect) ビット (ビット 12)

[機能] 本ビットは、他の CUnet ステーションから送信されるブレイクパケットを受信したことによって割込みトリガが発生したことを示します。

RO (Resize Overlap) ビット (ビット 13)

[機能] 本ビットは、リサイズオーバーラップが発生したことによって割込みトリガが発生したことを示すビットです。

PR (Ping Receive) ビット (ビット 14)

[機能] 本ビットは、他の CUnet ステーションからの PING 命令を受信したことによって割込みトリガが発生したことを示します。

JD (Jammer Detect) ビット (ビット 15)

[機能] 本ビットは、ジャマー検出によって割込みトリガが発生したことを示します。

5.28 INT1SR (INTerrupt 1 Status Register)

アドレス 32ビットアドレス：460H (ビッグ&リトル)

16ビットアドレス：462H (ビッグ) 460H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	DR	ALM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W							

[機能説明] #INT1 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。

#INT1 端子の出力レベルは、本レジスタのビットが全て“0”になると、Hi レベル出力を維持する状態へ戻ります。

本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください(“0”をライトしても無視されます)。

●ビット説明

ALM (ALarM) ビット～JD (Jammer Detect) ビット (ビット0～15)

[機能] 本ビットについては、“5.27 INT0SR”に記述された同ビットの説明を参照してください。

5.29 INT2SR (INTerrupt 2 Status Register)

アドレス 32ビットアドレス：464H (ビッグ&リトル)

16ビットアドレス：466H (ビッグ) 464H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JD	PR	RO	BD	LNG	LOK	MC	RSTR	RSTP	RC	MGNC	MGNE	MSF	MR	---	---
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R							

[機能説明] #INT2 端子の割込みトリガ発生機能によって、割込みトリガが発生した割込み発生要因を示すレジスタです。発生した割込み発生要因に対応するビットが“1”へ遷移します。ユーザシステムのプログラムは、本レジスタをリードすることにより、どの割込み発生要因によって割込みがトリガされたのかを認識することができます。

#INT2 端子の出力レベルは、本レジスタのビットが全て“0”になると Hi レベル出力を維持する状態へ戻ります。

本レジスタの“1”を示すビットを“0”へクリアするためには、対象のビットへ“1”をライトしてください(“0”をライトしても無視されます)。

●ビット説明

MR (Mail Receive) ～JD (Jammer Detect) ビット (ビット2～15)

[機能] 本ビットについては、“5.27 INT0SR”に記述された同ビットの説明を参照してください。

5.30 IT0CR (Interrupt Timing 0 Control Register)

アドレス 32 ビットアドレス：468H (ビッグ & リトル)

16 ビットアドレス：46AH (ビッグ) 468H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	DR6	DR5	DR4	DR3	DR2	DR1	DR0	---	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

[機能説明] #INT0 端子の割込みトリガ発生機能における、DR (Data Renewal) 割込みトリガ発生タイミング、および ALM (ALArM) 割込みトリガ発生タイミングのそれぞれを設定するレジスタです。それぞれの割込みトリガは、設定値とステーションタイムが一致した時点で発生します。

●ビット説明

ALM0～6 (ALArM) ビット (ビット0～6)

[機能] 本ビットへは、ALM (ALArM) の割込み発生要因による割込みトリガの発生タイミングを設定します。本ビットへは、“0～127 (00H～7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値をライトしないでください。

DR0～6 (Data Renewal) ビット (ビット8～14)

[機能] 本ビットは、DR (Data Renewal) の割込み発生要因による割込みトリガの発生タイミングを設定するビットです。
本ビットへは、“0～127 (00H～7FH)” がライト可能です。しかし、CUnet におけるステーションタイム値は、FSR (Final Station Register) に格納されている値に“2”を加算した値までです。したがって、この値を超える数値をライトすると、割込みトリガが発生しないため、不適切な値はライトしないでください。

5.31 IT1CR (Interrupt Timing 1 Control Register)

アドレス 32 ビットアドレス：46CH (ビッグ & リトル)

16 ビットアドレス：46EH (ビッグ) 46CH (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	DR6	DR5	DR4	DR3	DR2	DR1	DR0	---	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

[機能説明] #INT1 端子の割込みトリガ発生機能における、DR (Data Renewal) 割込みトリガ発生タイミング、および ALM (ALArM) 割込みトリガ発生タイミングのそれぞれを設定するレジスタです。それぞれの割込みトリガは、設定値とステーションタイムが一致した時点で発生します。

●ビット説明

ALM0～6 (ALArM) ビット (ビット0～6)、および DR0～6 (Data Renewal) ビット (ビット8～14)

[機能] 本ビットについては、“5.30 IT0CR” に記述された同ビットの説明を参照してください。

5.32 CCTR (Care Counter Register)

アドレス 32 ビットアドレス：478H (ビッグ & リトル)

16 ビットアドレス：47AH (ビッグ) 478H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCC 7	MCC 6	MCC 5	MCC 4	MCC 3	MCC 2	MCC 1	MCC 0	LCC 7	LCC 6	LCC 5	LCC 4	LCC 3	LCC 2	LCC 1	LCC 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

[機能説明] LCARE 信号および MCARE 信号の発生回数が格納されるレジスタです。

●ビット説明

LCC0～7 (Link Care Counter) ビット (ビット0～7)

[機能] 本ビットへは、LCARE 信号の発生回数が格納されます。

本ビットによって、LCARE 信号の発生回数 (16 進数) がカウントされます。

発生回数は、“FFH”までカウントすると、“FFH”の値を維持します。

本ビットは、LCC0 ビット (ビット0) へ“1”をライトすることにより、カウント値を“00H”へクリアできます。

MCC0～7 (Member Care Counter) ビット (ビット8～15)

[機能] 本ビットへは、MCARE 信号の発生回数が格納されます。

本ビットによって、MCARE 信号の発生回数 (16 進数) がカウントされます。

発生回数は、“FFH”までカウントすると、“FFH”の値を維持します。

本ビットは、MCC0 ビット (ビット8) へ“1”をライトすることにより、カウント値を“00H”へクリアできます。

5.33 QCR (Query Control Register)

アドレス 32 ビットアドレス：474H (ビッグ & リトル)

16 ビットアドレス：476H (ビッグ) 474H (リトル)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	---	---	---	TYP4	TYP3	TYP2	TYP1	TYP0	PING	TQ	TS5	TS4	TS3	TS2	TS1	TS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[機能説明] PING 機能および他の CUnet ステーションのモードを検出する機能 (クエリ) をコントロールするレジスタです。

●ビット説明

TS0 ~ 5 (Target Station) ビット (ビット 0 ~ 5)

[機能] 本ビットへは、PING およびクエリの対象とするステーションアドレスを設定します。

TQ (Try Query) ビット (ビット 6)

[機能] 本ビットは、クエリの実施を操作します。

本ビットへ“1”をライトすることによって、TS0 ~ TS5 ビットへ設定したステーションアドレスの CUnet ステーションに対してクエリを実施します。クエリ完了後に本ビットは“0”へリセットされます。対象の CUnet ステーションが存在しない場合は、本ビットは“1”のままになります。数サイクル時間が経過しても本ビットが“0”へリセットされない場合は、本ビットへ“0”をライトしてクエリを終了させてください。

本ビットと PING ビットの両方が“1”となるデータのライトはプロテクトされます。

PING (PING) ビット (ビット 7)

[機能] 本ビットは、PING 命令の発行を操作するビットです。

本ビットへ“1”をライトすることにより、TS0 ~ TS5 ビットへ設定したステーションアドレスの CUnet ステーションに対して PING 命令を送信します。送信完了後に本ビットは、“0”へ遷移します。本ビットと、TQ ビットの両方が“1”となるデータのライトはプロテクトされます。

TYP0 ~ 4 (station TYPE) ビット (ビット 8 ~ 12)

[機能] 本ビットへは、他の CUnet ステーションのモードを検出する機能 (クエリ) が完了した時に、表 5-3 のタイプコードが設定されます。

表 5-3 クエリ完了によるタイプコード

ビット 8 ~ 12 へセットされるタイプコード	CUnet 専用 IC のモード	フレームオプションの状態
00H	MEM モード	0
01H	MEM モード	1
02H	IO モード	0
03H	IO モード	1
04H	占有拡張により実態の無い MEM モード	---
05H ~ 1FH	メーカーリザーブ	

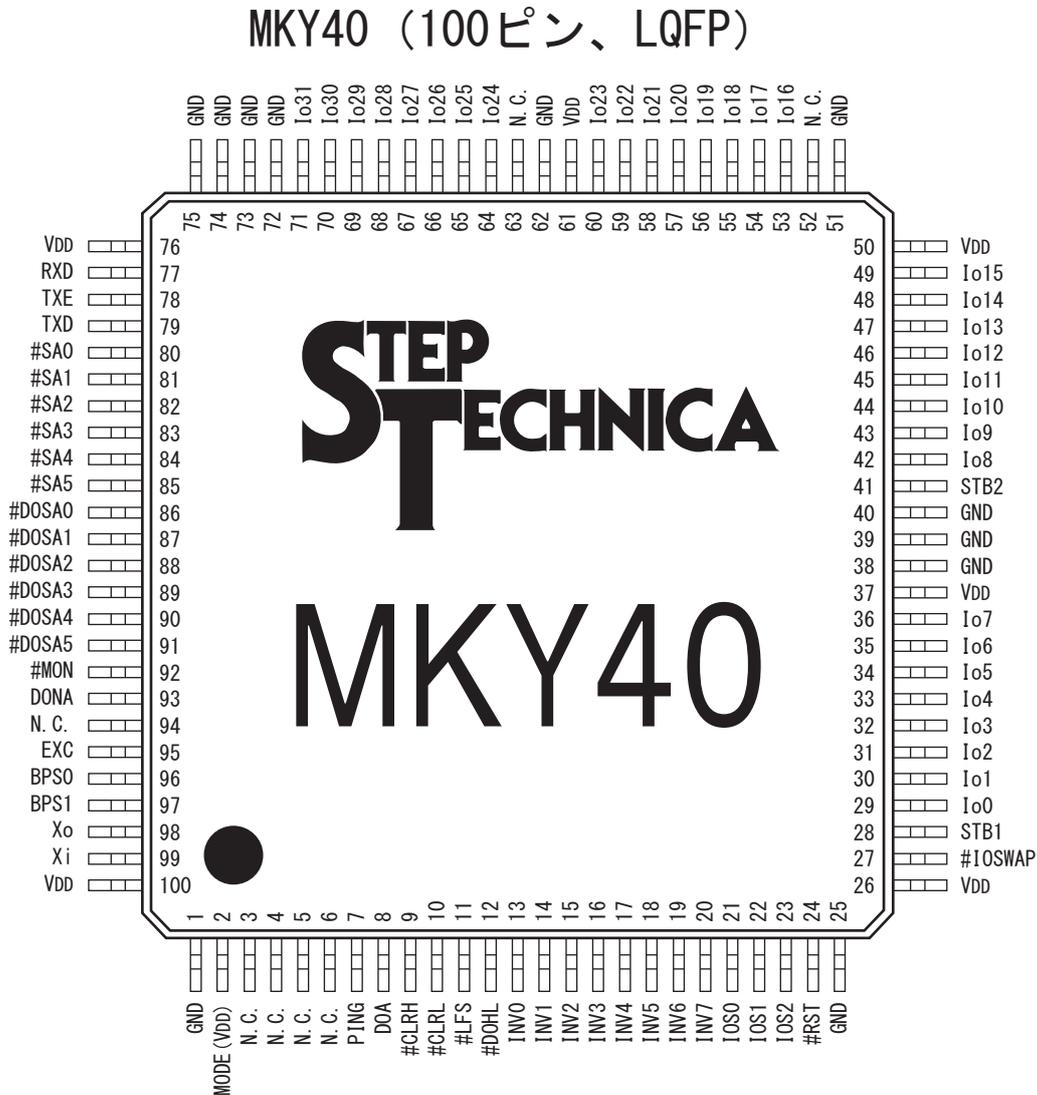
第 6 章 IO モード時におけるハードウェア

本章は、MKY40 の IO モード時における端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

第 6 章 IO モード時におけるハードウェア

本章は、MKY40 の IO モード時における端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

IO モード時における端子配列を、図 6.1 に示します。



N.C. = No connect

注記：先頭に“#”が付いている端子は、負論理（Loアクティブ）を示します。

図 6.1 IO モード時における端子配列

表 6-1 に、IO モード時における端子機能を示します。

表 6-1 IO モード時における端子機能

端子名	端子番号	論理	I/O	機能
MODE	2	正	I	MKY40 のモードを設定する入力端子です。 IO モード時においては、必ず Hi レベルに固定してください。
PING	7	正	O	他の CUNet ステーションから PING 命令を受信した時に Hi レベルになる、PING 機能の出力端子です。本端子はハードウェアリセットがアクティブになると、他の CUNet ステーションからの PING 命令に優先して Lo レベルを維持します。
DOA	8	正	O	IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子のデータが、所定時間以内に更新されていることを通知する出力端子です。本端子は、所定時間以内に更新されている場合に出力を Hi レベルに維持します。本端子はハードウェアリセットがアクティブになると、Lo レベルを維持します。
#CLRHI	9	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io16 ~ Io31 端子を、特定のレベルへ強制する入力端子です。 本端子の入力が Lo レベルの時、“出力”に設定されている Io16 ~ Io31 端子の最終段ラッチが“0”へクリアされます。これにより“出力”に設定されている Io16 ~ Io31 端子は、INV4 ~ 7 端子の設定に応じて Hi レベルまたは Lo レベルを出力します。
#CLRLO	10	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io15 端子を、特定のレベルに強制する入力端子です。 本端子の入力が Lo レベルの時、“出力”に設定されている Io0 ~ Io15 端子の最終段ラッチが“0”にクリアされます。これにより“出力”に設定されている Io0 ~ Io15 端子は、INV0 ~ 3 端子の設定に応じて Hi レベルまたは Lo レベルを出力します。
#LFS	11	負	I	本端子は、IO モードの MKY40 をフレームオプション設定する入力端子です。 本端子は通常、Hi レベルに固定してください。IO ステーションのみによって CUNet を構築する場合であって、かつ本 IO モードの MKY40 をロングフレーム (LF) に設定する場合に限り、本端子は Lo レベルに固定してください。
#DOHL	12	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子へ出力する対象のデータを、#DOSA0 ~ #DOSA5 端子によって選択されたメモリアドレス (MB) の上位ビット (ビット 32 ~ 63) を選択するか、下位ビット (ビット 0 ~ 31) を選択するかを設定する入力端子です。 本端子が Hi レベルの時に下位ビットが、Lo レベルの時に上位ビットが選択されます。
INV0 ~ INV7	13 ~ 20	正	I	Io0 ~ Io31 端子の内部論理と端子レベルの概念を反転設定する入力端子です。 本端子が Lo レベルの時は、内部論理が“1”の Io0 ~ Io31 端子は Hi レベルです。本端子が Hi レベルの時は、内部論理が“0”の Io0 ~ Io31 端子は Hi レベルです。
IOS0 ~ IOS2	21 ~ 23	正	I	Io0 ~ Io31 端子を“入力”あるいは“出力”に設定する入力端子です。 本端子に入力する Hi レベルと Lo レベルの組み合わせによって、Io0 ~ Io31 端子の“入力”あるいは“出力”を設定します。
#RST	24	負	I	MKY40 のハードウェアリセット入力端子です。 電源“ON”直後から、あるいはユーザが意図的にハードウェアをリセットする時に、Xi 端子の周波数の 10 クロック以上 Lo レベルを維持してください。通常は Hi レベルを維持してください。
#IOSWAP	27	負	I	IOS0 ~ IOS2 端子の設定によって決定される Io0 ~ Io31 端子の“入力”あるいは“出力”の状態を、反転させる設定の入力端子です。 本端子が Hi レベルの時は、反転されません。 本端子が Lo レベルの時は、IOS0 ~ IOS2 端子の設定によって決定される Io0 ~ Io31 端子の“入力”が“出力”へ、“出力”が“入力”へ反転します。
STB1	28	正	O	IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子のデータが更新する時期を通知する出力端子です。本端子は通常 Lo レベルを出力し、データ更新時期に所定時間の Hi レベルを出力します。
Io0 ~ Io7 Io8 ~ Io15 Io16 ~ Io23 Io24 ~ Io31	29 ~ 36 42 ~ 49 53 ~ 60 64 ~ 71	正 / 負	I/O	32 ビットの汎用入出力外部端子です。 正論理または負論理は、INV0 ~ INV7 端子の設定に依存します。

(つづく)

表 6-1 IO モード時における端子機能

(つづき)

端子名	端子番号	論理	I/O	機能
STB2	41	正	O	IOS0～IOS2 端子の設定によって“入力”に設定されている Io0～Io31 端子のデータを内部ヘライトする時期を通知する出力端子です。本端子は通常 Lo レベルを出力し、データを内部ヘライトする時期に所定時間の Hi レベルを出力します。
RXD	77	正	I	パケットを入力する端子です。レシーバの出力端子へ接続してください。
TXE	78	正	O	送信するパケットを出力する期間中、Hi レベルを出力する出力端子です。ドライバのイネーブル入力端子へ接続してください。
TXD	79	正	O	送信するパケットを出力するを出力端子です。ドライバのドライブ入力端子へ接続してください。
#SA0～ #SA5	80～85	負	I	ステーションアドレス (SA) を設定する入力端子です。MKY40 は、ハードウェアリセットアクティブ時に、本端子の反転状態を内部の BCR ヘライトします。
#DOSAO～ #DOSA5	86～91	負	I	本端子は、IOS0～IOS2 端子の設定によって“出力”に設定されている Io0～Io31 端子へ出力する対象のメモリブロック (MB) を選択する入力端子です。選択する MB 番号 (00H～3FH) を、6 ビット負論理のバイナリ値 (3FH～00H) によって設定してください。
#MON	92	負	O	他の CUNet ステーションと安定的にリンクが成立している間 Lo レベルを出力する、LED 点灯用の出力端子です。
DONA	93	正	O	IOS0～IOS2 端子の設定によって“出力”に設定されている Io0～Io31 端子のデータが、所定時間以内に更新されていないことを通知する出力端子です。本端子は、所定時間以内に更新されていない場合、出力を Hi レベルに維持します (本端子は、DOA 端子の反転出力です。DOA 端子が Hi レベルの時に本端子は Lo レベルを、DOA 端子が Lo レベルの時に本端子は Hi レベルを出力します)。本端子はハードウェアリセットがアクティブになると、Hi レベルを維持します。
EXC	95	正	I	転送レートが外部クロックに依存する際に使用するクロック入力端子です。転送レートは、供給周波数の“1/4”です。供給可能な周波数は 12.5MHz (最大) です。本端子を使用しない時は、Hi レベルまたは Lo レベルに固定してください。
BPS0 BPS1	96 97	正	I	転送レートを設定する入力端子です。MKY40 は、ハードウェアリセットアクティブ時に、本端子の状態を内部の BCR ヘライトします。
Xo	98	正	O	発振子の接続端子です。
Xi	99	正	I	発振子もしくは生成済みのクロックを接続する端子です。
VDD	26、37 50、61 76、100	---	---	電源端子。5.0V 供給。
GND	1、25 38～40 51、62 72～75	---	---	電源端子。0V へ接続。
N.C.	3～6、 52、63 94	---	O	本端子は、機能を持たない出力端子です。必ず開放にしてください。

注記：先頭に“#”が付いている端子は、負論理 (Lo アクティブ) を示します。

表 6-2 に、IO モード時における電氣的定格を示します。

表 6-2 IO モード時における電氣的定格

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	--	GND	--	26	--	VDD	--	51	--	GND	--	76	--	VDD	--
2	I	MODE	A	27	I	#IOSWAP	B	52	O	N.C.	E	77	I	RXD	D
3	O	N.C.	E	28	O	STB1	E	53	I/O	Io16	G	78	O	TXE	E
4	O	N.C.	E	29	I/O	Io0	G	54	I/O	Io17	G	79	O	TXD	E
5	O	N.C.	E	30	I/O	Io1	G	55	I/O	Io18	G	80	I	#SA0	C
6	O	N.C.	E	31	I/O	Io2	G	56	I/O	Io19	G	81	I	#SA1	C
7	O	PING	E	32	I/O	Io3	G	57	I/O	Io20	G	82	I	#SA2	C
8	O	DOA	E	33	I/O	Io4	G	58	I/O	Io21	G	83	I	#SA3	C
9	I	#CLRHR	C	34	I/O	Io5	G	59	I/O	Io22	G	84	I	#SA4	C
10	I	#CLRL	C	35	I/O	Io6	G	60	I/O	Io23	G	85	I	#SA5	C
11	I	#LFS	B	36	I/O	Io7	G	61	--	VDD	--	86	I	#DOSAO	C
12	I	#DOHL	B	37	--	VDD	--	62	--	GND	--	87	I	#DOSAA	C
13	I	INV0	B	38	--	GND	--	63	O	N.C.	E	88	I	#DOSAA2	C
14	I	INV1	B	39	--	GND	--	64	I/O	Io24	G	89	I	#DOSAA3	C
15	I	INV2	B	40	I	GND	B	65	I/O	Io25	G	90	I	#DOSAA4	C
16	I	INV3	B	41	O	STB2	E	66	I/O	Io26	G	91	I	#DOSAA5	C
17	I	INV4	B	42	I/O	Io8	G	67	I/O	Io27	G	92	O	#MON	F
18	I	INV5	B	43	I/O	Io9	G	68	I/O	Io28	G	93	O	DONA	F
19	I	INV6	B	44	I/O	Io10	G	69	I/O	Io29	G	94	O	N.C.	F
20	I	INV7	B	45	I/O	Io11	G	70	I/O	Io30	G	95	I	EXC	D
21	I	IOS0	B	46	I/O	Io12	G	71	I/O	Io31	G	96	I	BPS0	C
22	I	IOS1	B	47	I/O	Io13	G	72	--	GND	--	97	I	BPS1	C
23	I	IOS2	B	48	I/O	Io14	G	73	--	GND	--	98	O	Xo	--
24	I	#RST	D	49	I/O	Io15	G	74	--	GND	--	99	I	Xi	--
25	--	GND	--	50	--	VDD	--	75	--	GND	--	100	--	VDD	--

第 6 章 IO モード時におけるハードウェア

図 6.2 に、IO モード時における端子の電気的特性を示します。

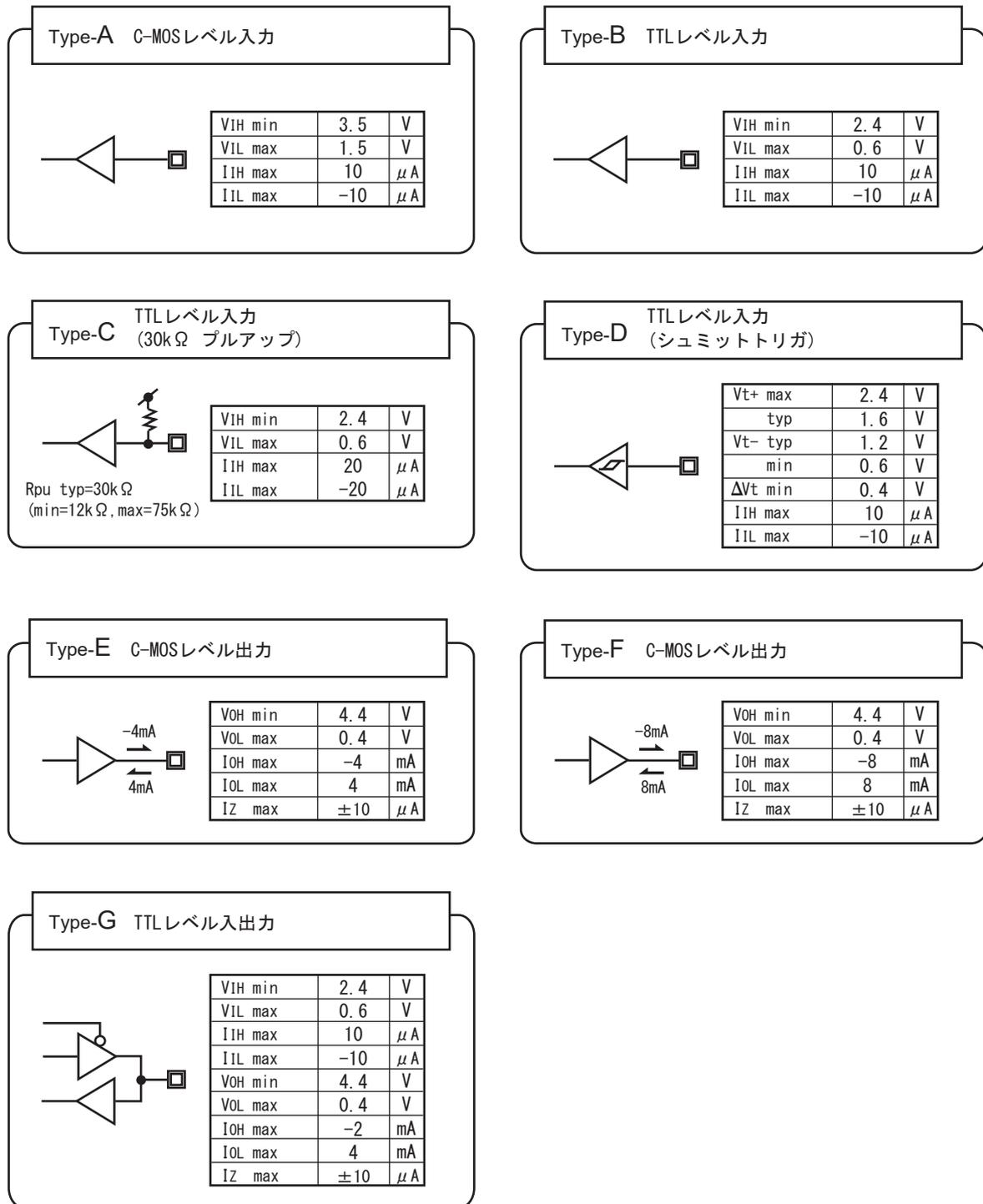


図 6.2 IO モード時における入出力回路形式の端子電気的特性

第 7 章 IO モード時における動作と接続

本章は IO モードに設定された MKY40 の動作と接続について記述します。本章の理解に先駆けて、“CUnet 導入ガイド”および“第 1 章 MKY40 の位置付けと特徴”を必ずお読みください。

7.1	IO モード時における MKY40 の内部構成	7-4
7.2	IO モードの動作	7-4
7.3	IO モード時における接続.....	7-10
7.4	フェーズ遷移への対応.....	7-21
7.5	I/O ステーションのみによる構成	7-24

第7章 IOモード時における動作と接続

本章は、IOモードに設定された MKY40 の動作と接続について記述します。本章の理解に先駆けて、“**CUnet 導入ガイド**” および “**第1章 MKY40 の位置付けと特徴**” を必ずお読みください。

IOモード時においては、MKY40 の MODE 端子(端子2)を、電源の V_{DD}(Hi レベル)へ必ず接続してください。また、複数の V_{DD} 端子(端子26、37、50、61、76、100)の全てを必ず電源の 5.0V へ、複数の GND 端子(端子1、25、38、39、40、51、62、72、73、74、75)の全てを必ず電源の 0V へ接続し、近接する V_{DD} 端子と GND 端子間に 10V/0.1 μ F (104) 以上のコンデンサも接続してください。NC (No Connect) 端子(端子3~6、52、63、94)は開放にしてください。

**注意事項**

MKY40 の端子 40 は、MEM モード時においては機能を持った入力端子ですが、IO モード時においては機能を持たない入力端子です。必ず GND へ接続してください。

7.1 IO モード時における MKY40 の内部構成

IO モードの MKY40 は、CUnet 専用 IC コアの他に、32 ビットの内部入力端子 (Di0 ~ Di31) および 32 ビットの内部出力端子 (Do0 ~ Do31) を装備しています。また、32 ビットの内部入力端子 (Di0 ~ Di31) および 32 ビットの内部出力端子 (Do0 ~ Do31) は、マルチセレクタによって汎用入出力外部端子 (Io0 ~ Io31) と接続されています (図 7.1 参照)

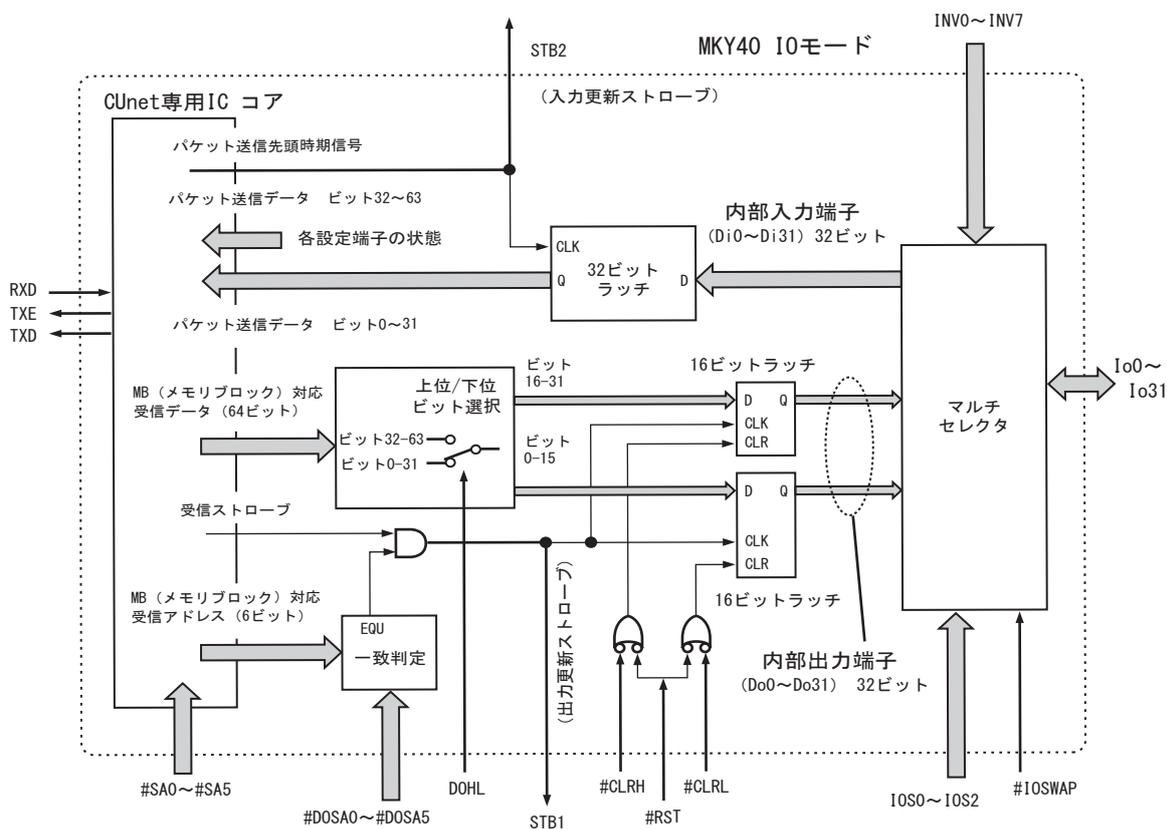


図 7.1 IO モード時における MKY40 の内部構成



参考

“付録 2 IO モード時における内部等価ブロック図”に、回路図形式の図を示します。

7.2 IO モードの動作

本節は、IO モード時における MKY40 の動作について記述します。

IO モードの MKY40 は、#SA0 ~ #SA5 端子へユーザが入力する Hi または Lo レベルの組合せによって SA (Station Address) を設定することが義務付けられており、SA に対応する 1 つの MB (メモリブロック) を占有します。

7.2.1 内部入力端子データの送信動作

IOモード時におけるMKY40は、以下の動作によって内部入力端子(Di0～Di31)のデータを他のCUnetステーションのグローバルメモリ(GM:Global Memory)へ送信します(図7.1参照)。

- ① IOモードにおけるMKY40は、SA(Station Address)によって決定するパケット送信時期の先頭時点において、STB2(入力更新ストロブ)を発生します。
- ② IOモードにおけるMKY40は、STB2信号によって、内部入力端子(Di0～Di31)のデータをサンプルし、サンプリングされたデータは占有するメモリブロックの下位32ビットへ配置されます。
- ③ 占有するMB(メモリブロック)の上位32ビットのデータには、各設定端子の状態が埋め込まれます。
- ④ CUnetプロトコルによって、全てのCUnetステーションのグローバルメモリへIOモードのMKY40が占有するMB(メモリブロック)の最新データ(上記②と③のデータ)が送信されます。

なお、STB2信号は、外部端子へも出力されているため、ユーザが入力のサンプル時期を認識することが可能です。

7.2.2 内部出力端子のデータ更新動作

IOモード時におけるMKY40は、以下の動作によって、他のCUnetステーションが占有しているMB(メモリブロック)のデータを内部出力端子(Do0～Do31)のデータとして更新します(図7.1参照)。

- ① IOモードにおけるMKY40は、他のCUnetステーションから送信されたパケットを受信してMB(メモリブロック)のデータを更新する際に、受信ストロブ信号を発生します。
- ② この際に、受信したMB(メモリブロック)の更新用受信データ(64ビット)は、#DOHL端子へ入力するレベル(HiまたはLo)によって上位32ビットあるいは下位32ビットのいずれかが2つの16ビットラッチへ入力されます。
- ③ #DOSAO～#DOSA5端子へユーザが入力するHiまたはLoレベルの組合せによってMB(メモリブロック)が選択されています。受信したパケットがこのMB(メモリブロック)のデータである場合、受信ストロブ信号からSTB1(出力更新ストロブ)信号を発生します。このSTB1信号によって2つの16ビットラッチを駆動し、内部出力端子(Do0～Do31)のデータを更新します。
- ④ 内部出力端子(Do0～Do31)のデータの下位16ビットは、#CLRL端子へユーザがLoレベルを入力することにより、上記③の動作に優先して、Loレベルへ強制クリアすることができます。
- ⑤ 内部出力端子(Do0～Do31)のデータの上位16ビットは、#CLRHL端子へユーザがLoレベルを入力することにより、上記③の動作に優先して、Loレベルへ強制クリアすることができます。
- ⑥ 内部出力端子(Do0～Do31)のデータは、ハードウェアリセットがアクティブになると、上記③の動作に優先して、Loレベルへクリアされます。

なお、STB1信号は、外部端子へも出力されているため、ユーザが出力の更新時期を認識することが可能です。

7.2.3 汎用入出力外部端子 (Io0 ~ Io31) とマルチセレクタの動作

汎用入出力外部端子 (Io0 ~ Io31) は、32 ビットの内部入力端子 (Di0 ~ Di31) あるいは 32 ビットの内部出力端子 (Do0 ~ Do31) へマルチセレクタによって接続されます (図 7.1 参照)。

マルチセレクタは、IOS0 ~ IOS2 端子、#IOSWAP 端子、INV0 ~ INV7 端子へユーザが入力する Hi または Lo レベルの組合せによって機能します。図 7.2 に、1 本の Io 端子に対応するセレクタ内部構成を示します。マルチセレクタは、図 7.2 の構成のセレクタを 32 回路装備しています。

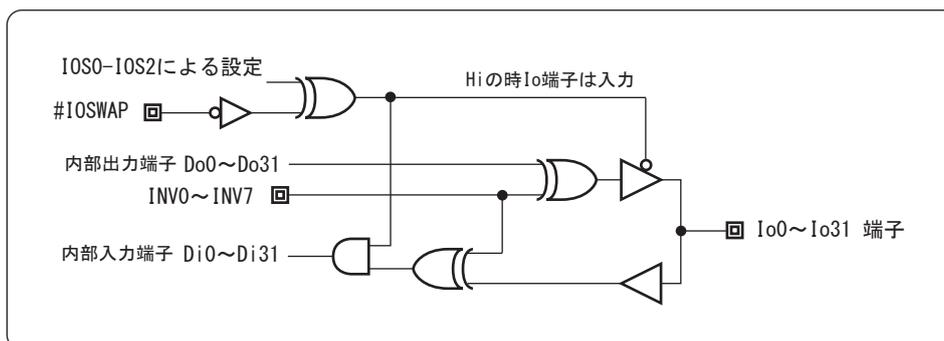


図 7.2 マルチセレクタ内部構成 (1つのIo端子分)

IOS0 ~ IOS2 は、汎用入出力外部端子 (Io0 ~ Io31) を“入力”とするか“出力”とするかを選択する入力端子です。#IOSWAP は、IOS0 ~ IOS2 によって決定される入出力を反転させる入力端子です。IOS0 ~ IOS2 および #IOSWAP による入出力の選択を、表 7-2 に示します。

INV0 ~ INV7 は、内部論理と汎用入出力外部端子 (Io0 ~ Io31) レベルの論理の関係を設定する入力端子です。例えば、INV0 端子が Lo レベルの時、Io0 ~ Io3 端子に対応する内部論理“1”が端子の Hi レベルであり、内部論理“0”が端子の Lo レベルです。INV0 端子が Hi レベルの時は、Io0 ~ Io3 端子に対応する内部論理“1”が端子の Lo レベルであり、内部論理“0”が端子の Hi レベルです。

INV0 ~ INV7 に対応する汎用入出力外部端子 (Io0 ~ Io31) を、表 7-1 に示します。

表 7-1 INV0 ~ INV7 に対応する汎用入出力外部端子

INV 端子名	対応する汎用入出力外部端子
INV0	Io0 ~ Io3
INV1	Io4 ~ Io7
INV2	Io8 ~ Io11
INV3	Io12 ~ Io15
INV4	Io16 ~ Io19
INV5	Io20 ~ Io23
INV6	Io24 ~ Io27
INV7	Io28 ~ Io31

表7-2 汎用入出力外部端子の入出力と接続先

#IOSWAP 端子が Hi レベルの時

#IOSWAP 端子が Lo レベルの時

端子名	設定レベル							
IOS2	Lo	Lo	Lo	Lo	Hi	Hi	Hi	Hi
IOS1	Lo	Lo	Hi	Hi	Lo	Lo	Hi	Hi
IOS0	Lo	Hi	Lo	Hi	Lo	Hi	Lo	Hi
端子名	入出力							
Io0	Di0	Di0	Di0	Di0	Di0	Di0	Di0	Do0
Io1	Di1	Di1	Di1	Di1	Di1	Di1	Di1	Do1
Io2	Di2	Di2	Di2	Di2	Di2	Di2	Di2	Do2
Io3	Di3	Di3	Di3	Di3	Di3	Di3	Di3	Do3
Io4	Di4	Di4	Di4	Di4	Di4	Di4	Di4	Do4
Io5	Di5	Di5	Di5	Di5	Di5	Di5	Di5	Do5
Io6	Di6	Di6	Di6	Di6	Di6	Di6	Di6	Do6
Io7	Di7	Di7	Di7	Di7	Di7	Di7	Di7	Do7
Io8	Di8	Di8	Di8	Di8	Di8	Di8	Do8	Do8
Io9	Di9	Di9	Di9	Di9	Di9	Di9	Do9	Do9
Io10	Di10	Di10	Di10	Di10	Di10	Di10	Do10	Do10
Io11	Di11	Di11	Di11	Di11	Di11	Di11	Do11	Do11
Io12	Di12	Di12	Di12	Di12	Di12	Do12	Do12	Do12
Io13	Di13	Di13	Di13	Di13	Di13	Do13	Do13	Do13
Io14	Di14	Di14	Di14	Di14	Di14	Do14	Do14	Do14
Io15	Di15	Di15	Di15	Di15	Di15	Do15	Do15	Do15
Io16	Di16	Di16	Di16	Di16	Di16	Do16	Do16	Do16
Io17	Di17	Di17	Di17	Di17	Do17	Do17	Do17	Do17
Io18	Di18	Di18	Di18	Di18	Do18	Do18	Do18	Do18
Io19	Di19	Di19	Di19	Di19	Do19	Do19	Do19	Do19
Io20	Di20	Di20	Di20	Do20	Do20	Do20	Do20	Do20
Io21	Di21	Di21	Di21	Do21	Do21	Do21	Do21	Do21
Io22	Di22	Di22	Di22	Do22	Do22	Do22	Do22	Do22
Io23	Di23	Di23	Di23	Do23	Do23	Do23	Do23	Do23
Io24	Di24	Di24	Do24	Do24	Do24	Do24	Do24	Do24
Io25	Di25	Di25	Do25	Do25	Do25	Do25	Do25	Do25
Io26	Di26	Di26	Do26	Do26	Do26	Do26	Do26	Do26
Io27	Di27	Di27	Do27	Do27	Do27	Do27	Do27	Do27
Io28	Di28	Do28						
Io29	Di29	Do29						
Io30	Di30	Do30						
Io31	Di31	Do31						

端子名	設定レベル							
IOS2	Lo	Lo	Lo	Lo	Hi	Hi	Hi	Hi
IOS1	Lo	Lo	Hi	Hi	Lo	Lo	Hi	Hi
IOS0	Lo	Hi	Lo	Hi	Lo	Hi	Lo	Hi
端子名	入出力							
Io0	Do0	Do0	Do0	Do0	Do0	Do0	Do0	Di0
Io1	Do1	Do1	Do1	Do1	Do1	Do1	Do1	Di1
Io2	Do2	Do2	Do2	Do2	Do2	Do2	Do2	Di2
Io3	Do3	Do3	Do3	Do3	Do3	Do3	Do3	Di3
Io4	Do4	Do4	Do4	Do4	Do4	Do4	Do4	Di4
Io5	Do5	Do5	Do5	Do5	Do5	Do5	Do5	Di5
Io6	Do6	Do6	Do6	Do6	Do6	Do6	Do6	Di6
Io7	Do7	Do7	Do7	Do7	Do7	Do7	Do7	Di7
Io8	Do8	Do8	Do8	Do8	Do8	Do8	Di8	Di8
Io9	Do9	Do9	Do9	Do9	Do9	Do9	Di9	Di9
Io10	Do10	Do10	Do10	Do10	Do10	Do10	Di10	Di10
Io11	Do11	Do11	Do11	Do11	Do11	Do11	Di11	Di11
Io12	Do12	Do12	Do12	Do12	Do12	Di12	Di12	Di12
Io13	Do13	Do13	Do13	Do13	Do13	Di13	Di13	Di13
Io14	Do14	Do14	Do14	Do14	Do14	Di14	Di14	Di14
Io15	Do15	Do15	Do15	Do15	Do15	Di15	Di15	Di15
Io16	Do16	Do16	Do16	Do16	Di16	Di16	Di16	Di16
Io17	Do17	Do17	Do17	Do17	Di17	Di17	Di17	Di17
Io18	Do18	Do18	Do18	Do18	Di18	Di18	Di18	Di18
Io19	Do19	Do19	Do19	Do19	Di19	Di19	Di19	Di19
Io20	Do20	Do20	Do20	Di20	Di20	Di20	Di20	Di20
Io21	Do21	Do21	Do21	Di21	Di21	Di21	Di21	Di21
Io22	Do22	Do22	Do22	Di22	Di22	Di22	Di22	Di22
Io23	Do23	Do23	Do23	Di23	Di23	Di23	Di23	Di23
Io24	Do24	Do24	Di24	Di24	Di24	Di24	Di24	Di24
Io25	Do25	Do25	Di25	Di25	Di25	Di25	Di25	Di25
Io26	Do26	Do26	Di26	Di26	Di26	Di26	Di26	Di26
Io27	Do27	Do27	Di27	Di27	Di27	Di27	Di27	Di27
Io28	Do28	Di28						
Io29	Do29	Di29						
Io30	Do30	Di30						
Io31	Do31	Di31						

表の“Dixx”は、“入力”を示します。 表の“Doxx”は、“出力”を示します。

7.2.4 内部出力端子へ出力するデータの選択

内部出力端子へ出力するデータは、#DOSA0～#DOSA5 端子と #DOHL 端子によって選択してください。

図 7.3 に、端子の設定によって選択されるデータの概念を示します。内部出力端子のデータは、#DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションからのパケットを受信した時に更新されます（“7.2.2 内部出力端子のデータ更新動作”参照）。

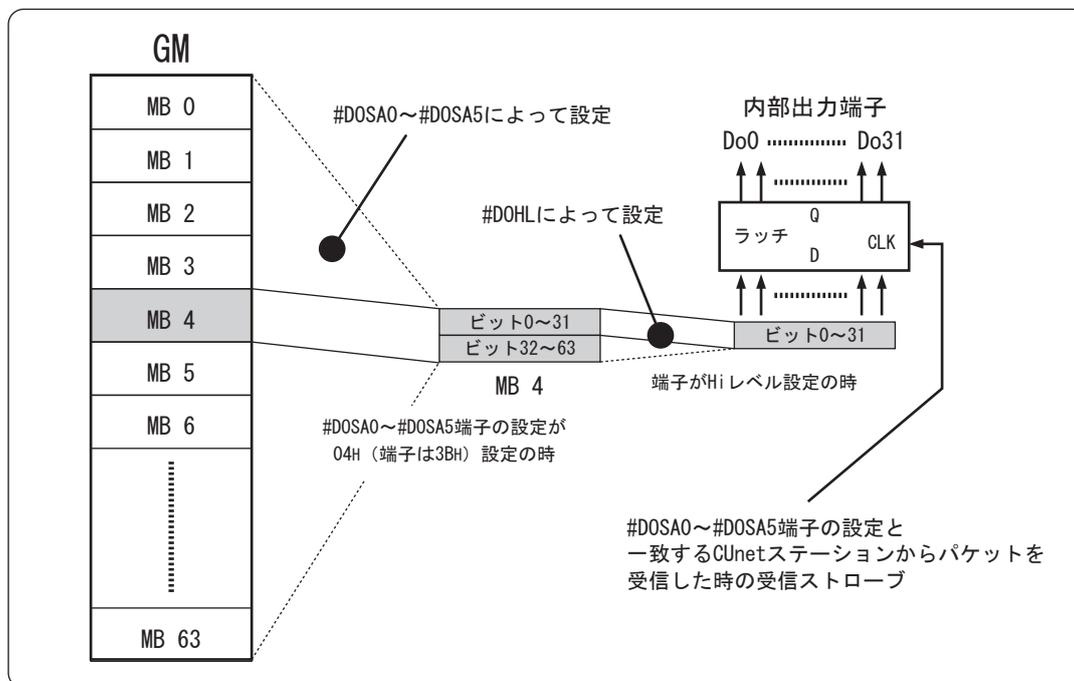


図 7.3 内部出力端子へ出力するデータの選択

注意事項

ハードウェアリセット後から、#DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションからのパケットを受信するまでは、内部出力端子 (Do0～Do31) は Lo レベルです。なお #DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションがネットワークへ接続されていない場合は出力は更新されません。

7.2.5 占有メモリブロックのデータ構成

#SA0～#SA5 端子によって設定された IO モードの MKY40 が占有する MB（メモリブロック）へ、以下のデータが埋め込まれます（表 7-3 参照）。

- ① ビット 0～31：内部入力端子（Di0～Di31）のデータ
- ② ビット 32～34：IOS0～IOS2 端子の設定
- ③ ビット 35：#IOSWAP 端子の設定
- ④ ビット 36～38：常に“0”
- ⑤ ビット 39：#LFS 端子の設定
- ⑥ ビット 40：#DOHL 端子の設定
- ⑦ ビット 41～46：#DOSA0～#DOSA5 端子の設定
- ⑧ ビット 47：常に“0”
- ⑨ ビット 48～55：INV0～INV7 端子の設定
- ⑩ ビット 56～63：常に“0”

上記①の内部入力端子のデータが格納されるビット 0～31 は、対応する汎用入出力外部端子（Io0～Io31）が“入力”となっていない場合（“出力”に設定されているビット）は、“0”になります（図 7.2 参照）。

上記の③、⑤、⑥、⑦は、負論理の入力端子ですが、反転された正論理の設定状態が MB（メモリブロック）のビットへ埋め込まれます。

例として、ビット 35 は、#IOSWAP 端子が Lo レベルの時に“1”、Hi レベルの時に“0”になります（このことから表 7-3 は、#マークが付記されていません）。

IO モードの MKY40 が占有する MB（メモリブロック）のデータは、ネットワークへ接続された他の全ての CUNet ステーションへ送信されます。

これにより、ネットワークへ接続された他の全ての CUNet ステーションは、内部入力端子（Di0～Di31）のデータ以外に、端子の設定状態も認識することができます。

表 7-3 占有 MB（メモリブロック）のデータ構成

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
Di15	Di14	Di13	Di12	Di11	Di10	Di9	Di8	Di7	Di6	Di5	Di4	Di3	Di2	Di1	Di0
ビット 31	ビット 30	ビット 29	ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16
Di31	Di30	Di29	Di28	Di27	Di26	Di25	Di24	Di23	Di22	Di21	Di20	Di19	Di18	Di17	Di16
ビット 47	ビット 46	ビット 45	ビット 44	ビット 43	ビット 42	ビット 41	ビット 40	ビット 39	ビット 38	ビット 37	ビット 36	ビット 35	ビット 34	ビット 33	ビット 32
“0”	DOSA5	DOSA4	DOSA3	DOSA2	DOSA1	DOSA0	DOHL	LFS	“0”	“0”	“0”	IOSWAP	IOS2	IOS1	IOS0
ビット 63	ビット 62	ビット 61	ビット 60	ビット 59	ビット 58	ビット 57	ビット 56	ビット 55	ビット 54	ビット 53	ビット 52	ビット 51	ビット 50	ビット 49	ビット 48
“0”	“0”	“0”	“0”	“0”	“0”	“0”	“0”	INV7	INV6	INV5	INV4	INV3	INV2	INV1	INV0

7.3 IO モード時における接続

本節は、IO モードに設定された MKY40 の接続について記述します。

表 7-4 に示す項目や端子の接続は、MEM モードと同一です。

表 7-4 の項目に示された接続については、MEM モードの記述を参照してください。

表 7-4 MEM モードと同一の接続

項目	MEM モードにおける記述項	関係端子
駆動クロックの接続	"3.1 駆動クロック"	Xi, Xo TXD、#RST
ハードウェアリセット	"3.2 ハードウェアリセット"	Xi、#RST
ネットワークインターフェースの接続	"3.3 ネットワークインターフェースの接続"	RXD、TXE TXD
転送レートの設定	"3.4 転送レートの設定"	BPS1、BPS0 EXC
通信ケーブル長の目安	"3.5 通信ケーブル長の目安"	---

IO モードの MKY40 を利用するにあたっては、表 7-4 の項目に加えて以下の端子を接続してください。

- ① #SA0 ~ #SA5 : Station Address0 ~ 5 端子 (端子 80 ~ 85)
- ② #DOSA0 ~ #DOSA5 : Data Out Sation Address0 ~ 5 端子 (端子 86 ~ 91)
- ③ #DOHL : Data Out Hi or Lo 端子 (端子 12)
- ④ IOS0 ~ IOS2 : IO Select0 ~ 2 端子 (端子 21 ~ 23)
- ⑤ #IOSWAP 端子 (端子 27)
- ⑥ INV0 ~ INV7 : INVert0 ~ 7 端子 (端子 13 ~ 20)
- ⑦ #LFS : Long Frame Select 端子 (端子 11)
- ⑧ Io0 ~ Io31 : 汎用入出力外部端子 (端子 29 ~ 36、42 ~ 49、53 ~ 60、64 ~ 71)

ユーザシステムの回路設計者は、以下の端子を利用することにより、汎用入出力外部端子 (Io0 ~ Io31) のデータをより詳細に制御したり、IO モードの MKY40 の動作状態を表示させることができます。

- ① STB1 : STroBe 1 端子 (端子 28)
- ② STB2 : STroBe 2 端子 (端子 41)
- ③ DOA : Data Out Available 端子 (端子 8)
- ④ DONA : Data Out Not Available 端子 (端子 93)
- ⑤ #CLRHL 端子 (端子 9)
- ⑥ #CLRL 端子 (端子 10)
- ⑦ #MON 端子 (端子 92)
- ⑧ PING 端子 (端子 7)



#CLRHL 端子および #CLRL 端子を利用しない場合は、必ず未使用処理 (Hi レベルに固定) してください。

7.3.1 ステーションアドレスの設定 (#SA)

ステーションアドレス(SA:Station Address)を、#SA0～#SA5端子(端子80～85)へ入力するHiレベルを“0”、Loレベルを“1”とした16進数(Binary)の“00H～3FH(0番～63番)”によって設定してください。最上位ビットは#SA5(端子85)です。#SA0～#SA5端子は、内部プルアップされた負論理の入力端子です(図7.4参照)。

MKY40は、ハードウェアリセットがアクティブの時に、この端子の値を、内部のBCR(Basic Control Register)へライトします。よってハードウェアリセットがアクティブでない時にこの端子の設定を変更してもステーションアドレス(Station Address)は変わりません。IOモードのMKY40は、占有幅(OWN width)の設定端子を装備しておりません。#SA0～#SA5端子によって設定された対象のMB(メモリブロック)1つを占有します。

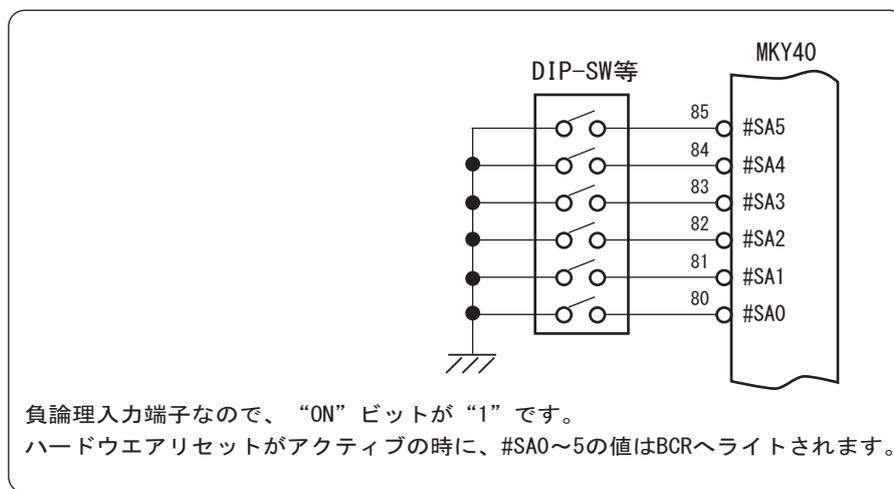


図7.4 IOモード時におけるステーションアドレスの設定例



注意事項

IOモードのMKY40は、1つのMB(メモリブロック)に占有エリアが特定されます。1つのネットワークへ接続された全てのCUnet専用ICに、同一のSA値が設定されてはいけません。また占有エリアの拡張設定(MEMモード)によって、占有エリアが重複することも許されません。

7.3.2 内部出力端子へ出力するデータの選択 (#DOSA0 ~ #DOSA5、#DOHL)

内部出力端子 (Do0 ~ Do31) へ出力するデータの対象となる MB (メモリブロック) および上位/下位ビットを、#DOSA0 ~ #DOSA5 端子 (端子 86 ~ 91) と #DOHL : Data Out Hi or Lo 端子 (端子 12) へ入力する Hi または Lo レベルの組合せによって選択してください。

#DOSA0 ~ #DOSA5 端子は、内部プルアップされた負論理の入力端子です。

MB (メモリブロック) は、#DOSA0 ~ #DOSA5 端子に入力する Hi レベルを “0”、Lo レベルを “1” とした 16 進数の “00H ~ 3FH (0 ~ 63)” によって選択します。最上位ビットは #DOSA5 (端子 91) です。MB (メモリブロック) の上位/下位ビットは、#DOHL 端子へ入力する Hi または Lo レベルによって選択されます (図 7.5、図 7.1 および図 7.3 参照)。

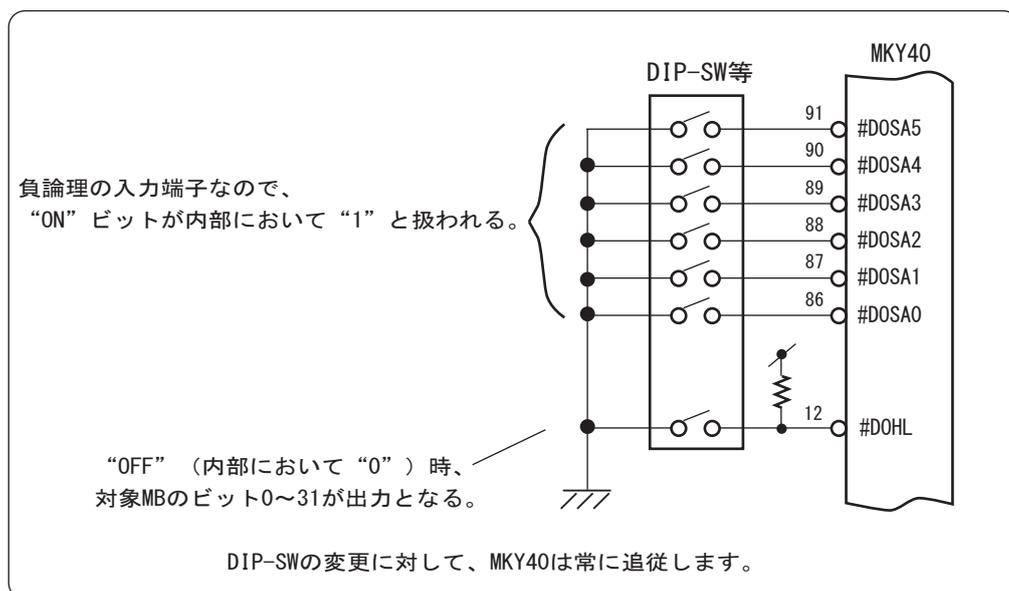


図 7.5 IO モード時における #DOSA0-5 と #DOHL の設定例

注意事項

#DOSA0 ~ #DOSA5 端子および #DOHL 端子の設定状態は (ハードウェアリセットがアクティブの時に内部に取り込まれるなどの規定が無く)、常に変更が可能です。このためユーザシステムにおいて意図してこれらを変更する場合以外は、端子の設定状態が遷移しないようお客様ご自身によって配慮してください。

7.3.3 汎用入出力外部端子の入出力設定 (IOS0 ~ IOS2、#IOSWAP)

32本の汎用入出力外部端子 (Io0 ~ Io31) (端子 29 ~ 36、42 ~ 49、53 ~ 60、64 ~ 71) の入出力を、#IOSWAP 端子 (端子 27) と IOS0 ~ IOS2 端子 (端子 21 ~ 23) へ入力する Hi または Lo レベルの組合せによって設定してください (図 7.6、図 7.1 および図 7.2、表 7-2 参照)

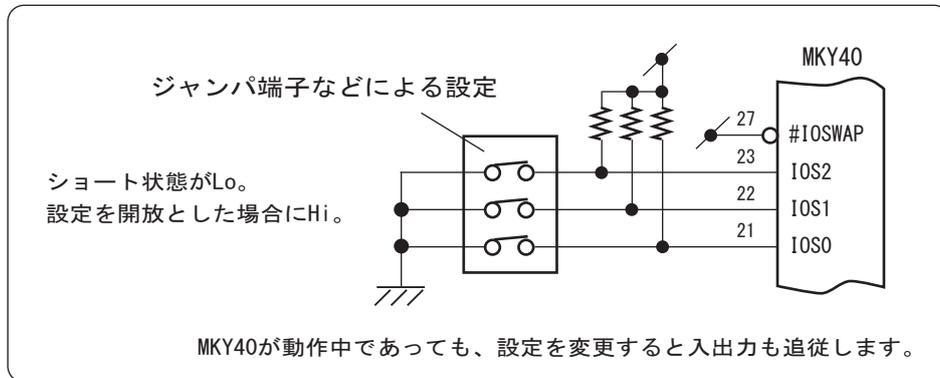


図 7.6 汎用入出力外部端子の入出力設定例



注意事項

#IOSWAP 端子は、通常 Hi レベルに設定してください。#IOSWAP 端子は、“7.5 I/O ステーションのみによる構成”に記述されるような、特殊な I/O ステーションを構成する際に限って Lo レベルに設定してください。

IOモードのMKY40は、稼動中に#IOSWAP端子およびIOS0 ~ IOS2端子の設定を変更した場合、汎用入出力外部端子 (Io0 ~ Io31) の入出力が遷移します。この場合、稼動中の汎用入出力外部端子 (Io0 ~ Io31) の入出力遷移時間は、接続環境 (負荷容量など) により変動します。さらに出力レベルは稼動状態に依存します。したがって、稼動中における#IOSWAP端子およびIOS0 ~ IOS2端子の設定変更を、弊社は推奨していません。

稼動中にユーザが意図して#IOSWAP端子およびIOS0 ~ IOS2端子の設定を変更する場合は、(汎用入出力外部端子の入出力遷移や、出力端子の電氣的な衝突や競合が発生しないようにするなど)、問題が発生しないようお客様ご自身によって配慮してください。

7.3.4 汎用入出力外部端子の論理設定 (INV0 ~ INV7)

32本の汎用入出力外部端子 (Io0 ~ Io31) の論理を、INV0 ~ INV7 端子 (端子 13 ~ 20) へ入力する Hi または Lo レベルによって設定してください (図 7.7、図 7.1 および図 7.2、表 7-1 および表 7-2 参照)。

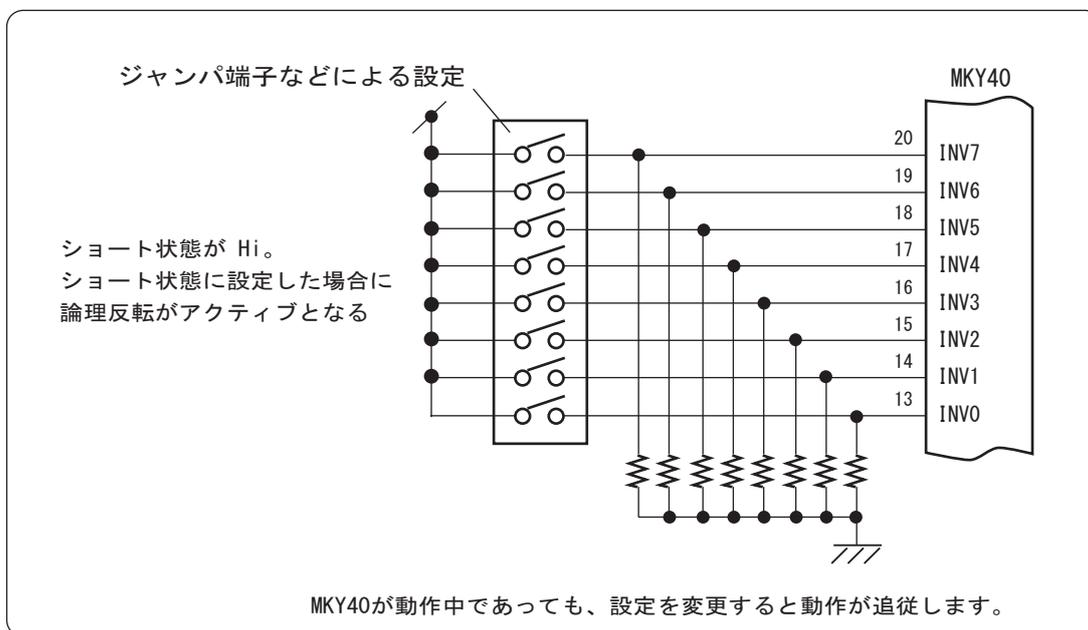


図 7.7 汎用入出力外部端子の論理設定例

注意事項

IOモードのMKY40は、稼動中にINV0 ~ INV7端子の設定を変更した場合、汎用入出力外部端子 (Io0 ~ Io31) の論理が遷移します。この場合、稼動中の汎用入出力外部端子 (Io0 ~ Io31) の論理遷移時間は、接続環境 (負荷容量など) により変動します。さらに出力レベルは稼動状態に依存します。したがって、稼動中におけるINV0 ~ INV7端子の設定変更を、弊社は推奨していません。

稼動中にユーザが意図してINV0 ~ INV7端子の設定を変更する場合には、問題が発生しないようお客様ご自身によって配慮してください。

7.3.5 フレームオプションの設定 (#LFS)

IOモード時におけるMKY40は、フレームオプションを設定する#LFS: Long Frame Select 端子(端子11)を装備しています。通常、#LFS端子はHiレベルに固定してください。

#LFS端子は、“7.5.3 LFS (Long Frame Select) 端子の利用 [HUB対応]”に記述される、I/OステーションのみによってCUnetを構成するユーザシステムの時に利用してください。

MKY40は、CUnetプロトコルに定められるフレームオプションに対応しています。フレームオプションは、フレーム長定数(LOF)が“256”となるオプション機能です。フレームオプションによって、CUnetのネットワーク内に最大2段のHUB(通信ケーブル分岐ユニット)を挿入することが可能です。ネットワーク内にHUB(通信ケーブル分岐ユニット)を挿入したCUnetは、ネットワーク敷設の自由度が高まることや通信ケーブルの総延長を長くできることなどから、適用可能なアプリケーションを拡張できます(HUB-IC(MKY02など)の“ユーザーズマニュアル”参照)。

I/Oステーションのみによって構成されたCUnetにおいてフレームオプションをセットする場合は、ネットワークへ接続されるいずれか1つ以上のI/Oステーションの#LFS端子をLoレベルに固定してください。これにより、ネットワークへ接続された全てのCUnetステーションがネットワークの稼動によってフレームオプション状態に設定されます。またフレームオプションがセットされ稼動しているネットワークへ後から接続(あるいは電源投入)されたCUnetステーションもフレームオプションが設定されます。

フレーム長定数(LOF: Length Of Frame)が“256”のサイクルタイムは、“4.1.6 CUnetのサイクルタイム”に記述された式4.1および式4.2から、“付録1 サイクルタイム一覧”に示される、フレームオプション(LF=1)欄の値です。



注意事項

一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全てのCUnet専用ICへハードウェアリセットがアクティブとなる操作を必要とします。この場合に、I/Oステーションの#LFS端子はHiレベルを保っていなければなりません。



参考

MEMモードのMKY40によって構成されたMEMステーションが1つ以上存在するシステムにおいては、I/Oステーションの#LFS端子をHiレベルに設定し、“4.4.10 フレームオプション [HUB対応]”の記述に従ってフレームオプションを利用することを推奨します。

7.3.6 汎用入出力外部端子の接続

汎用入出力外部端子(Io0~Io31: 端子29~36, 42~49, 53~60, 64~71)へ、ユーザ回路が必要とする信号を接続してください。ユーザ回路への信号接続は、適切なレベルが保たれるようお客様ご自身が配慮してください(“第6章 IOモード時におけるハードウェア”参照)。

使用しない汎用入出力外部端子は“出力”に設定して開放するか、あるいは“入力”に設定して適切な値のプルアップ抵抗またはプルダウン抵抗を接続することによってHiまたはLoレベルを確保し、端子が開放とならないようにしてください。

7.3.7 タイミング通知信号の利用 (STB1、STB2)

IO モード時における MKY40 は、“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のデータを更新する際に、STB1:STroBe 1 端子 (端子 28) から出力更新ストロブ信号を出力します (図 7.1 および “7.2.2 内部出力端子のデータ更新動作” 参照)。STB1 端子は通常 Lo レベルを維持し、出力更新時期に “2 × TBPS” 時間 Hi レベルを出力します。“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のデータ更新は、STB1 端子から Hi レベルのパルスが出力されている期間中に実行されます (“8.2.3.1 STB1、STB2 とデータ入出力タイミング” 参照)。

IO モード時における MKY40 は、“入力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) からデータをサンプルする際に、STB2:STroBe 2 端子 (端子 41) から入力更新ストロブ信号を出力します (図 7.1 および “7.2.1 内部入力端子データの送信動作” 参照)。STB2 端子は通常 Lo レベルを維持し、入力更新時期に “2 × TBPS” 時間 Hi レベルを出力します。“入力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のサンプルは、STB2 端子から Hi レベルのパルスが出力されている期間の終了時期に実行されます (“8.2.3.1 STB1、STB2 とデータ入出力タイミング” 参照)。

STB1 および STB2 端子は、ユーザシステムが外部に付加回路を増設する場合に利用してください。この端子を使用しない時は、開放にしてください。

7.3.8 汎用入出力外部端子の出力有効性通知信号の利用 (DOA)

IO モード時における MKY40 は、汎用入出力外部端子の出力有効性通知信号を出力する端子として、DOA: Data Out Available 端子 (端子 8) を装備しています。DOA 端子は、STB1 (出力更新ストロブ) の発生によって Hi レベルへ遷移し、その後 16 サイクルタイムの時間内に STB1 (出力更新ストロブ) が発生しなかった場合に Lo レベルへ遷移する機能を持っています。

ユーザシステムは、DOA 端子を利用することによって、DOA 端子の出力が Hi レベルの間中は汎用入出力外部端子の内の “出力” に設定されている端子のデータが 16 サイクルタイム以内に更新されていることを認識することができます。

この端子を使用しない時は、開放にしてください。



サイクルタイムについては、“4.1.6 CUnet のサイクルタイム” を参照してください。

7.3.9 汎用入出力外部端子の出力有効性を表示する (DONA)

IOモード時におけるMKY40は、汎用入出力外部端子の出力有効性通知を表示することに利用可能な、DONA：Data Out Not Available 端子（端子93）を装備しています。DONA端子は、“7.3.8 汎用入出力外部端子の出力有効性通知信号の利用 (DOA)” に記述されたDOA端子の反転レベルを出力します。

ユーザシステムはDONA端子を利用することによって、DONA端子の出力がLoレベルの間中は汎用入出力外部端子の内の“出力”に設定されている端子のデータが16サイクルタイム以内に更新されていることを表示することができます。

DONA端子は、LEDのカソード端子側を接続してLEDを点灯させることができます。この端子は、±8mAの電流駆動能力があります。8mA以下の電流によって点灯可能なLEDならば、Loレベルの時にLEDが点灯する図7.8に示す接続が可能です。図7.8の電流制限抵抗(R)の値は、使用するLED部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。DONA端子へは安定動作を示す緑色のLED部品の接続を推奨します。この端子を使用しない時は、開放にしてください。

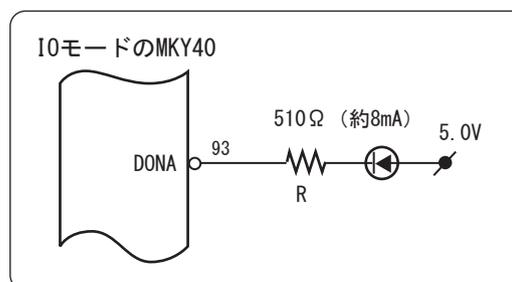


図7.8 DONA端子へのLED接続例

7.3.10 汎用入出力外部端子の出力レベルのクリア (#CLRHi、#CLRL)

IOモード時のMKY40は、汎用入出力外部端子の出力レベルをクリアできる入力端子として、#CLRHi：CLeaRHi端子（端子9）と#CLRL：CLeaR Lo端子（端子10）を装備しています。

#CLRHi端子へ“ $2 \times T_{xi}$ ”時間よりも長い時間Loレベルを入力することにより、汎用入出力外部端子の上位16ビット(Io16～Io31)の内の“出力”に設定されている端子の出力レベルを、クリアすることができます(図7.1参照)。

#CLRL端子へ“ $2 \times T_{xi}$ ”時間よりも長い時間Loレベルを入力することにより、汎用入出力外部端子の下位16ビット(Io0～Io15)の内の“出力”に設定されている端子の出力レベルをクリアすることができます(図7.1参照)。

汎用入出力外部端子(Io0～Io31)の内の“出力”に設定されている端子がクリアされた場合のレベルは、マルチセレクトの設定状態に依存します(図7.1および図7.2、表7-1および表7-2参照)。

#CLRHi端子の機能を利用しない場合は、#CLRHi端子をHiレベルに固定してください。

#CLRL端子の機能を利用しない場合は、#CLRL端子をHiレベルに固定してください。



参考

#CLRHi端子および#CLRL端子は、ノイズによる誤動作を防止するため、“ $2 \times T_{xi}$ ”時間よりも短い時間のLoレベル入力を無視します。

“出力”に設定されている汎用入出力外部端子(Io0～Io31)の出力レベルは、ハードウェアリセットがアクティブとなった時に、上記の#CLRHi端子および#CLRL端子の機能に優先してクリアされます(図7.1参照)。

7.3.11 ウォッチドッグタイマによる出力クリア

図 7.9 のように、DOA 端子の出力を #CLRH 端子あるいは #CLRL 端子へ接続することによって、内部出力端子 (Do0 ~ Do31) の出力データが 16 サイクルタイム以内に更新されなかった場合、内部出力端子 (Do0 ~ Do31) を強制的に Lo レベルとするウォッチドッグタイマを構成することができます (これにより、“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) の出力レベルも特定されます)。

この接続は、ユーザシステムにおいてリンクが途絶えた時に、“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) の出力レベルを特定する必要がある I/O ステーションに有効です。

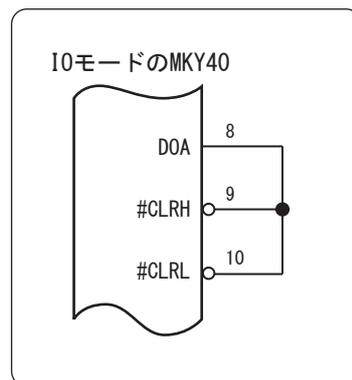


図 7.9 ウォッチドッグ出力のクリア例



注意事項

図 7.9 は参考図です。“ウォッチドッグタイマのタイムアップ時間”として、16 サイクルタイムが I/O ステーションに適合するかは、お客様ご自身が判断してください。

7.3.12 汎用入出力外部端子の入力データ送信状態を表示 (#MON)

IO モード時における MKY40 は、他の CUNet ステーションとのリンクが成立している状態を表示する信号を出力する端子として、#MON : MONitor 端子 (端子 92) を装備しています。#MON 端子は、3 回以上連続してリンクが成立した CUNet ステーションが 1 つ以上存在した時に Lo レベルへ遷移し、その後いずれの CUNet ステーションとも 3 回以上連続してリンクが成立しなかった場合に Hi レベルへ遷移する機能を持つ端子です。IO モードの MKY40 が他の CUNet ステーションとリンクが成立している場合、“入力”に設定されている汎用入出力外部端子の入力データが他の CUNet ステーションへ正常に送信されています。

ユーザシステムは、#MON 端子を利用することによって、#MON 端子の出力が Lo レベルの期間中に汎用入出力外部端子の“入力”に設定されている端子のデータが他の CUNet ステーションに送信されていることを、認識することができます。

#MON 端子は、LED のカソード端子側を接続して LED を点灯させることができます。この端子は、± 8mA の電流駆動能力があります。8mA 以下の電流によって点灯可能な LED ならば、Lo レベルの時に LED が点灯する図 7.10 に示す接続が可能です。図 7.10 の電流制限抵抗 (R) の値は、使用する LED 部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。#MON 端子へは安定動作を示す緑色の LED 部品の接続を推奨します。この端子を使用しない時は、開放してください。

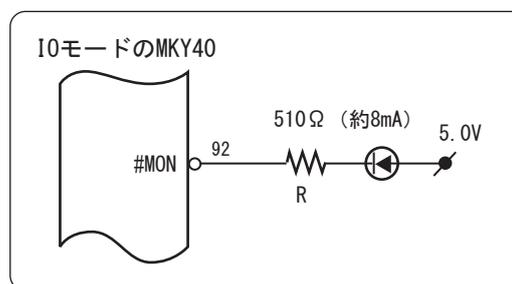


図 7.10 #MON 端子への LED 接続例



参考

#MON 端子が Lo レベルを出力している期間は、MEM モードの MFR (Member Flag Register) 内に“1”のビットが存在することと同定義です (“4.2.3.5 MFR (Member Flag Register)”および“4.4.5.3 MON 信号出力”参照)。

7.3.13 PING 命令の受信を通知 (PING)

IO モード時における MKY40 は、他の CUnet ステーションからの PING 命令の受信を通知する PING 端子(端子7)を装備しています。PING 信号は、自己 I/O ステーションの状態に関わらず他の CUnet ステーションからの関与によって操作される信号です。

PING 端子は、通常 Lo レベルを維持しています。他の CUnet ステーションから PING 命令を受信した時に Hi レベルへ遷移し、その後他の CUnet ステーションから自己 I/O ステーションへ向けた PING 命令が埋め込まれていないパケットを受信した時に Lo レベルへ遷移します。

PING 端子は、ハードウェアリセットがアクティブとなった時、上記動作に優先して Lo レベルへ遷移します。

CUnet プロトコルにおいては、PING 信号の利用目的や接続先を特定していません。PING 信号は、ユーザシステムの構築を支援する補助的な拡張機能です。

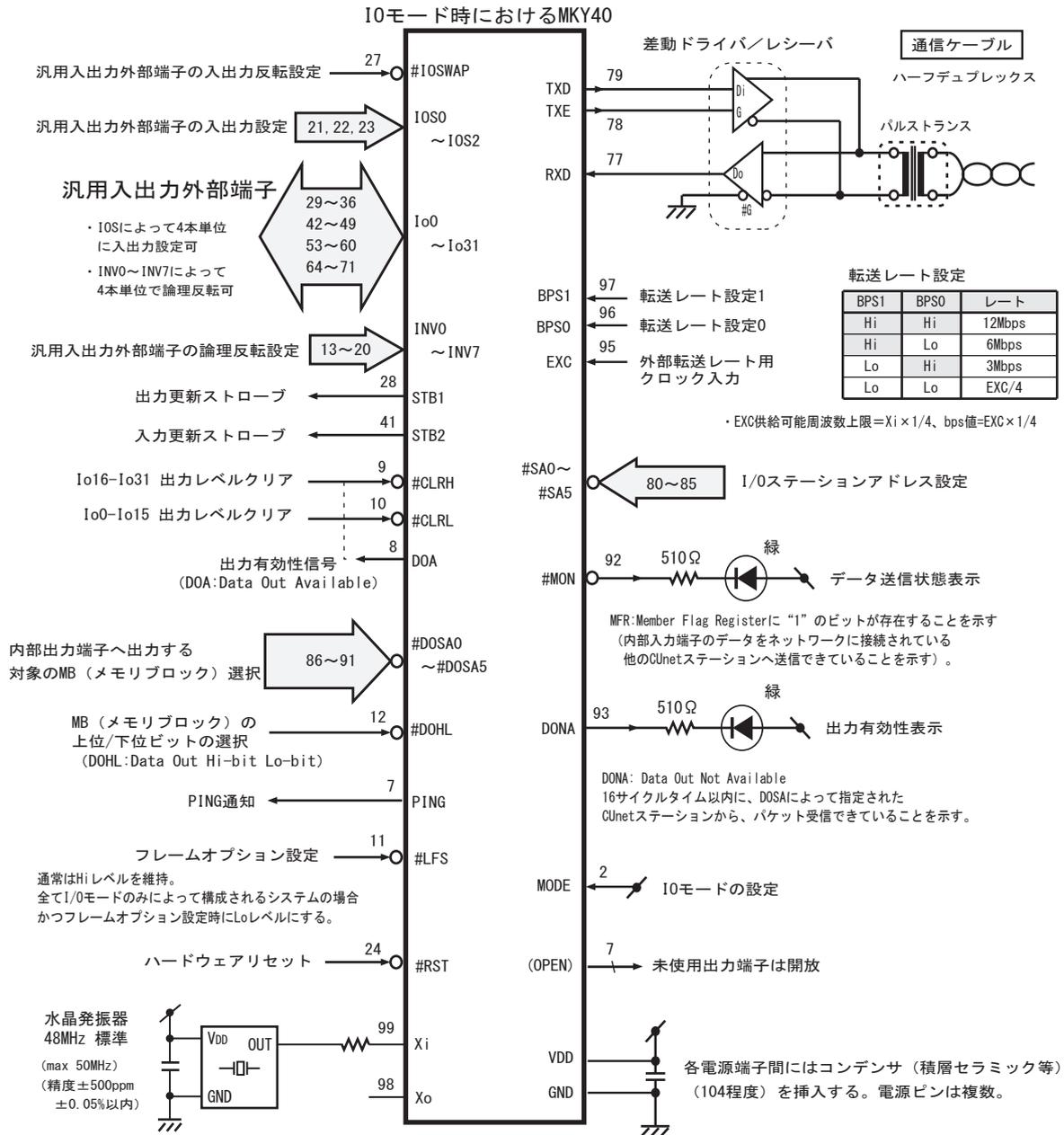
PING 端子を使用しない時は、開放にしてください。

**注意事項**

PING 信号を発生させる操作は、I/O ステーション以外の CUnet ステーションからのみ可能です (“4.4.6 PING 命令” 参照)。IO モードの MKY40 からは操作できません。

7.3.14 接続概要図

IOモード時におけるMKY40の各端子の設定と接続の概念を図7.11に示します。



★ IO端子の定義設定 一覧表

#IOSWAP=Hi						#IOSWAP=Lo		
入出力端子対応	本数		IOS			入出力端子対応	本数	
入力端子	出力端子	I/O	2	1	0	入力端子	出力端子	I/O
Io 0-31	無し	32 / 0	Lo	Lo	Lo	無し	Io 0-31	0 / 32
Io 0-27	Io28-31	28 / 4	Lo	Lo	Hi	Io28-31	Io 0-27	4 / 28
Io 0-23	Io24-31	24 / 8	Lo	Hi	Lo	Io24-31	Io 0-23	8 / 24
Io 0-19	Io20-31	20 / 12	Lo	Hi	Hi	Io20-31	Io 0-19	12 / 20
Io 0-15	Io16-31	16 / 16	Hi	Lo	Lo	Io16-31	Io 0-15	16 / 16
Io 0-11	Io12-31	12 / 20	Hi	Lo	Hi	Io12-31	Io 0-11	20 / 12
Io 0- 7	Io 8-31	8 / 24	Hi	Hi	Lo	Io 8-31	Io 0- 7	24 / 8
無し	Io 0-31	0 / 32	Hi	Hi	Hi	Io 0-31	無し	32 / 0

・#IOSWAP (入出力定義反転設定) 端子は、Hiレベルで使用することが標準推奨です (I/OモードのMKY40のみによって構成されるシステムの場合、#IOSWAP端子=Loの使用が考えられます)。

図 7.11 IOモード時における各端子の設定と接続の概念

7.4 フェーズ遷移への対応

IOモード時におけるMKY40もMEMモード時と同様にCUnetプロトコルに定めるスタートフェーズ、コールフェーズ、ランフェーズ、ブレイクフェーズを持ちます。

MEMモード時におけるMKY40は、ユーザシステムのプログラムによってネットワークの起動を操作する必要があります。しかし、IOモード時におけるMKY40は、ハードウェアリセットのアクティブが解除されると、すぐにネットワークが起動するため、ユーザシステムによる起動の操作は不要です。

IOモード時におけるMKY40も、ネットワークの起動によるスタートフェーズの2～3サイクル時間の後に、コールフェーズ、ランフェーズ、ブレイクフェーズのいずれかのフェーズへ遷移します。



参考

I/Oステーションは単なる入出力装置として利用されるため、IOモード時におけるMKY40がどのフェーズにあるかはユーザシステムに対して明示されません。

7.4.1 ランフェーズの動作

ランフェーズはCUnetの通常の稼動状態です。ネットワークへ接続された他のCUnetステーションと、定期的にリンクが行われている状態です。

MKY40は、CUnetプロトコルに定義される“リンク”が3回以上連続して成立した状態をもって、“他のCUnetステーションとのリンクが安定している”と判定し、#MON端子へLoレベルを出力します。

IOモードのMKY40におけるランフェーズ時には、#MON端子がLoレベル出力へ遷移した後、内部入力端子(Di0～Di31)のデータと端子の設定状態をネットワークに送信するために定期的にパケットを送信します。

IOモード時におけるMKY40は、リンクしている他のCUnetステーションの中に#DOSA0～#DOSA5端子の設定と一致するステーションアドレスのCUnetステーションが存在する場合に、STB1端子からパルスを出力し、内部出力端子(Do0～Do31)のデータを更新します。

これによりI/Oステーションの標準状態として、以下の特徴を得ることができます。

- ① #MON端子がLoレベル出力へ遷移します。
- ② DOA端子がHiレベル出力へ、DONA端子がLoレベル出力へ遷移します。
- ③ STB1端子からサイクルに同期する定期的なパルスを出力します。
- ④ STB2端子からサイクルに同期する定期的なパルスを出力します。

#DOSA0～#DOSA5端子の設定と一致するステーションアドレスのCUnetステーションが起動していないか、あるいはネットワークへ接続されていない場合は、STB1端子からパルスは出力されず、内部出力端子(Do0～Do31)のデータも更新されません。

この場合、I/Oステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON端子がLoレベル出力へ遷移します。
- ② DOA端子はLoレベル、DONA端子はHiレベルのままです。
- ③ STB1端子は、Loレベル出力のままです（パルスは出力しません）。
- ④ STB2端子からサイクルに同期する定期的なパルスが出力します。

7.4.2 コールフェーズの動作

コールフェーズは CUnet の接続待ち状態です。ネットワークへ接続されたこの 1 つの I/O ステーションのみが起動されている状態です。

IO モード時の MKY40 におけるコールフェーズは、内部入力端子 (Di0 ~ Di31) のデータと端子の設定状態をネットワークへ送信するためのパケットを送信します。内部出力端子 (Do0 ~ Do31) のデータは、ネットワークから取得されません。

これに伴ない I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子は Lo レベル、DONA 端子は Hi レベルのままです。
- ③ STB1 端子は、Lo レベル出力のままです (パルスは出力しません)。
- ④ STB2 端子からサイクルに同期する定期的なパルスが出力します。

コールフェーズは、他の CUnet ステーションとパケットの送受信ができるまで続きます。他の CUnet ステーションがネットワークを起動してパケットを送受信できる状況になると、MKY40 はランフェーズへ遷移します。

7.4.3 ブレークフェーズの動作

ブレークフェーズは、サイクルへの参入ができない状態です。ネットワークへ接続された他の CUnet ステーションへパケットを送信しないため、内部入力端子 (Di0 ~ Di31) のデータと端子の設定状態はネットワークへ送信されません。

#DOSA0 ~ #DOSA5 端子の設定と一致するステーションアドレスの CUnet ステーションがネットワーク上において稼動している時、STB1 端子からパルスが出力され、内部出力端子 (Do0 ~ Do31) のデータを更新します。

これにより I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子が Hi レベル出力へ、DONA 端子が Lo レベル出力へ遷移します。
- ③ STB1 端子からサイクルに同期する定期的なパルスを出力します。
- ④ STB2 端子は、Lo レベル出力のままです (パルスは出力しません)。

#DOSA0 ~ #DOSA5 端子の設定と一致するステーションアドレスの CUnet ステーションがネットワーク上において稼動していないか、あるいはネットワークへ接続されていない場合は、STB1 端子からパルスは出力されず、内部出力端子 (Do0 ~ Do31) のデータも更新されません。

これにより I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子は Lo レベル、DONA 端子は Hi レベルのままです。
- ③ STB1 端子は、Lo レベル出力のままです (パルスは出力しません)。
- ④ STB2 端子は、Lo レベル出力のままです (パルスは出力しません)。

ブレークフェーズは、他の CUnet ステーションのリサイズ操作によってサイクルへの参入が許可されるまで続きます。MKY40 は、サイクルへの参入が許可されるとランフェーズへ遷移します。

7.4.4 リサイズへの対応

IOモード時におけるMKY40から、CUnetのリサイズを操作することはできません。リサイズは、I/Oステーション以外のCUnetステーション（MEMモードのMKY40など）からのみ操作可能です。ただし、I/Oステーション以外のCUnetステーションによってリサイズが操作されると、IOモードのMKY40も、内部のファイナルステーション（Final Station：FS）値が更新され、リサイズします。

7.4.5 ネットワーク停止と再起動

MEMモード時におけるMKY40の停止としては、“4.1.8 ネットワークの停止”に記述された以下の3つがあります。

- ① SCR（System Control Register）のSTARTビットへ、意図的に“0”をライトした。
- ② SNF（Station Not Found）：自己ステーション以外のCUnetステーションとのリンクが、32サイクル連続して1回も成立できなかった。
- ③ OC（Out of Cycle）：他のCUnetステーションによるリサイズ操作によって、継続的タイムシェアリングにおける自己ステーションの packets 送信時期を失った。

これに対してIOモード時におけるMKY40は、上記①の意図的な停止は存在しませんが、②あるいは③によってネットワークが停止する場合があります。ネットワーク停止の詳細については、“4.1.8 ネットワークの停止”を参照してください。

IOモード時におけるMKY40は、上記②あるいは③によってネットワークが停止した場合、“8×TBPs”時間以内に、再起動します。これにより、②のSNF（Station Not Found）によって停止した後のIOモードのMKY40は、スタートフェーズを経てコールフェーズへ遷移します。③のOC（Out of Cycle）によって停止した後のIOモードのMKY40は、スタートフェーズを経てブレイクフェーズへ遷移します。

このようにIOモード時におけるMKY40は、ユーザシステムによるネットワークの起動や停止の操作が不要です。これによりIOモードのMKY40によって構成されるI/Oステーションは、ネットワークへ接続するだけで利用可能となり、かつ活線挿抜も可能です。

7.5 I/O ステーションのみによる構成

I/O ステーション以外の CUNet ステーション（例えば MEM モードの MKY40 を搭載したステーション）を存在させずに、I/O ステーションのみによって CUNet システムを構築することができます（図 7.12、図 7.13 参照）。この場合、それぞれの I/O ステーションに搭載された MKY40 の #DOHL 端子は、Hi レベルにしてください。

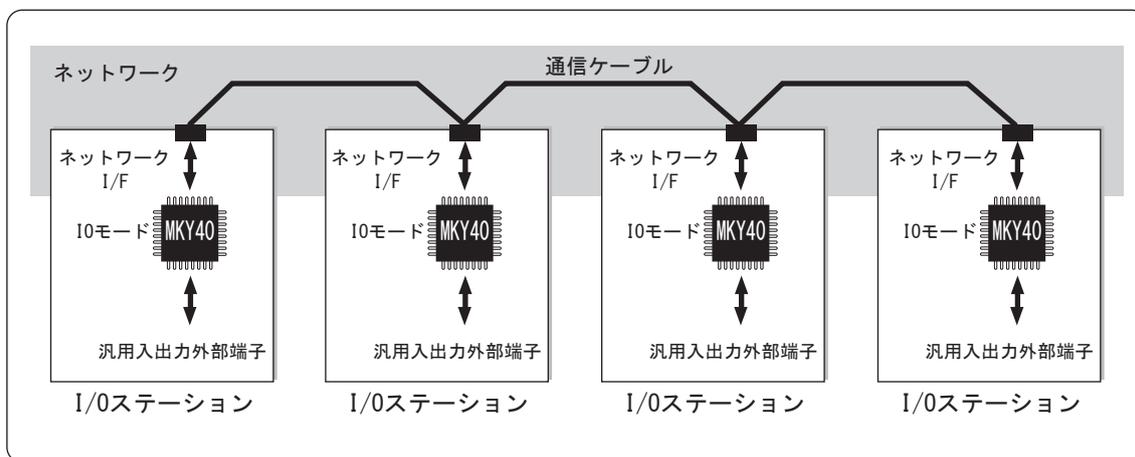


図 7.12 I/O ステーションのみによって構成する CUNet

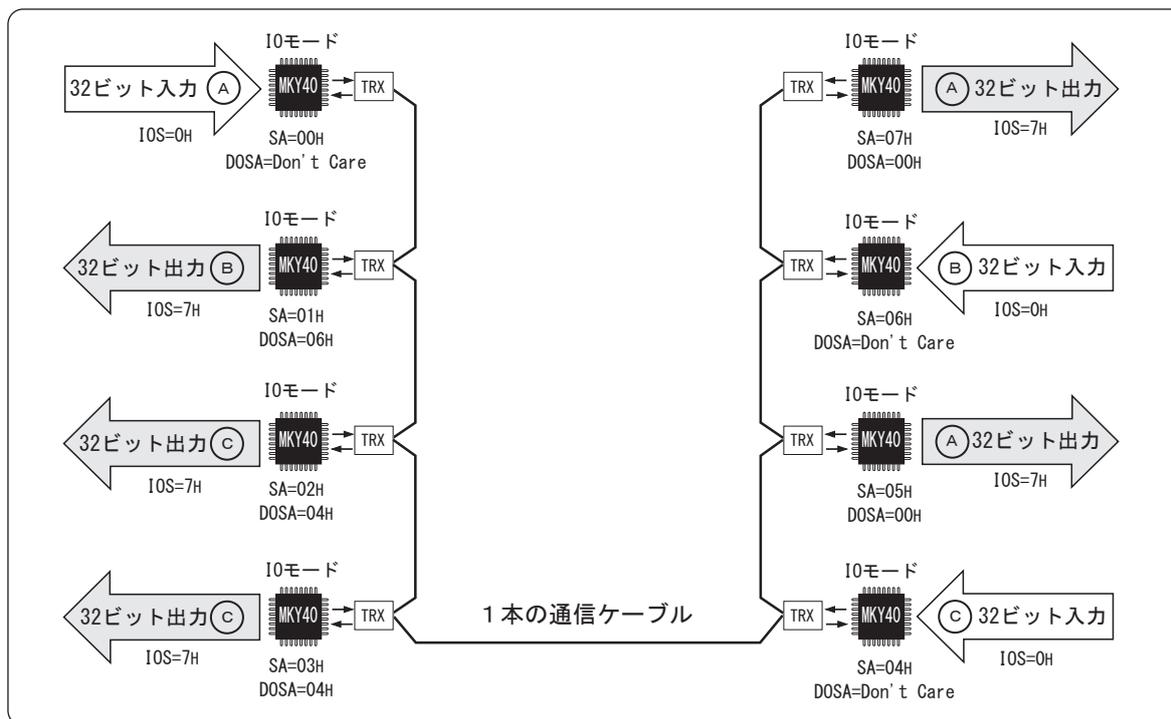


図 7.13 複数の I/O 信号を 1 本の通信ケーブルによって接続可能なシステムの概念

7.5.1 I/Oステーションのみのサイクルタイム

CUnetのサイクルタイムには、ファイナルステーション（Final Station:FS）の値が関与します。ハードウェアリセットによるMKY40のファイナルステーションの初期値は“63（3FH）”です。

IOモード時におけるMKY40からはCUnetのリサイズを操作することはできないため、I/Oステーションのみによって構成されたCUnetのサイクルタイムは、“4.1.6 CUnetのサイクルタイム”に記述された式4.1および式4.2から、FS値が“63（3FH）”のサイクルタイムです（表7-5参照）。

表 7-5 FS=63 のサイクルタイム

転送レート	サイクルタイム
12Mbps	2.365ms
6 Mbps	4.730ms
3 Mbps	9.460ms

7.5.2 #IOSWAP 端子の利用

IOS0～IOS2端子の設定をA側B側ともに同一にし、A側の#IOSWAP端子をHiレベルに、B側の#IOSWAP端子をLoレベルに設定することによって、A側の“入力”に相当するB側の端子を“出力”に、B側の“入力”に相当するA側の端子を“出力”にすることができます（図7.14参照）。

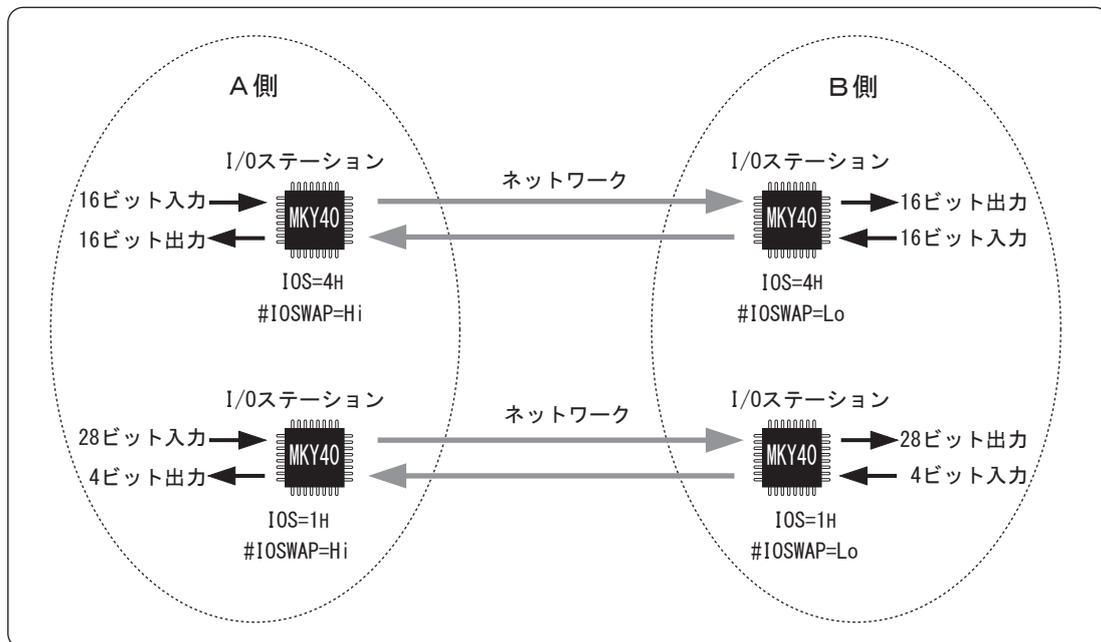


図 7.14 #IOSWAP 端子を利用する場合の概念

注意事項

A側において“入力”である端子（例えばIo0：端子29）は、B側においては“出力”端子となります。したがって、A側とB側において接続するユーザ回路は異なっていなければなりません。A側専用のユーザ回路をB側に流用してはいけません。

7.5.3 #LFS (Long Frame Select) 端子の利用 [HUB 対応]

図 7.12 や図 7.13 に示す構成のネットワークへ HUB (通信ケーブル分岐ユニット) を挿入する場合は、いずれか 1 つ以上の MKY40 の #LFS 端子を Lo レベルに固定してください。

ネットワークへ接続されたいずれか 1 つ以上の I/O ステーションの #LFS 端子が Lo レベルに設定されていた場合、ネットワークへ接続された全ての CUnet 専用 IC が CUnet プロトコルによってフレームオプション状態に設定されます。またフレームオプションがセットされ稼動しているネットワークへ後から接続 (あるいは電源投入) された I/O ステーションも、フレームオプションが設定されます。フレームオプションによって、CUnet のネットワークへ最大 2 段の HUB (通信ケーブル分岐ユニット) を挿入することが可能です。

ネットワークへ HUB (通信ケーブル分岐ユニット) を挿入した CUnet は、ネットワーク敷設の自由度が高められ、通信ケーブルの総長を伸ばすことも可能となるため、適用可能なアプリケーションを拡張できます (HUB-IC (MKY02 など) の “ユーザーズマニュアル” を参照)。

フレームオプションによるフレーム長定数 (LOF: Length Of Frame) が “256” のサイクルタイムは、“4.1.6 CUnet のサイクルタイム” に記述された式 4.1 および式 4.2 から、表 7-6 のサイクルタイムです。

表 7-6 フレームオプションが設定された FS=63 のサイクルタイム

転送レート	サイクルタイム
12Mbps	3.520ms
6 Mbps	7.040ms
3 Mbps	14.080ms



参考

式 4.1 と式 4.2 から算出される各 FS 値によるサイクルタイムを、“付録 1 サイクルタイム一覧” に示します。



注意事項

一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全ての CUnet 専用 IC に対してハードウェアリセットがアクティブとなる操作を必要とします。この場合、I/O ステーションの #LFS 端子は Hi レベルを保っていなければなりません。

第 8 章 定格

本章は、MKY40 の各種定格について記述します。

8.1	電氣的定格.....	8-3
8.2	AC 特性	8-4
8.3	パッケージ外形寸法	8-9
8.4	半田実装推奨条件	8-10
8.5	リフロー推奨条件	8-10

第 8 章 定格

本章は、MKY40 の各種定格について記述します。

8.1 電氣的定格

表 8-1 に、MKY40 の絶対最大定格を示します。

表 8-1 絶対最大定格 (V_{SS}=0V)

項目	記号	定格	単位
電源電圧	V _{DD}	-0.3 ~ +7.0	V
入力端子電圧	V _i	V _{SS} -0.3 ~ V _{DD} +0.3	V
出力端子電圧	V _o	V _{SS} -0.3 ~ V _{DD} +0.3	V
ピーク出力電流 (Type-E 端子) *	I _{op}	ピーク±12	mA
ピーク出力電流 (Type-F 端子) *	I _{op}	ピーク±24	mA
ピーク出力電流 (Type-G 端子) *	I _{op}	ピーク +12/-6	mA
許容損失	PT	570	mW
動作周囲温度	T _{opr}	-40 ~ +85	°C
保存温度	T _{stg}	-55 ~ +150	°C

* : Type-E、F、G に付いては、“図 2.2 MEM モード時における入出力回路形式の端子電氣的特性”、および“図 6.2 IO モード時における入出力回路形式の端子電氣的特性”参照。

表 8-2 に、MKY40 の電氣的定格を示します。

表 8-2 電氣的定格 (TA=25°C V_{SS}=0V)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	V _{DD}	---	4.5	5.0	5.5	V
動作電流	I _{DDA}	V _i =V _{DD} または V _{SS} X _i =50MHz 出力開放	---	75	130	mA
外部入力動作周波数	F _{clk}	X _i 端子へ入力	---	48	50	MHz
発振動作周波数	F _{osc}	X _i , X _o 発振子接続	40	48	50	MHz
入力端子容量	C _i	V _{DD} =V _i =0V f=1MHz TA=25°C	---	7	15	pF
出力端子容量	C _o		---	7	15	pF
入出力端子容量	C _{i/o}		---	7	15	pF
入力信号の立上り/立下り時間	T _{IRF}	---	---	---	100	ns
入力信号の立上り/立下り時間	T _{IRF}	シュミットトリガ入力	---	---	50	ms

8.2 AC 特性

表 8-3 に、MKY40 の AC 特性測定条件を示します。

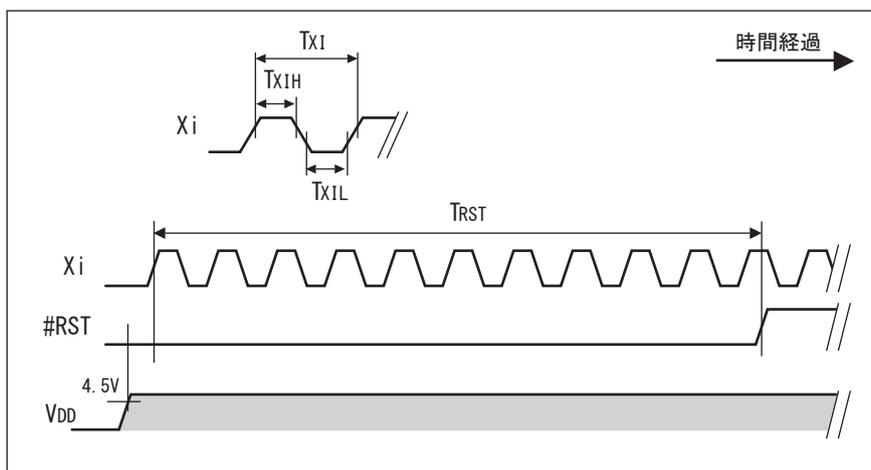
表 8-3 AC 特性測定条件

記号	名称	値	単位
COL	出力負荷容量	75	pF
VDD	測定電源電圧	5.0	V
TA	測定温度	25	°C

8.2.1 各モードに共通な信号のタイミング

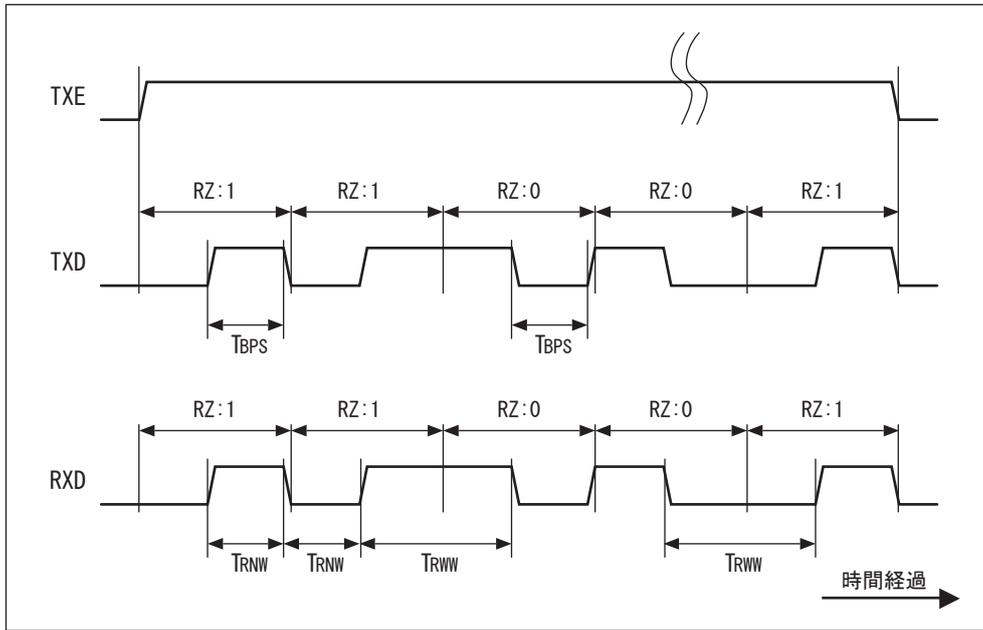
本節は、MKY40 の MEM モードと IO モードの両方に共通な信号のタイミング仕様を示します。

8.2.1.1 クロック、リセットタイミング (#RST、Xi)



記号	名称	最小	最大	単位
T_{XI}	クロック周期幅	20	---	ns
T_{XIH}	クロック Hi レベル幅	5	---	ns
T_{XIL}	クロック Lo レベル幅	5	---	ns
T_{RST}	リセット有効 Lo レベル幅	$10 \times T_{XI}$	---	ns

8.2.1.2 転送レートタイミング (TXE、TXD、RXD)

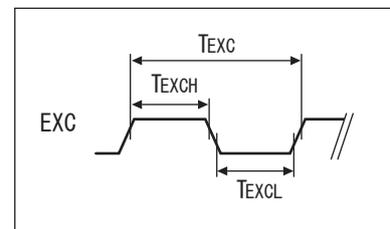


記号	転送レート	送信信号短パルス幅	単位
TBPS	12Mbps	$\approx 83.33 \pm 5$	ns
	6Mbps	$\approx 166.67 \pm 5$	ns
	3Mbps	$\approx 333.33 \pm 5$	ns

記号	名称	最小	標準	最大	備考
TRNW	入力信号短パルス幅	$0.51 \times \text{TBPS}$	$1.0 \times \text{TBPS}$	$1.49 \times \text{TBPS}$	RZ信号として許容されるパルス幅
TRWW	入力信号長パルス幅	$1.51 \times \text{TBPS}$	$2.0 \times \text{TBPS}$	$2.49 \times \text{TBPS}$	RZ信号として許容されるパルス幅

8.2.1.3 外部転送レートクロック (EXC) タイミング

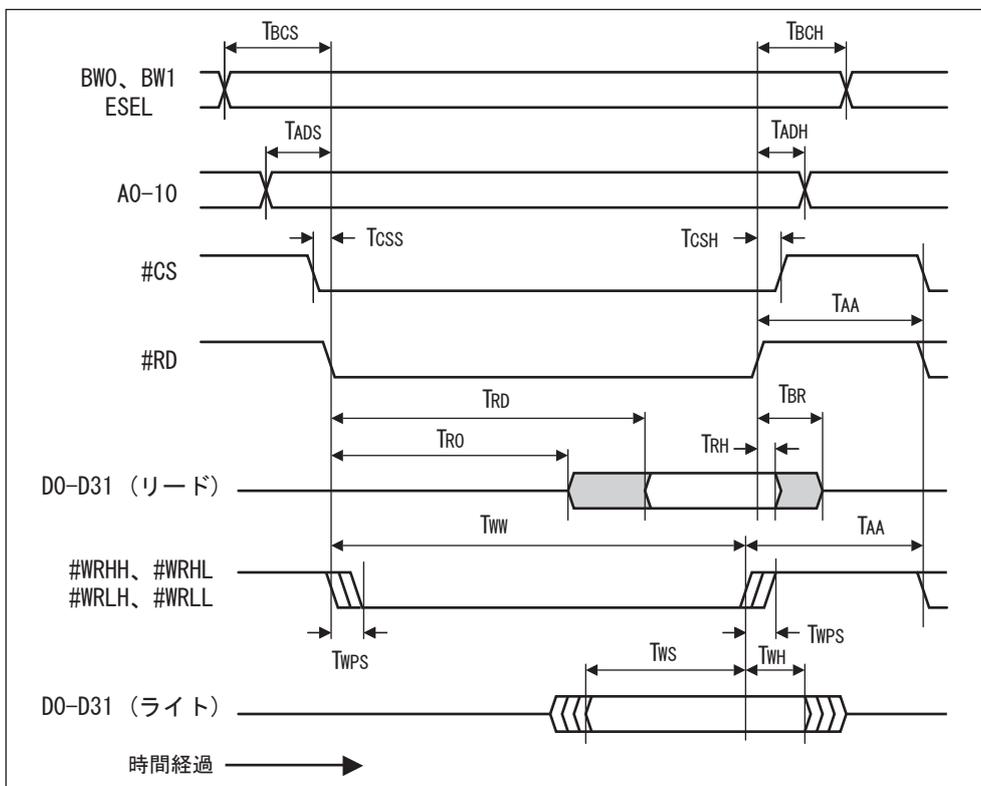
記号	名称	最小	最大	単位
T _{EXC}	外部転送レートクロック周期幅	$4 \times \text{TXI}$	---	ns
T _{EXCH}	外部転送レートクロック Hi レベル幅	$1.5 \times \text{TXI}$	---	ns
T _{EXCL}	外部転送レートクロック Lo レベル幅	$1.5 \times \text{TXI}$	---	ns



8.2.2 MEM モード特有の信号タイミング

本節は、MKY40 の MEM モードに特有な信号タイミング仕様を示します。

8.2.2.1 リード/ライトタイミング



Xi=48MHz

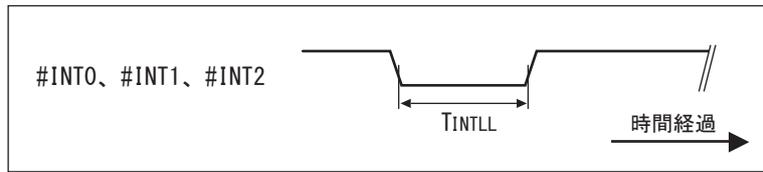
記号	名称	最小	標準	最大	単位
TBCS	バス変更セットアップ	50	---	---	ns
TBCH	バス変更ホールド	50	---	---	ns
TADS	アドレスセットアップ	0	---	---	ns
TADH	アドレスホールド	0	---	---	ns
TCSS	CS セットアップ	0	---	---	ns
TCSH	CS ホールド	0	---	---	ns
TAA	アクセス to アクセス	2 × Txi	---	---	ns
TRO	リード to アウト (バスドライブ)	30	---	---	ns
TRD	リード to データ (有効データ出力)	---	---	130	ns
TRH	リードデータホールド	2	---	---	ns
TBR	バスリリース	3	---	12	ns
TWW	ライト信号幅	90	---	---	ns
TWPS	ライト信号間の許容誤差	---	---	Txi	ns
TWS	ライトデータセットアップ	10	---	---	ns
TWH	ライトデータホールド	5	---	---	ns



注意事項

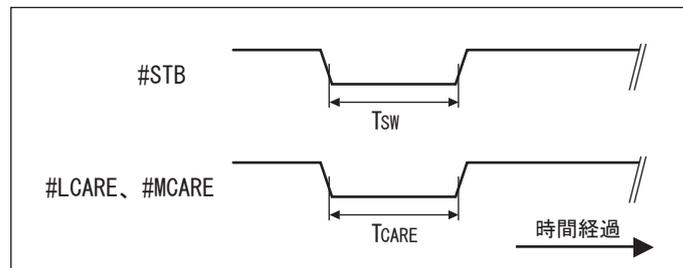
上図は、全てのバス幅設定における総括図です (ESEL、AO-A10、#WRHH、#WRHL、#WRLH、#WRLL、D0-D31 (リード)、D0-D31 (ライト) 端子信号は、バス幅設定に機能が依存します)。

8.2.2.2 割込みトリガ出力タイミング



記号	名称	最小	最大	単位
TINTLL	端子 Lo レベル幅	$10 \times T_{XI}$	---	ns

8.2.2.3 STB、#LCARE、#MCARE 出力タイミング

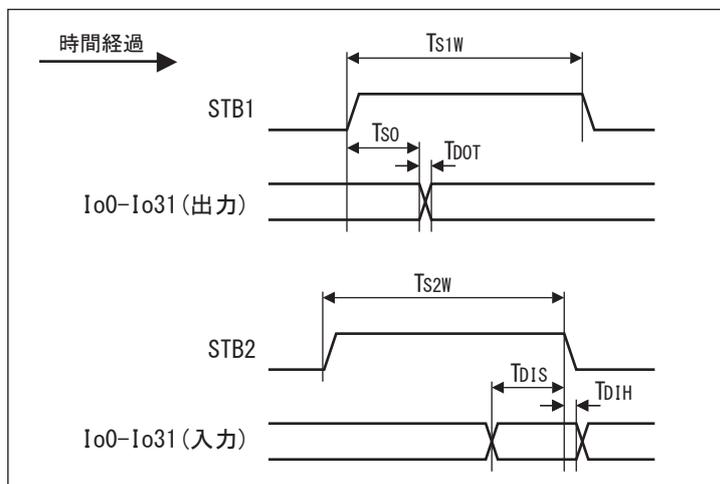


記号	名称	最小	標準	最大	単位
T _{SW}	STB 端子出力 Lo レベル幅	$1.8 \times T_{BPS}$	$2 \times T_{BPS}$	$2.2 \times T_{BPS}$	ns
T _{CARE}	CARE パルス Lo レベル幅 (BCR 内 CP フラグビット =1)	$5 \times T_{BPS}$	$6 \times T_{BPS}$	$7 \times T_{BPS}$	ns
	CARE パルス Lo レベル幅 (BCR 内 CP フラグビット =0) (リトリガブルワンショット マルチバイブレータ出力)	$(2^{21}-256) \times T_{XI}$	---	---	ns

8.2.3 IO モード特有の信号タイミング

本節は、MKY40 の IO モードに特有な信号タイミング仕様を示します。

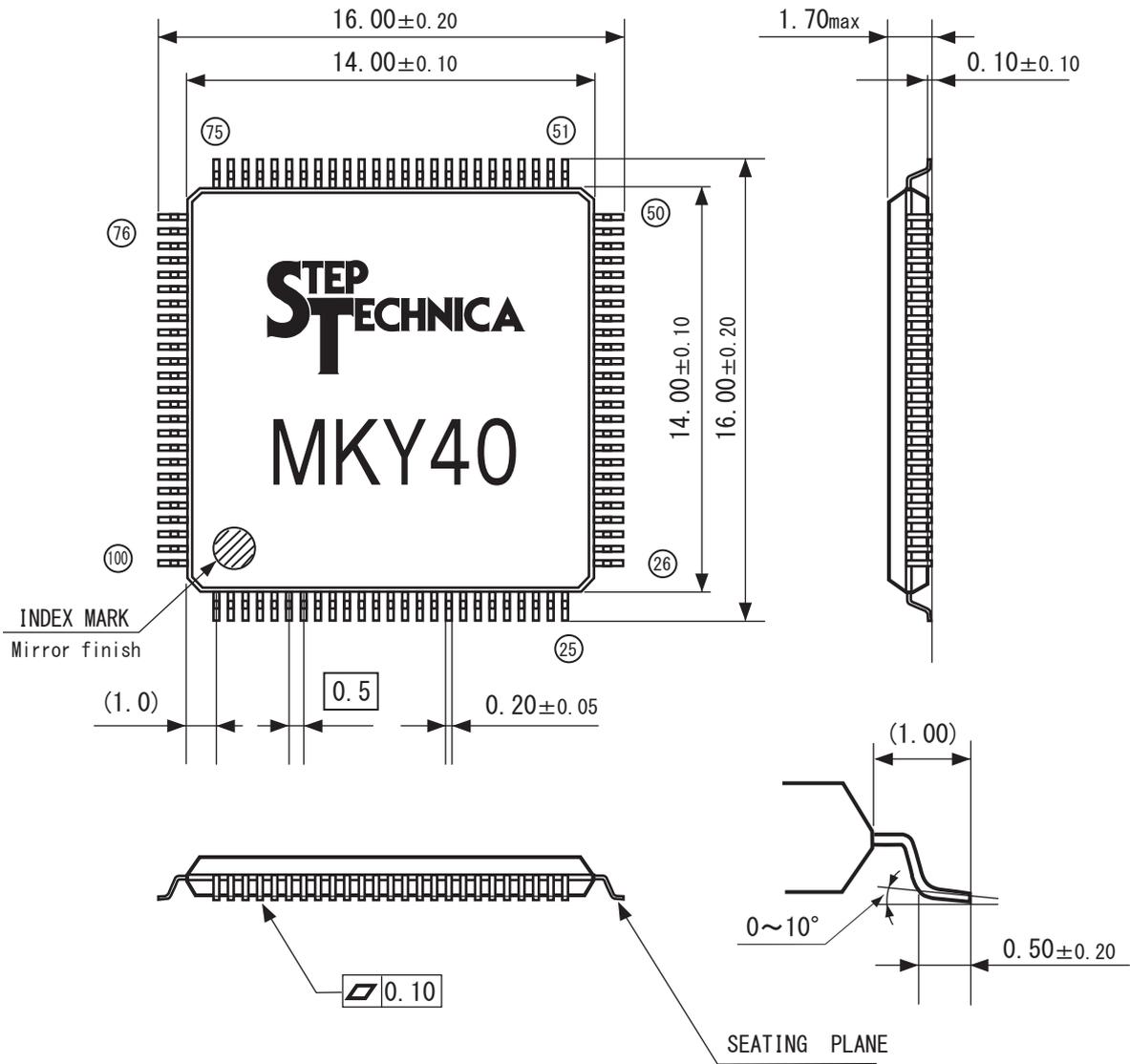
8.2.3.1 STB1、STB2 とデータ入出力端子タイミング



記号	名称	最小	標準	最大	単位
T_{s1W}	STB1 Hi レベル幅	$(1.8 \times T_{BPS}) + T_{XI}$	$(2 \times T_{BPS}) + T_{XI}$	$(2.2 \times T_{BPS}) + T_{XI}$	ns
T_{s0}	STB1 データ出力ホールド	15	---	25	ns
T_{dot0T}	データ遷移期間	---	---	10	ns
T_{s2W}	STB2 Hi レベル幅	$1.8 \times T_{BPS}$	$2 \times T_{BPS}$	$2.2 \times T_{BPS}$	ns
T_{dot1S}	データインプットセットアップ	50	---	---	ns
T_{dot1H}	データインプットホールド	0	---	---	ns

8.3 パッケージ外形寸法

MKY40 (100ピン、LQFP)



8.4 半田実装推奨条件

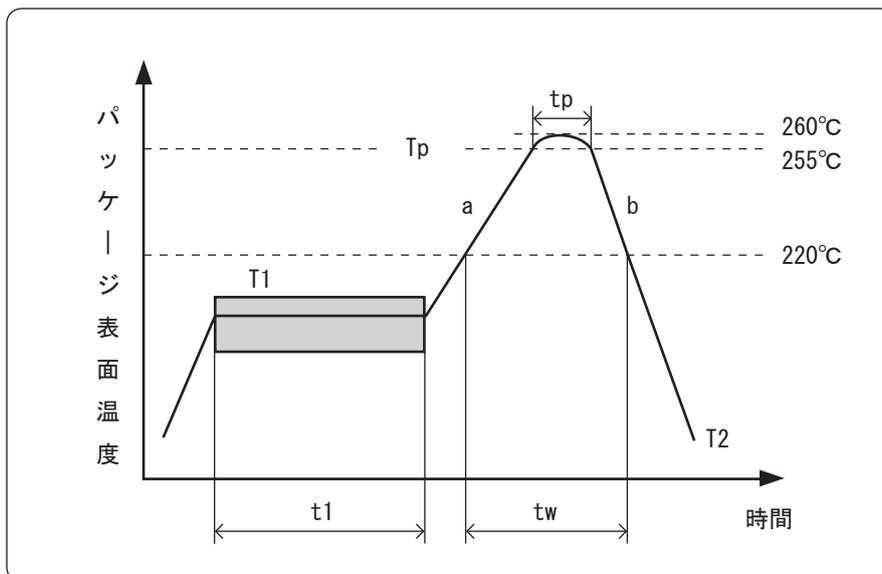
項目	記号	リフロー	手付け半田こて
ピーク温度（樹脂表面）	Tp	260℃以下	350℃以下
ピーク温度維持時間	tp	10 秒以下	3 秒以下



注意事項

- ① 製品保管条件：吸湿防止のため、TA=30℃以下、RH=70%以下としてください。
- ② 手付け半田法：こて温度 350℃、3 秒以内。
(デバイスリード温度は 270℃、10 秒以内)
- ③ リフロー回数：最大 2 回まで可能
- ④ フラックス：無塩素のフラックスを推奨（十分に洗浄してください）。
- ⑤ 超音波洗浄の場合：周波数および基板形状などによって、共振が発生してリードの強度へ影響する場合がありますので十分注意してください。

8.5 リフロー推奨条件



項目	記号	値
プリヒート（時間）	t1	60 ~ 120 秒
プリヒート（温度）	T1	150 ~ 180℃
昇温レート	a	2 ~ 5℃ / 秒
ピーク条件（時間）	tp	10 秒 ± 3 秒
ピーク条件（温度）	Tp	255 + 5℃
冷却レート	b	2 ~ 5℃ / 秒
高温領域	tw	220℃、60 秒以内
取出し温度	T2	≤ 100℃



注意事項

本推奨条件は、温風リフローや赤外線リフローなどに適用します。温度は、パッケージ樹脂表面温度を示します。

付録

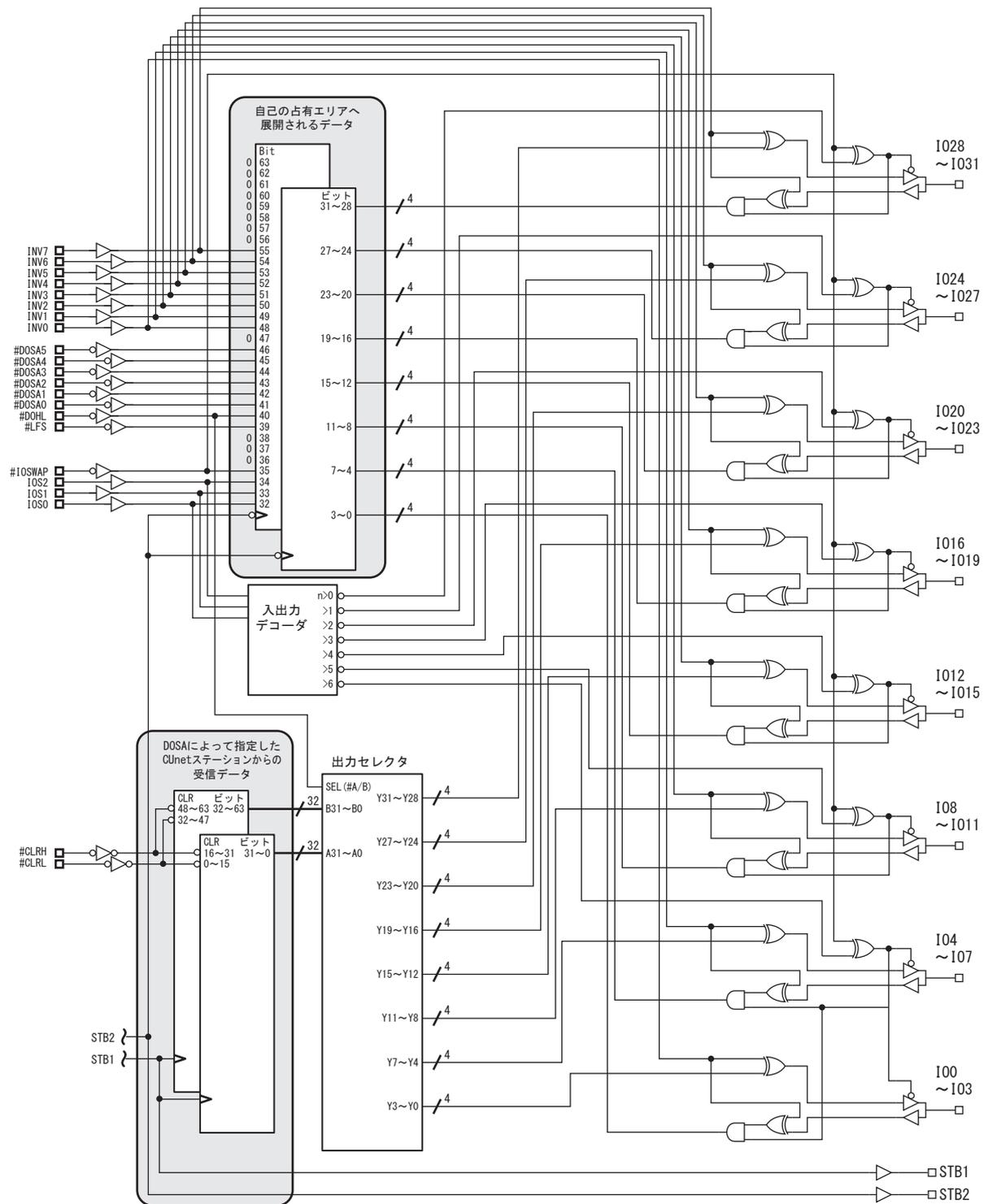
付録 1	サイクルタイム一覧	付録 -3
付録 2	IO モード時における内部等価ブロック図.....	付録 -4
付録 3	アドレス順 レジスター一覧.....	付録 -5

付録 1 サイクルタイム一覧

(単位: μ s)

FS	標準 (LF=0)			フレームオプション (LF=1)		
	12Mbps	6Mbps	3Mbps	12Mbps	6Mbps	3Mbps
1 (01H)	102.00	204.00	408.00	172.00	344.00	688.00
2 (02H)	128.33	256.67	513.33	215.83	431.67	863.33
3 (03H)	155.00	310.00	620.00	260.00	520.00	1,040.00
4 (04H)	182.00	364.00	728.00	304.50	609.00	1218.00
5 (05H)	209.33	418.67	837.33	349.33	698.67	1,397.33
6 (06H)	237.00	474.00	948.00	394.50	789.00	1,578.00
7 (07H)	265.00	530.00	1,060.00	440.00	880.00	1,760.00
8 (08H)	293.33	586.67	1,173.33	485.83	971.67	1,943.33
9 (09H)	322.00	644.00	1,288.00	532.00	1,064.00	2,128.00
10 (0AH)	351.00	702.00	1,404.00	578.50	1,157.00	2,314.00
11 (0BH)	380.33	760.67	1,521.33	625.33	1,250.67	2,501.33
12 (0CH)	410.00	820.00	1,640.00	672.50	1,345.00	2,690.00
13 (0DH)	440.00	880.00	1,760.00	720.00	1,440.00	2,880.00
14 (0EH)	470.33	940.67	1,881.33	767.83	1,535.67	3,071.33
15 (0FH)	501.00	1,002.00	2,004.00	816.00	1,632.00	3,264.00
16 (10H)	532.00	1,064.00	2,128.00	864.50	1,729.00	3,458.00
17 (11H)	563.33	1,126.67	2,253.33	913.33	1,826.67	3,653.33
18 (12H)	595.00	1,190.00	2,380.00	962.50	1,925.00	3,850.00
19 (13H)	627.00	1,254.00	2,508.00	1,012.00	2,024.00	4,048.00
20 (14H)	659.33	1,318.67	2,637.33	1,061.83	2,123.67	4,247.33
21 (15H)	692.00	1,384.00	2,768.00	1,112.00	2,224.00	4,448.00
22 (16H)	725.00	1,450.00	2,900.00	1,162.50	2,325.00	4,650.00
23 (17H)	758.33	1,516.67	3,033.33	1,213.33	2,426.67	4,853.33
24 (18H)	792.00	1,584.00	3,168.00	1,264.50	2,529.00	5,058.00
25 (19H)	826.00	1,652.00	3,304.00	1,316.00	2,632.00	5,264.00
26 (1AH)	860.33	1,720.67	3,441.33	1,367.83	2,735.67	5,471.33
27 (1BH)	895.00	1,790.00	3,580.00	1,420.00	2,840.00	5,680.00
28 (1CH)	930.00	1,860.00	3,720.00	1,472.50	2,945.00	5,890.00
29 (1DH)	965.33	1,930.67	3,861.33	1,525.33	3,050.67	6,101.33
30 (1EH)	1,001.00	2,002.00	4,004.00	1,578.50	3,157.00	6,314.00
31 (1FH)	1,037.00	2,074.00	4,148.00	1,632.00	3,264.00	6,528.00
32 (20H)	1,073.33	2,146.67	4,293.33	1,685.83	3,371.67	6,743.33
33 (21H)	1,110.00	2,220.00	4,440.00	1,740.00	3,480.00	6,960.00
34 (22H)	1,147.00	2,294.00	4,588.00	1,794.50	3,589.00	7,178.00
35 (23H)	1,184.33	2,368.67	4,737.33	1,849.33	3,698.67	7,397.33
36 (24H)	1,222.00	2,444.00	4,888.00	1,904.50	3,809.00	7,618.00
37 (25H)	1,260.00	2,520.00	5,040.00	1,960.00	3,920.00	7,840.00
38 (26H)	1,298.33	2,596.67	5,193.33	2,015.83	4,031.67	8,063.33
39 (27H)	1,337.00	2,674.00	5,348.00	2,072.00	4,144.00	8,288.00
40 (28H)	1,376.00	2,752.00	5,504.00	2,128.50	4,257.00	8,514.00
41 (29H)	1,415.33	2,830.67	5,661.33	2,185.33	4,370.67	8,741.33
42 (2AH)	1,455.00	2,910.00	5,820.00	2,242.50	4,485.00	8,970.00
43 (2BH)	1,495.00	2,990.00	5,980.00	2,300.00	4,600.00	9,200.00
44 (2CH)	1,535.33	3,070.67	6,141.33	2,357.83	4,715.67	9,431.33
45 (2DH)	1,576.00	3,152.00	6,304.00	2,416.00	4,832.00	9,664.00
46 (2EH)	1,617.00	3,234.00	6,468.00	2,474.50	4,949.00	9,898.00
47 (2FH)	1,658.33	3,316.67	6,633.33	2,533.33	5,066.67	10,133.33
48 (30H)	1,700.00	3,400.00	6,800.00	2,592.50	5,185.00	10,370.00
49 (31H)	1,742.00	3,484.00	6,968.00	2,652.00	5,304.00	10,608.00
50 (32H)	1,784.33	3,568.67	7,137.33	2,711.83	5,423.67	10,847.33
51 (33H)	1,827.00	3,654.00	7,308.00	2,772.00	5,544.00	11,088.00
52 (34H)	1,870.00	3,740.00	7,480.00	2,832.50	5,665.00	11,330.00
53 (35H)	1,913.33	3,826.67	7,653.33	2,893.33	5,786.67	11,573.33
54 (36H)	1,957.00	3,914.00	7,828.00	2,954.50	5,909.00	11,818.00
55 (37H)	2,001.00	4,002.00	8,004.00	3,016.00	6,032.00	12,064.00
56 (38H)	2,045.33	4,090.67	8,181.33	3,077.83	6,155.67	12,311.33
57 (39H)	2,090.00	4,180.00	8,360.00	3,140.00	6,280.00	12,560.00
58 (3AH)	2,135.00	4,270.00	8,540.00	3,202.50	6,405.00	12,810.00
59 (3BH)	2,180.33	4,360.67	8,721.33	3,265.33	6,530.67	13,061.33
60 (3CH)	2,226.00	4,452.00	8,904.00	3,328.50	6,657.00	13,314.00
61 (3DH)	2,272.00	4,544.00	9,088.00	3,392.00	6,784.00	13,568.00
62 (3EH)	2,318.33	4,636.67	9,273.33	3,455.83	6,911.67	13,823.33
63 (3FH)	2,365.00	4,730.00	9,460.00	3,520.00	7,040.00	14,080.00

付録2 IOモード時における内部等価ブロック図



付録3 アドレス順 レジスタ一覧

項目	略称	レジスタ名	先頭アドレス	幅	対象機能	ページ
5.14	PWRRCR	Primary Window Read Control Register	400H	16	アクセス制御	5-20
5.15	PWWCR	Primary Window Write Control Register	404H	16		5-20
5.16	SWRCR	Secondary Window Read Control Register	408H	16		5-21
5.17	SWWCR	Secondary Window Write Control Register	40CH	16		5-21
5.7	RFR	Receive Flag Register	410H	64	リンク検出	5-13
5.8	LFR	Link Flag Register	418H	64		5-14
5.13	DRFR	Data Renewal Flag Register	420H	64	データ遷移検出	5-19
5.10	MFR	Member Flag Register	428H	64	メンバ検出	5-16
5.12	DRCR	Data Renewal Check Register	430H	64	データ遷移検出	5-18
5.9	LGR	Link Group Register	438H	64	リンク検出	5-15
5.11	MGR	Member Group Register	440H	64	メンバ検出	5-17
5.4	SSR	System Status Register	448H	16	システム	5-10
5.3	SCR	System Control Register	44CH	16		5-8
5.24	INT0CR	INT0 Control Register	450H	16	割込み制御	5-28
5.25	INT1CR	INT1 Control Register	454H	16		5-30
5.26	INT2CR	INT2 Control Register	458H	16		5-31
5.27	INT0SR	INT0 Status Register	45CH	16		5-32
5.28	INT1SR	INT1 Status Register	460H	16		5-34
5.29	INT2SR	INT2 Status Register	464H	16		5-34
5.30	IT0CR	Interrupt Timing 0 Control Register	468H	16		5-35
5.31	IT1CR	Interrupt Timing 1 Control Register	46CH	16		5-35
5.6	NFSR	New Final Station Register	470H	16	システム	5-12
5.33	QCR	Query Control Register	474H	16	システム補助	5-37
5.32	CCTR	Care CounTer Register	478H	16		5-36
5.20	MSCR	Mail Send Control Register	47CH	16	メール送受信	5-24
5.21	MSLR	Mail Send Limit time Register	480H	16		5-25
5.22	MESR	Mail Error Status Register	484H	16		5-26
5.23	MSRR	Mail Send Result Register	488H	16		5-27
5.18	MR0CR	Mail Receive 0 Control Register	48CH	16		5-22
5.19	MR1CR	Mail Receive 1 Control Register	490H	16		5-23
5.5	FSR	Final Station Register	494H	16	システム	5-12
5.2	BCR	Basic Control Register	498H	16		5-6
5.1	CCR	Chip Code Register	4A0H	64		5-5

更新履歴

バージョン No.	更新年月日	ページ	更新内容
2.4	2009年1月	4-24	4.2.3.6 MGR の項、(2) 文修正。
		4-30	図 4.18 の最下行「DRCR のビット」を「DRFR のビット」へ誤記訂正。
		4-35	4.3.2 メール受信時の操作の項、注意事項②の文を加筆修正。
		4-57	第 2 パラグラフ内「GMM ステーション」を「CUnet ステーション」へ誤記訂正。 第 3 パラグラフ文改善。
		4-65	表 4-3 の MGNE、MGNC 文を適正化。
		4-67	表 4-4 の下、注意事項を追記。
		5-22,23	RDY ビットの【機能】の文へ、以下の 2 文を、 「本ビットは、SCR の RUN ビットが“1”の時に操作できます。」 「本ビットが“1”の時に、SCR の RUN ビットが“0”へ遷移すると、本ビットも“0” へ遷移します。」 RCV ビットの【機能】の文へ、以下の 1 文を追記。 「本ビットが“1”の時に、SCR の RUN ビットが“0”へ遷移すると、本ビットも“0” へ遷移します。」
2.5	2018年1月	3-6	リセット信号解除後のアクセス開始注意事項記載。
		3-22	リセット信号解除後のアクセス開始注意事項記載。
		4-39	メール送信先の表記修正。
		4-39	メールの受信時間計算式修正。
		4-45	リサイズとフレームオプション設定注意事項記載。
		4-50	CCTR 誤記修正。
		4-52	CCTR 誤記修正。
		4-60	リサイズとフレームオプション設定注意事項記載。
2.6	2021年2月	1-3	パッケージ表記誤記修正。
		2-3	パッケージ表記誤記修正。
		2-7	図 2.2 Type-C III(max) 値 訂正。
		3-4	図 3-1 帰還抵抗部図修正。
		3-5	3.1.3 駆動クロックの確認 「参考」文書修正と追記。
		3-22	注意事項 デバイス名表記誤記修正。
		6-3	パッケージ表記誤記修正。
		6-7	図 6.2 Type-C III(max) 値 訂正。
		8-9	パッケージ表記誤記修正。
2.7	2022年6月		誤字修正。

■開発・製造

株式会社ステップテクニカ

〒207-0021 東京都東大和市立野 1-1-15

TEL: 042-569-8577

<https://www.steptechnica.com/>

info@steptechnica.com

CUnet

CUnet 専用 IC MKY40 ユーザーズマニュアル

ドキュメント No. : STD_CU40_V2.7J

発行年月日 : 2022 年 6 月