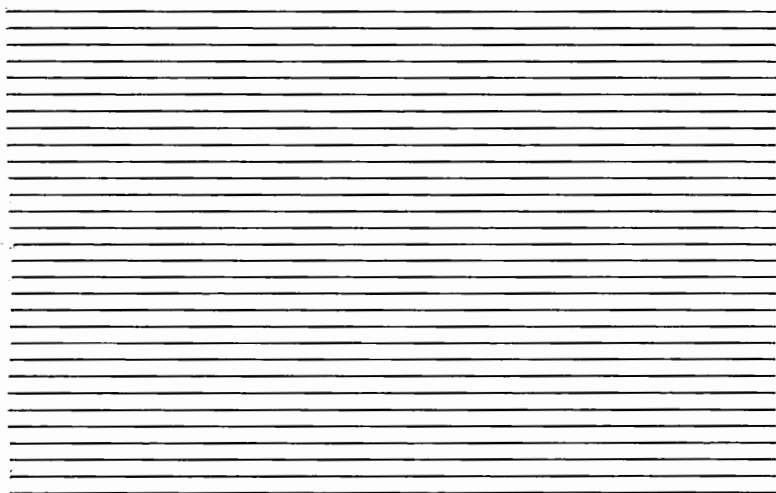


ユーザーズマニュアル



▲ ご注意

1. 本資料に記載された内容は、将来予告なしに変更する場合があります。
製品ご使用の際には情報が最新のものであるかご確認ください。
2. 本資料の説明や回路例など技術情報を含む全ての内容は、お客様が用途に応じた適切にご利用をいただくための参考資料であり、実際に本製品を使用される場合には、周辺条件や環境を考慮の上、お客様の責任においてシステム全体での十分な評価を行い、ご使用に適合する設計上の対応を行ってご使用ください。当社は適合可否に対する責任を負いません。
3. 本資料に記載された情報、製品または回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本資料の情報や回路などの使用に関して、当社は第三者の工業所有権・知的所有権及びその他権利に対する保証または実施権の許諾を行うものではありません。
5. 本製品は、人命に関わる装置用として開発されたものではありません。
人命に関わる用途への採用をご検討の場合は、当社までご相談ください。
6. 本資料の一部または全部を、当社に無断で転載・複製することを禁じます。

目次

ページ

プロローグ

機能概要	1
------	---

ハードウェア編

転送フォーマット	4 ~ 5
伝送(転送)回線技術	6 ~ 7
端子配置	8
ブロック図	8
端子説明	9
端子機能説明	10 ~ 14
仕様	15 ~ 17
絶対最大定格	15
電気的特性	15
ファンクション・テーブル	15
交流特性	16 ~ 17
パッケージ寸法図	18
周辺メモリのバックアップ方法	19
サンプル回路	20 ~ 22

ソフトウェア編

アドレッシング・マップ	25
コントロール・レジスタ説明	26 ~ 27
コントロール・レジスタの使用例	28 ~ 29

付録

クリーン・システム構築手法	33
Q & A	34 ~ 35
トラブル・シューティング	36 ~ 37
高速アクセス方法	39 ~ 41
アプリケーション例	42 ~ 44
複数端末からのデータを一斉に受け取る	42
多量のデータを転送する	43
マイコン装置間をデータ接続する	44

プロローグ (機能概要)

マイコンを搭載した装置やシステムを製作する際に遭遇する問題点は、大きく分けて「マン・マシン・インターフェース」「通信・データ交換関連によるプログラム制約」「制御プロセスの複雑さによる、条件判定と細かな動作規定」の3点があります。このうちの「通信・データ交換関連によるプログラム制約」を解消したいという願いから、多くの考察と実験を経て生まれたのがMKY28です。「通信という概念をなくし、それでいて簡単にしかもリアルタイムに周辺状況を把握しコントロールできれば」という定義のもと、「メモリーそのものが、CPU(プログラム)から見た周辺装置や、I/Oでありたい」という結論に達し、MKY28は全く発想を新たに、この希望をかなえたICとして完成しました。その効果は絶大で、特に産業機器の制御関連では、従来までの構成を越えた新しい商品の開発も可能になると思われます。

CPUからのアプローチ

メモリーである限り、CPUとのインターフェースはRAMと同じでなければなりません。実際、MKY28は内部にSRAMと同じに使える256バイトのRAMを持っています。これをESP-RAMと称しています。CPUは、この256バイトのESP-RAMをほとんど自由にリード・ライトできるわけです。この時CPUのバスを(DMAの様に)勝手に占拠したり、CPUを止めたりする事はありません。

メモリー共有の実際

MKY28ではESP-RAMに書き込みが行われるたびに、1バイトの転送(写像)を高速(最高転送速度で23 μ sec.)に実行し、プログラムが数命令実行している間に終了してしまいます。「CPUはほとんど自由にESP-RAMをリード・ライトできる」と記しましたが、この「ほとんど」とは、写像中のESP-RAMへのライト動作ができないという点にだけ制約が付きます。この写像期間中である事は、コントロール・レジスタのPRビットで知ることができますので、ESP-RAMを共有化している時には、「PRビットをチェックして書き込みを行う」事になりますが、高速であるためにシステム制約をほとんど与えません。

実現するハードウェアと信頼性

シリアル転送(通信)では、その信頼性が要求されますが、2信号でありながらエッジを使わないレベル同期方式を採用し、さらに従来技術として確立されている、CRC検定回路やアンサー・バック・チェック、特定フォーマットによる手順・タイミング検査が全ての転送に生かされ、異常を発見するとリトライ・シーケンスで回避されます。スパイクノイズを想定した10 μ sec.幅のバースト信号を転送信号に付加しても転送ミスを回避して、確実に動作します。MKY28内部は、高速動作のためにほぼ完全な同期ロジック回路によるステータス・マシーンになっていて、写像(1バイト転送)にかかわるプロセスを全て網羅してあります。付帯して必要となる機能も1チップ内に納められていますので、様々な要求のシステムにも柔軟に組み込めるように配慮されています。ハードウェア・エンジニアは、SRAMを扱うのと同じ感覚で設計すれば良く、ESP回線(PASS信号とSEE信号)の2つの信号線に注意を払う程度で使用できます。

双方向転送を2つの信号線で実現した事で、コスト・パフォーマンスの非常に高いシステムを構築できると確信すると共に、あらゆる応用分野にメリットを発揮できると信じます。

ハードウェア編

転送フォーマット

MK Y28は独自のシリアル転送方式を採用しており、従来確立されているシリアル・データ転送の技術が複数含まれています。これにより、安定で高品質・高速なシリアル転送を実現しています。

フォーマット説明

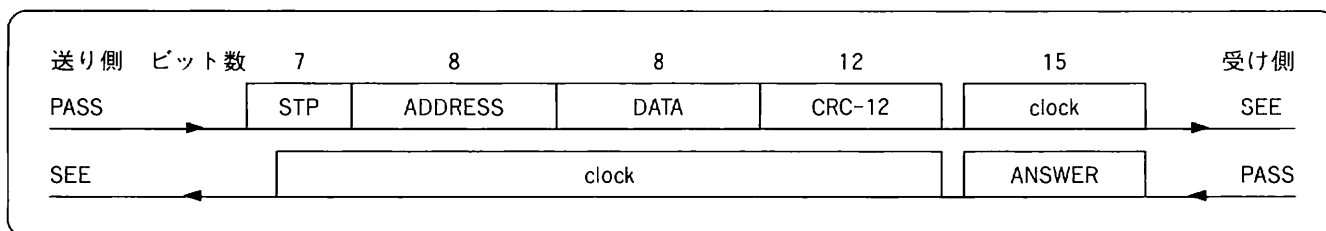
ESP-RAMにデータが書き込まれますと、PASSにHIレベルが出力され、対向側からのクロックを待ちます。このクロックに同期してスタート・パターン/アドレス/データ/CRC-12を順次出力します。この間には、次の機能が逐次働き回線の品質を向上しています。

1. クロック入力のタイミング・チェック (送り側)
2. クロック入力のレベル・サンプル (送り側)
3. スタート・パターンの入力タイミング・チェック (受け側)
4. スタート・パターンの正当性チェック (受け側)
5. CRC-12相当の誤り検定のチェック (受け側)

次に、PASSにクロックを出力し、データ内容により変化するアンサーバック・コードを対向側より受信し、正常に受け取り終わる事で、1バイト転送 (1フレーム) を終結します。この間には、次の機能が働き回線の品質を向上しています。

6. クロック入力のタイミング・チェック (受け側)
7. クロック入力のレベル・サンプル (受け側)
8. アンサーバック・コードの正当性チェック (送り側)

つまり、受け側の動作と送り側の動作が連係し、双方に監視する事により高品質のシリアル転送を実現するものです。相手側のESP-RAMへの書き込みによる転送動作も、このフォーマットが逆になった形で全く同様に実行されます。



リトライ・シーケンス・プロトコル

上記のフレーム動作中にチェック項目のどれかひとつにでも不適合が生じた場合、即時にフレーム動作を中断し、一定時間の後、再送を実行します。

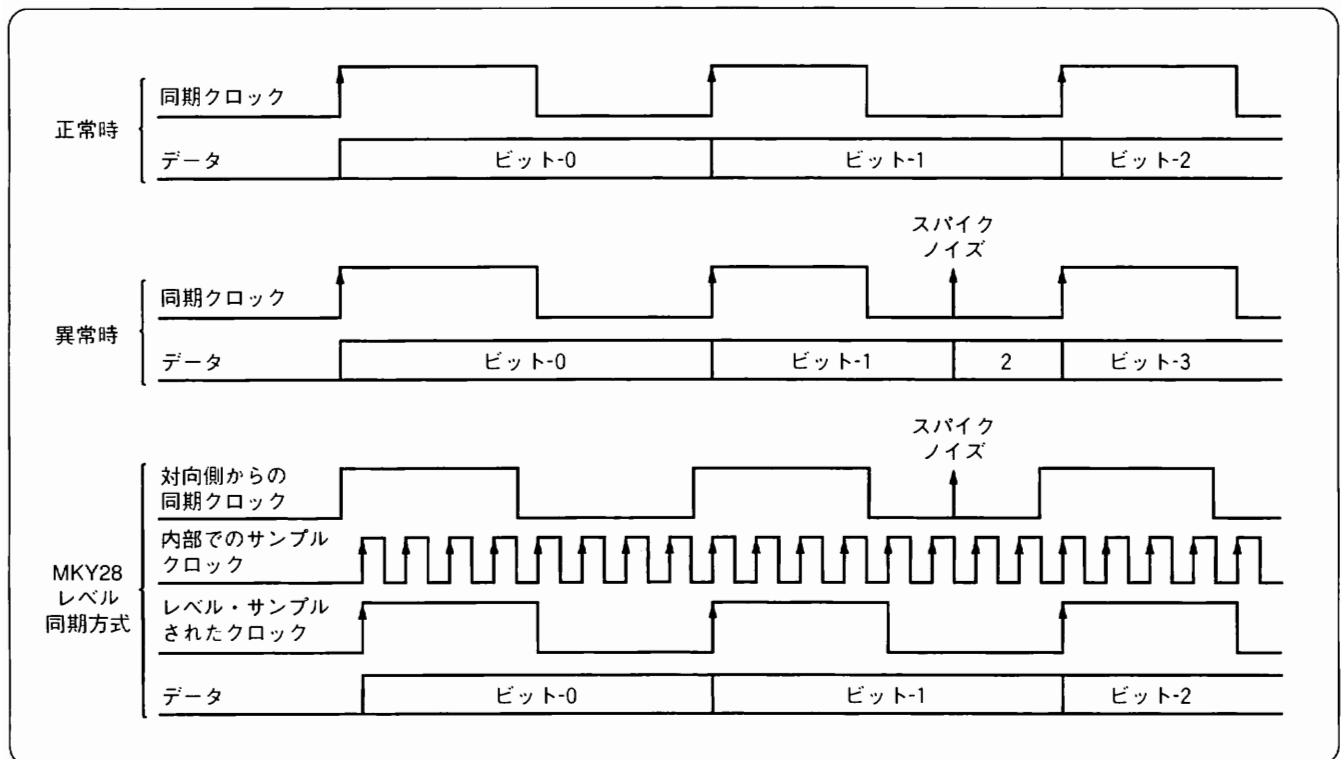
双方のESP-RAMに同時に書き込みが行われた場合には送信動作が同時に発生します。この時SEE、PASSでの2信号による半二重通信手法であることから、回線衝突が発生し一旦リトライ・シーケンスに落ち込みますが、安定化時間を双方に違えておく事で、無限に衝突する事を回避します。このために、マスター/スレーブの設定が用意されていますが、この設定はこのためだけのもので、他の動作には一切影響を与えません。

リトライ・シーケンスの実行回数は、(1フレームの同時発生を避けて) コントロール・レジスタ (CR2-ビット5、6) で選択設定ができます。指定された回数のリトライ・シーケンスを実行しても1フレームが終結できない場合に、Pass-Missとしてエラーである事をユーザーに伝えます。

レベル同期方式について

一般の同期方式では、共通のクロックを同期の基準にします。この方式は、RS-232Cに代表される非同期（調歩同期方式・ASYNC等と表現される）に比較すると信頼性と高速性において数段まさっているものです。しかし、通常同期クロックのエッジ（変化点）を基準にするものが殆どであることから、スパイク状のノイズ侵入には弱いものとなっています。

MKY28では、同期の基準に相手側が送出するクロックのレベルを使用します。



伝送(転送)回線技術 (ESP回線技術)

ESP回線は、高速(2.4576Mbps)で使用する程システム実力を高めます。そのため、ESP回線を確実にするための基本技術内容をご紹介します。

長距離に信号を伝える最近の技術に光伝送があります。これは非常に有効な手段です。ESP回線も高速にかつ遠距離に使用する場合には、光伝送をお勧めいたします。外来ノイズにも影響されません。

電線での電氣的信号伝送について

電気は、導体中を毎秒約30万kmの速度で伝わります。しかし、信号はそう速く伝わってくれません。ロジック回路技術の中に信号に遅延(ディレイ)を与えるものがあります。これは、CRによる積分回路をシュミット・ゲートの前に付けるのですが、電線での信号伝送にも全くこれと同じことが起こります。分布容量なる目に見えない部品(容量成分=コンデンサーC、抵抗成分R、場合によってはコイル成分Lまでも)が自然とできあがってしまいます。これを先程の遅延回路に当てはめると、信号伝送の遅れのメカニズムが理解できます。ならば信号伝送の遅れを小さくするためには、容量成分が小さく抵抗成分も小さい電線(ケーブル)を使用することが重点となります。

回線ドライバー

回線の長さが長くなるほどドライバーの重要度が増します。下の表はドライバーの選択のめやすです。

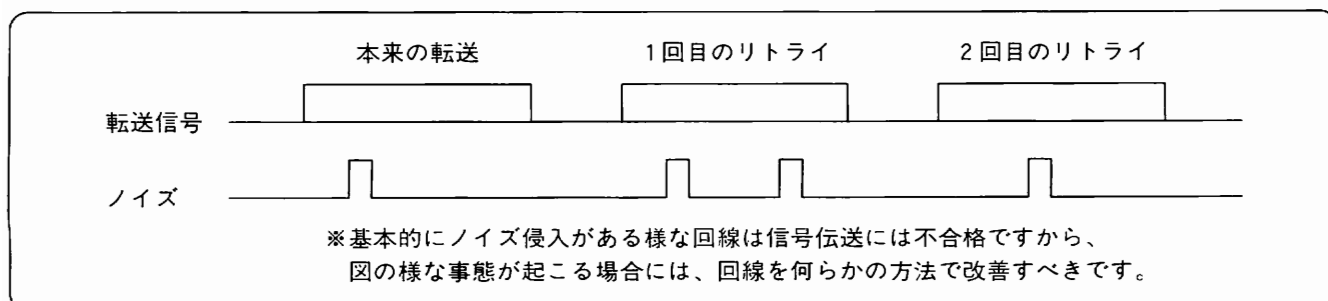
ランク	状態	長さ	方法
1	ケースの中だけの伝送	~30cm程度	MKY28同士の直結
2	少し長くなった伝送	~3m程度	HC240等のドライバー
3	外部に引き回す距離を必要とする伝送	~数100m	差動伝送ドライバー
4	遠距離を前提とする伝送	~1.5km	光伝送ドライバー

※ランク1の時も、周辺状況によりドライバーを付けた方が良い場合があります。

ノイズ対策

シリアル伝送にはノイズ対策が必要不可欠です。MKY28では、ノイズの侵入に対してロジック回路思想からつぎの2つの対策がされています。

1. 同期式転送でありながら、クロック・エッジを使わずレベルサンプルによるクロック検出を行う。
2. 異常を感知すると自動リトライで回避する。この場合の異常探知は、タイミング、規定フォーマット、CRC-12相当の誤り検定、アンサーバックをそれぞれチェックする事で実行されています。但し、図のようにノイズ侵入が頻繁に起こる場合には対処できません。



M K Y 28が許す伝送遅延

M K Y 28は回線品質を高めるため同期転送を行いますので、出力したクロックに対して一定時間以内にリターン信号があることを転送中逐時チェックしています。また、同期転送にはノイズ耐力を高めるためクロックのエッジを使わず、レベル・サンプル式のクロック検出を行っています。この2つの要因により、転送クロック・レートに対する信号の伝送遅延の許容時間が変わります。内部ジェネレーターで対応する信号の伝達遅延の許容時間を目安として表にまとめておきます。(当社実測値)

CR 2			転送レート	転送時間	転送距離	許容ディレイ値
ビット 2	ビット 1	ビット 0				
0	0	0	19.2 Kbps	2.9ms	1Km以上	10 μ s
0	0	1	38.4 Kbps	1.5ms	1Km	6.6 μ s
0	1	0	76.8 Kbps	717 μ s	800m	3.2 μ s
0	1	1	153.6 Kbps	359 μ s	300m	2.2 μ s
1	0	0	307.2 Kbps	179 μ s	200m	1 μ s
1	0	1	614.4 Kbps	90 μ s	100m	500ns
1	1	0	1.2288Mbps	45 μ s	30m	300ns
1	1	1	2.4576Mbps	23 μ s	10m	100ns

レートコード：コントロールレジスタ(CR-2)のビット0、1、2で設定する値

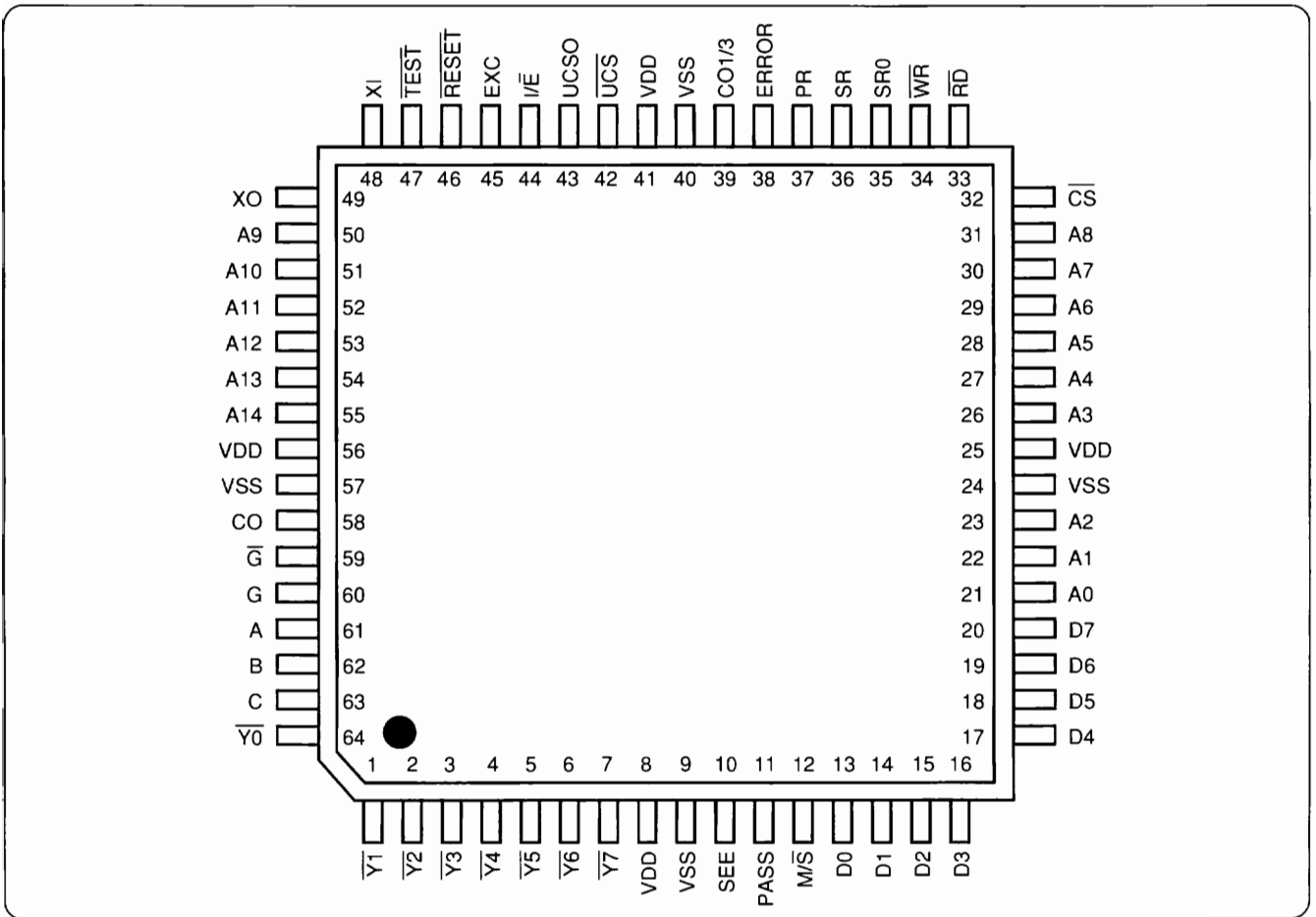
転送レート：実際の内部レート・ジェネレーターで与えられる転送ビット・レート

転送時間：1バイトの転送所要時間

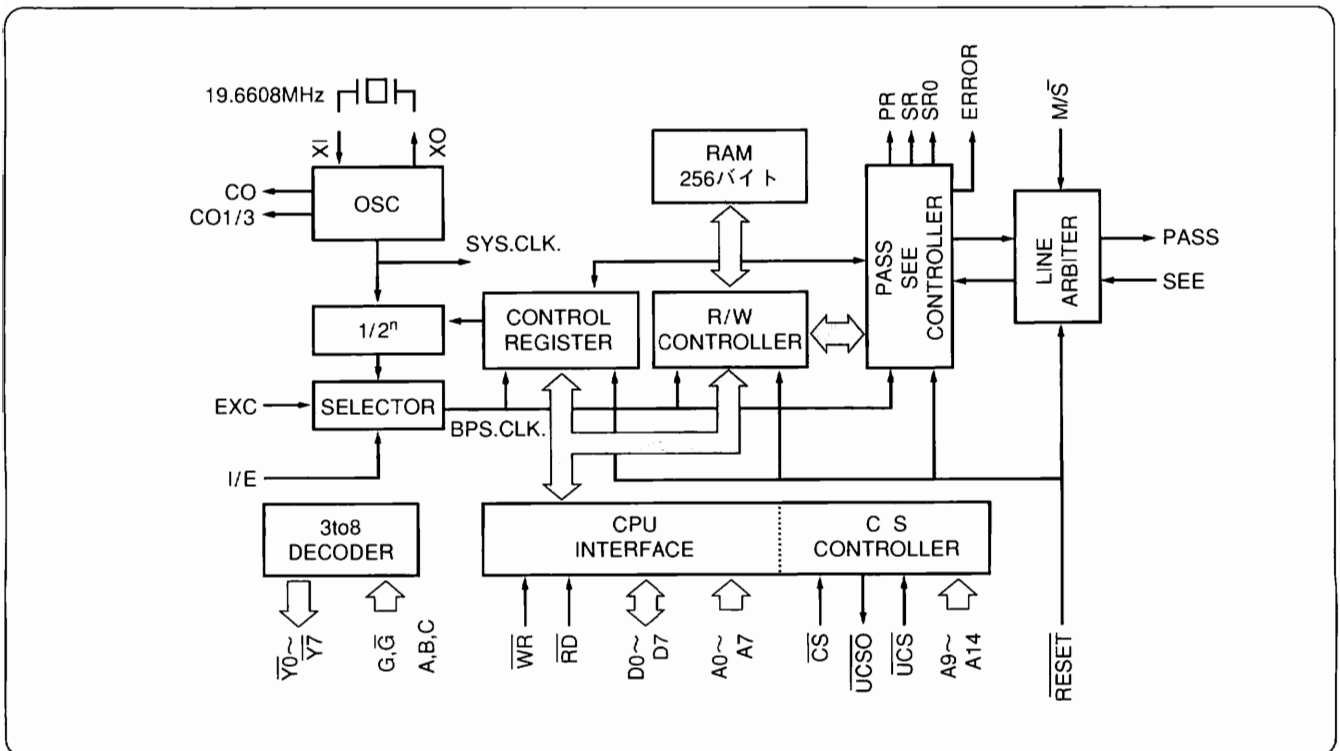
転送距離：差動伝送ドライバ使用時の転送距離(ϕ 0.78ツイストペア・シールド線)

許容ディレイ値：信号の片道で、エラーとならない伝送遅延時間

端子配置



ブロック図



端子説明

(1=入力 0=出力)

端子番号	端子名	論理	説明
1~7	$\overline{Y1} \sim \overline{Y7}$	負0	3 to 8 デコーダー・ユニット デコード出力
64	$\overline{Y0}$	負0	3 to 8 デコーダー・ユニット デコード出力
10	SEE	正1	ESP回線入力側(対向のPASSに接続)
11	PASS	正0	ESP回線出力側(対向のSEEに接続)
12	M/\overline{S}	-1	マスター/スレーブ外部設定端子(リセット時のみ有効、L0=スレーブ)
13~20	D0~D7	正0	データ・バス(トライ・ステート)
21~23	A0~A2	正1	アドレス・バス
26~31	A3~A8	正1	アドレス・バス
32	\overline{CS}	負1	チップ・セレクト(\overline{UCS} 使用時は、HI固定又は解放のこと)
33	\overline{RD}	負1	リード・ストローク
34	\overline{WR}	負1	ライト・ストローク
35	SRO	正0	See-Ready-00H(00番地に受信成立)
36	SR	正0	See-Ready(受信成立)
37	PR	正0	Pass-Ready(メモリーWrite可能)
38	ERROR	正0	Pass動作又は、オペレーションによるエラー発生
39	CO1/3	正0	発振の1/3分周されたクロック出力(デューティ1/3)
42	\overline{UCS}	負1	ユーザー・チップ・セレクト (A9~A14と組み合わせて使用。 \overline{CS} 使用時は、HI固定又は解放のこと)
43	\overline{UCSO}	負0	ユーザー・チップ・セレクト・アウト (\overline{UCS} 使用時該当アドレス以外で出力L0)
44	I/\overline{E}	-1	インターナル/エクスターナル・レート・クロック選択 (内部ジェネレーターによるレート・クロック使用時は、HI固定又は解放のこと)
45	EXC	正1	エクスターナル・レート・クロック入力
46	\overline{RESET}	負1	リセット入力
47	\overline{TEST}	-1	*****常にHI固定又は解放のこと*****
48	XI	正1	システム・クロック入力(発振子接続端子)
49	XO	-0	(発振子接続端子)
50~55	A9~A14	正1	アドレス・バス(\overline{UCS} 使用時接続、それ以外は解放または、HI/L0に固定のこと)
58	CO	正0	発振のバッファ・ドライブされたクロック出力
59	\overline{G}	負1	3 to 8 デコーダー・ユニット 出力負論理ゲート
60	G	正1	3 to 8 デコーダー・ユニット 出力正論理ゲート
61	A	正1	3 to 8 デコーダー・ユニット デコード入力A
62	B	正1	3 to 8 デコーダー・ユニット デコード入力B
63	C	正1	3 to 8 デコーダー・ユニット デコード入力C
8, 25, 41, 56	VDD		電源印加端子 +5V 電源は、4端子ともすべて接続して下さい。
9, 24, 40, 57	VSS		電源印加端子 0V 電源は、4端子ともすべて接続して下さい。

端子機能説明

D0～D7(13～20) CPUインターフェース8ビット・データ・バス トライステート入出力

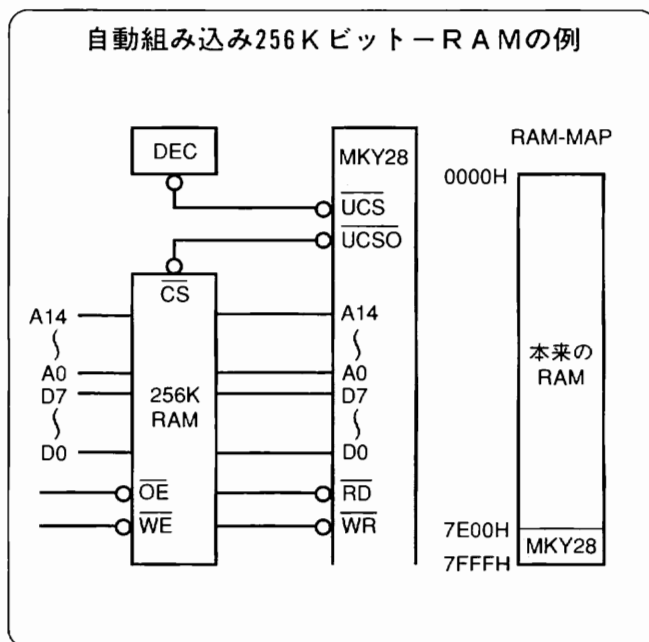
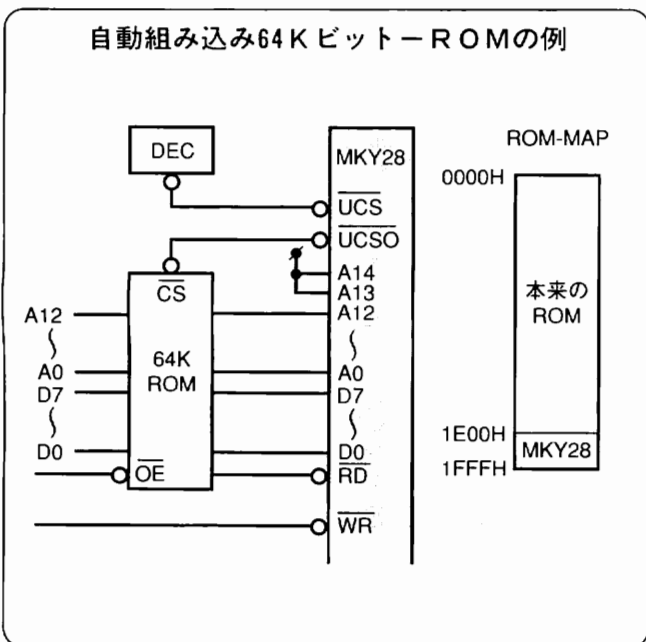
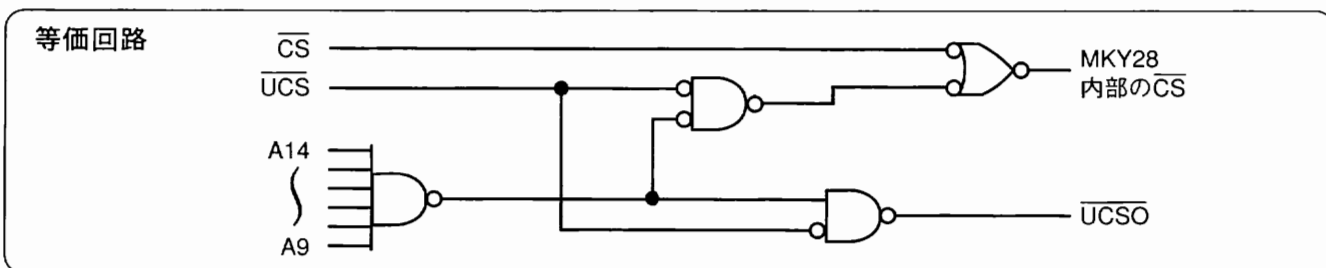
CPUシステムと接続するデータ・バスです。通常はハイ・インピーダンス状態ですが、内部で高抵抗プルアップされています。チップがセレクト状態でリードされると、出力となります。(ファンクションテーブル参照)

A0～A8(21、22、23、26～31) CPUインターフェース 9ビット・アドレス・バス

CPUシステムと接続するアドレス・バスです。MKY28の機能エリアである000H～1FFFHのアドレッシングを行います。入力は、高抵抗でプルアップされています。(ファンクションテーブル参照)

\overline{CS} (32)、 \overline{UCS} (42)、 \overline{UCSO} (43)、A9～A14(50～55) チップ・セレクト回路

\overline{CS} 端子は、MKY28のチップをアクセスするためのセレクト信号です。通常CPUシステムと接続する場合、CPUのアドレスを各システムに合わせてデコードしたものを与えます。ここで、MKY28は、512バイトのメモリー空間を必要とするだけで小さいため、アドレス・デコーダが細かくなってしまいます。そのハードウェアの負担を少なくする目的と、既存のシステムに容易に組み込める事を目的に、 \overline{UCS} 、 \overline{UCSO} 端子が用意されています。これは、64Kビット、128Kビット、256Kビット等のROMやRAMに与えられている \overline{CS} 信号を \overline{UCS} に接続すると、 \overline{UCS} がLOでかつA9～A14が全てHIの時に、MKY28がアサインされます。それ以外は、 \overline{UCSO} 端子が機能してLOを出力しますので、これを本来のROMやRAMの \overline{CS} 端子に与えれば、自動的に最終512バイトに組み込まれる事になります。 \overline{CS} 、 \overline{UCS} 、A9～A14端子は、内部で高抵抗プルアップされていますので、使用しない場合は、解放かHI固定として下さい。下図に \overline{CS} 関連の等価回路と、自動組み込み例を示します。



\overline{RD} (33)、 \overline{WR} (34) CPUインターフェース・コントロール・ストロブ

CPUシステムと接続する、コントロール・ストロブ信号入力で、内部で高抵抗プルアップされています。 \overline{CS} または \overline{UCS} により、チップがイネーブル状態の時有効です。 \overline{RD} 信号に対しては、LOレベル期間中に、A0~A8でアドレスングされるMKY28の内部データを、D0~D7に出力します。 \overline{WR} 信号に対しては、LOからHIへの立ち上がりエッジで、D0~D7、A0~A8の入力状態を取り込みます。

\overline{RESET} (46) MKY28ハードウェア・リセット

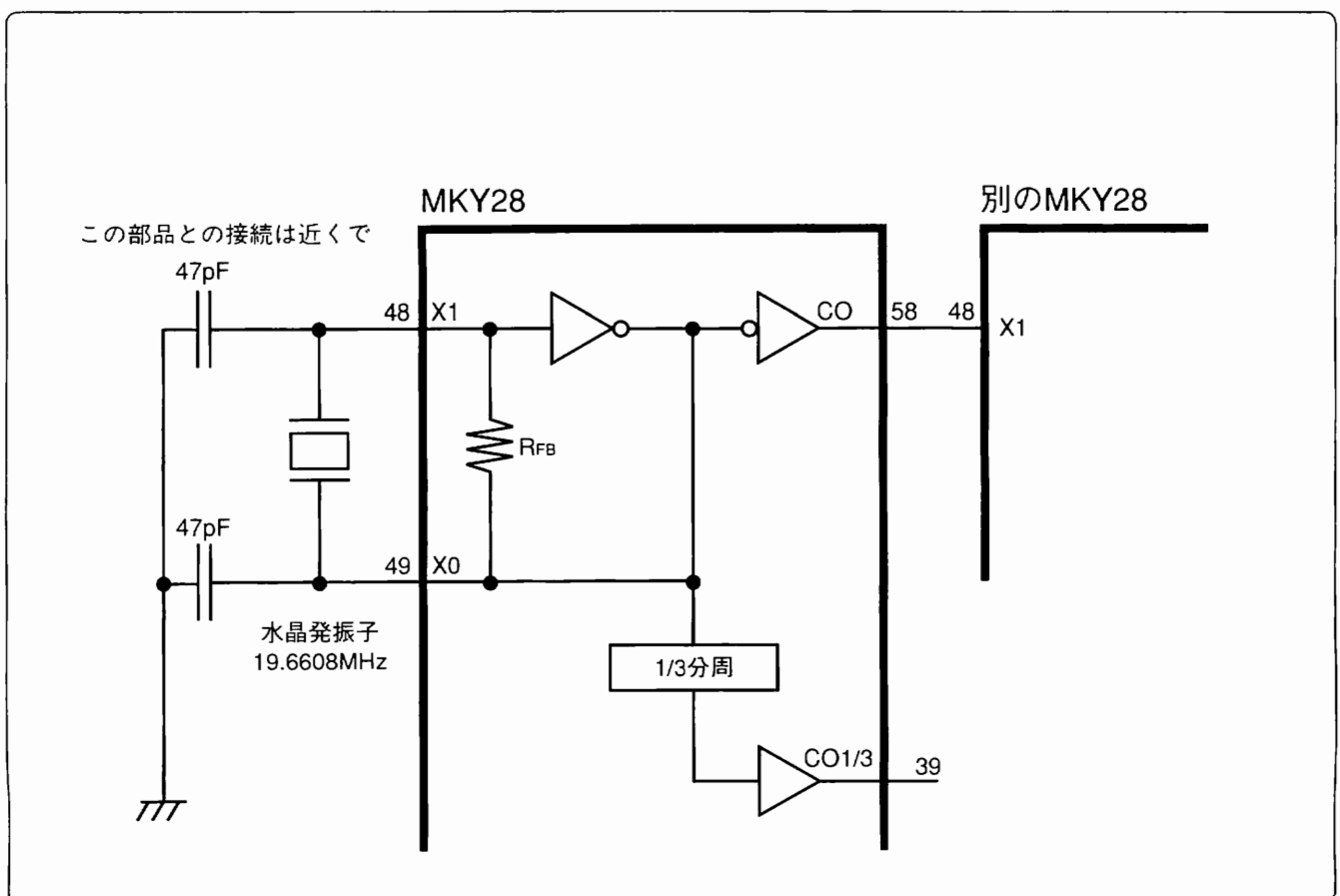
MKY28をハードウェア的にリセットする入力端子で、プルアップされたシュミット・バッファで受けています。リセット期間(\overline{RESET} 入力がLOである期間)は、X1に与えられているクロックの6周期分(推奨周波数換算で、306nsec)以上が必要です。また、このリセット期間中にチップをリード・ライトしても動作しません。入りに時定数を与える場合は、CRによる積分回路を直接接続できます。パワーONに際しては、必ずリセットが働く様にしてください。

X1(48)、XO(49)、CO(58)、CO1/3(39) 発振回路

X1、XO端子間に図の様に発振子とキャパシターを、接続してください。この時、端子と発振子・キャパシターの配線はできるかぎり短くしてください(推奨標準は、19.6608MHz基本水晶発振子と、47pFのキャパシターです)。

発振回路で生成されたクロックは、CO端子よりドライブされて出力されます。クロックのデューティ比は、発振状態により変わりますが、MKY28を複数使用する場合などには、図の様にCO出力を別のMKY28のX1端子に直接、接続することができます(この場合XO端子は、解放にしてください)。

CO1/3端子には、クロックを3分周した出力が、デューティ1/3で発生します。このCO出力とCO1/3出力は、リセット中も止まることはありませんので、汎用に使えます。たとえばCPUシステムクロックや、さらに分周してRS-232Cのボーレート・クロックとして等、目的を問いません。

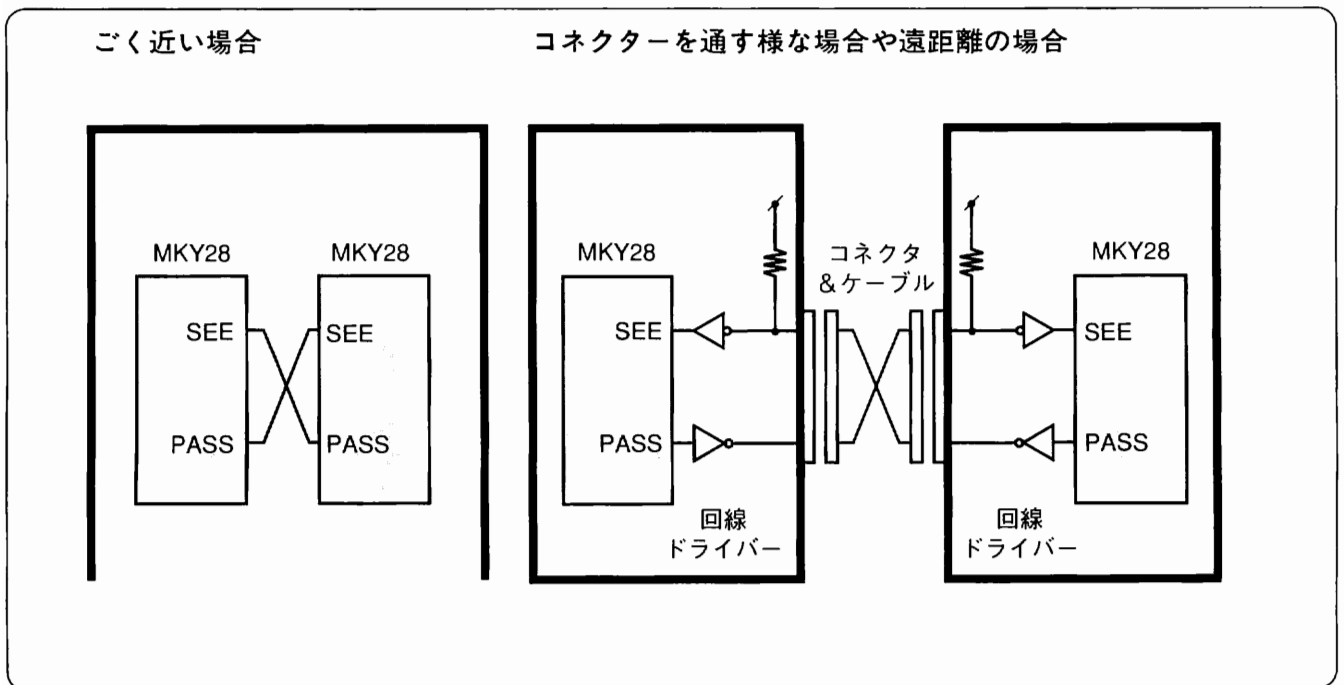


SEE(10)、PASS(11) ESP回線入出力信号

ESP方式の高速転送を実現する通信回線信号です。SEE端子は入力で、高抵抗でプルアップされたシュミット・バッファで受けています。PASS端子は出力で、SEE・PASS共に正論理信号を扱います(Pass動作が実行されていない時、PASS端子は、LOとなっています)。対向側のMKY28とはPASSとSEEをクロスに接続(こちらのPASSは、相手のSEEへ、相手のPASSをこちらのSEEへ)して使用します。PASS動作だけで使用する目的のシステムだからといって、PASS端子だけを接続すれば動作するというものではありません。必ずSEE・PASS共に接続してください。

対向するMKY28との距離がほとんど離れていない場合には、PASSとSEEをそれぞれ直結して使用できます。コネクタを通す場合は、通常ライン・ドライバーをつけて使用しますが、断線やコネクタの解放等に対して負論理信号で扱うことの方が有利ですから、インバート(反転)タイプのドライバーを使用します(HC240等)。また、市販のライン・ドライバーもこのような目的のために、インバート・タイプのもものがほとんどですから、MKY28の端子では、正論理信号で処理されています。SEE端子にHIレベルが入力されると、転送開始扱いになるためSEE端子がHIレベルになったままになる様な周辺設計は正常な転送ができませんから注意してください。

内部半導体構成上、保護の目的もあって、SEE端子もプルアップされていますから、解放ではHIレベルになってしまいます。



M/S(12) マスター/スレーブ イニシャル設定端子

M/S端子情報は、リセット時にCR2(コントロール・レジスタ2)のマスター/スレーブビットに取り込まれます。高抵抗でプルアップされていますので、マスター設定の場合は解放またはHI(CR2のビット表現と端子入力の理論が逆になっていますので要注意)としてください。また、この設定はソフトウェアでもCR2の書き込みによって可能です。

対向するMKY28とは、マスター/スレーブの設定が必ず一致しないように使用してください。

I/ \bar{E} (44) 転送レート内部外部選択

ESP回線での転送を実行するシリアル信号のビット・レートを、内部ジェネレーターとコントロール・レジスタ2で決定されるクロックを使用するか、EXC端子より入力される1/2クロックを使用するのを選択する端子です。この端子も内部で高抵抗プルアップされています。通常、解放かHI固定にすることで内部ジェネレーターが選択されます。LOに固定することで外部(EXC)が選択されます。この端子のレベル変更を、動作中に行なってはなりません。

EXC(45) 外部転送レート・クロック入力(MAX4.8MHz)

I/ \bar{E} 端子がLOであるとき、この端子に入力されているクロックの1/2の周波数が転送のビット・レートとなります。ESP回線のハードウェア的な制約が厳しく、転送レートを低くせざるをえない場合や、内部レート・ジェネレーターに無いレートを使用したい場合に、I/ \bar{E} 端子をLOにして、この端子に目的の2倍周波数のクロックを入力します。内部で2分周していますので、入力されるクロックのデューティ比は問いません。I/ \bar{E} 端子がLOである時、この端子にクロックが与えられていないと、See、Pass動作とも機能をしないだけでなく、一旦Pass動作を開始すると、PR(Pass-Ready)が0のままになり、PM(Pass-Miss)も起きませんので、注意してください。

SR0(35)、SR(36)、PR(37)、ERROR(38) SEE & PASS動作ステータス出力

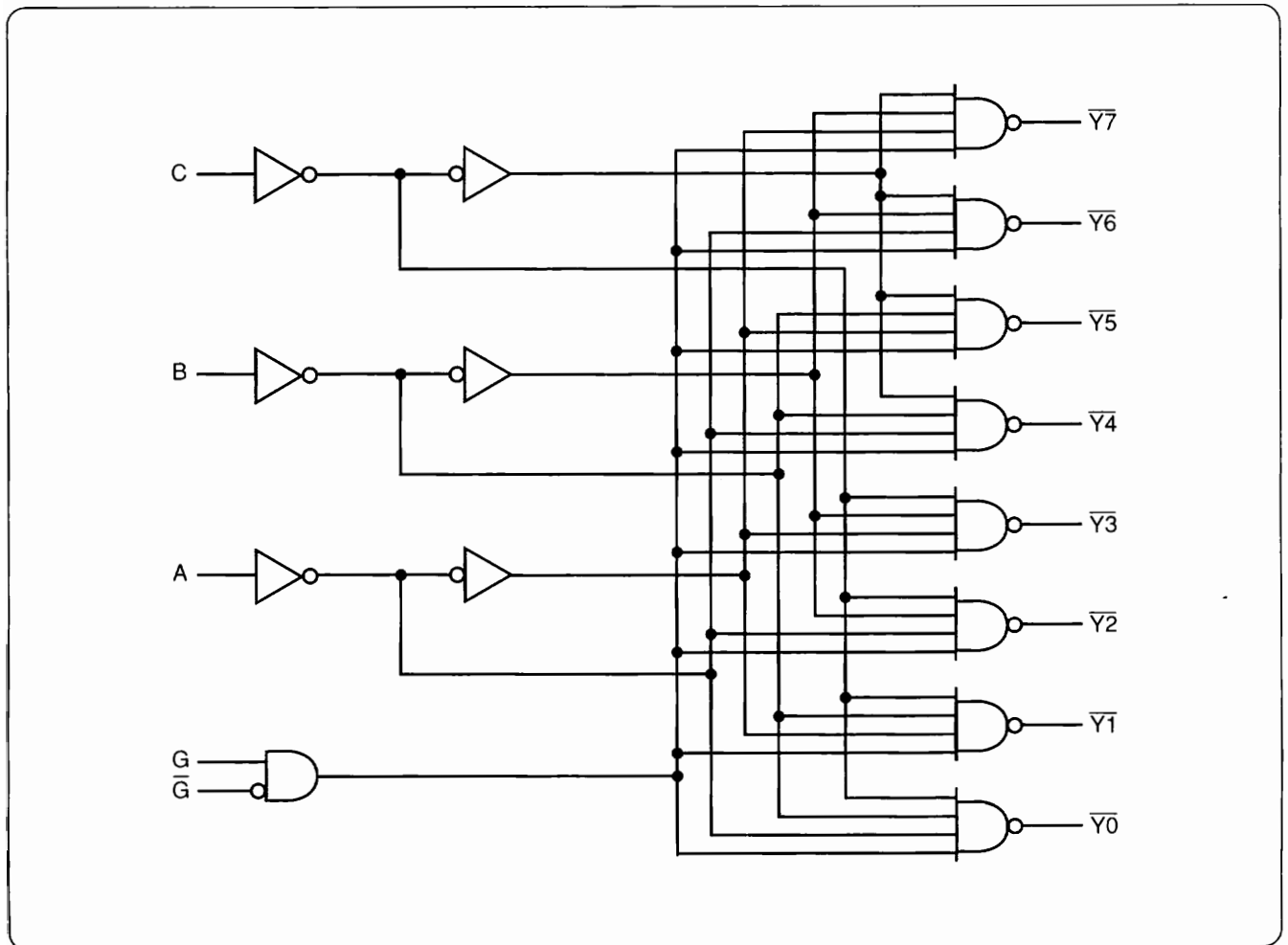
See & Pass機能の動作ステータス出力端子で、ハードウェア・ユーティリティーです。PR(Pass-Ready)はCR1のビット0に、SR(See-Ready)はCR1のビット1に、ERRORはCR1のビット7にそれぞれ対応しています。SR0(See-Ready-00H-Address)は、コントロール・レジスタに対応するビットは持っていません。ハードウェアのためのものです。この出力は通常LOで、対向側のMKY28から、ESP-RAMの00HアドレスにSee動作が完了した時に、出力がHIとなり、ESP-RAMエリアのリードでLOに戻ります。PR、SR、ERRORの出力変化は、コントロール・レジスタの対応ビットの動きと同じです。(レジスタ説明の項参照)

MKY28を搭載するシステムを設計する場合、これらのステータス出力を有効に利用することで、実力の高いシステムを構成することができます。たとえば、PR、SR、ERRORを、CPUシステムの割り込み処理に反映させ、CR0、CR3の使用法とからめて、ソフトウェア設計などを行う事で、低速の転送レートで稼動するシステムに効果を発揮します。また、CPUを使用しない応用システムの例として、リモートI/Oの様な場合、ESP-RAMデータがリセットでクリアされないことから、電源投入後のRAMデータがそのまま出力されては困ります。この場合に、必要なデータをHOST側のMKY28からPass動作で設定して、ESP-RAMのデータを整えてから最後に00HのPassを行えば、SR0端子出力を利用する事で、クリーンなシステムを構築することが可能となります。

\overline{G} (59)、G (60)、A (61)、B (62)、C (63)、 $\overline{Y0}$ (64)、 $\overline{Y1}$ (1)～ $\overline{Y7}$ (7) 3 to 8デコーダー回路

3 to 8デコーダー回路を、全く独立に装備しています。入力には、3ビットのバイナリ入力端子(A、B、C)と、正論理ゲート(G)、負論理ゲート(\overline{G})を持っています。出力は、 $\overline{Y1}$ ～ $\overline{Y7}$ の8ビットがそれぞれ端子に用意されています。入力は、高抵抗でプルアップされていますので、使用しない場合には、解放にするかH I固定にしてください。

この回路は、システム上にMKY28を効率良く組み込むための、ユーティリティー回路です。1つのシステムに複数のMKY28を実装する場合の、アドレス・デコーダー等に効果を発揮し、ハードウェアの負担を軽減します。また、リセットやクロック関連の入力に、全く影響されずに動作しますので、使用目的を問いません。下図に等価回路を示します。



\overline{TEST} (47) メーカー・テスト端子

MKY28検査用のテスト入力端子です。低抵抗でプルアップされていますので、常に解放かH I固定で使用してください。

仕様

絶対最大定格

$T_a = 25^\circ\text{C}$ $V_{SS} = 0\text{V}$

項目	記号	定 格	単 位
電源電圧	V_{DD}	-0.3~+7.0	V
入力端子電圧	V_I	$V_{SS}-0.3\sim V_{DD}+0.3$	V
出力端子電圧	V_O	$V_{SS}-0.3\sim V_{DD}+0.3$	V
尖頭出力電流	I_{OP}	Peak ± 40	mA
許容損失	P_D	400	mW
動作周囲温度	T_{opr}	-40~+85	$^\circ\text{C}$
保存温度	T_{stg}	-55~+150	$^\circ\text{C}$

※絶対最大定格は、チップに印加しても損傷を生じない許容値であり、動作を保証するものではありません。

電気的特性

$T_a = -40\sim +85^\circ\text{C}$ $V_{DD} = 5.0\text{V}$ $V_{SS} = 0\text{V}$

項目	記号	条 件	最小	標準	最大	単 位
電源電圧	V_{DD}		4.5	5.0	5.5	V
平均動作電流	I_{DDA}	$V_I = V_{DD}$ or V_{SS} , $f = 20\text{MHz}$, 出力開放		24	35	mA
入 力	"H"レベル電圧	V_{IH}	3.5		5.0	V
	"L"レベル電圧	V_{IL}	0		1.5	V
	シュミット"L"⇒"H"	V_{T+}		2.9	4.0	V
	シュミット"H"⇒"L"	V_{T-}	RESET、SEEピン	1.0	2.1	V
	ヒステリシス幅	ΔV_T		0.4	0.8	V
カ	入力リーク電流	I_{LI} $V_I = V_{DD}$	-20		20	μA
	プルアップ抵抗	R_{PU1} $V_I = V_{SS}$, TESTピン	4	10	25	K Ω
	プルアップ抵抗	R_{PU2} $V_I = V_{SS}$, RESET、SEEピン	12	30	75	K Ω
	プルアップ抵抗	R_{PU3} $V_I = V_{SS}$, 他入力ピン(D0~D7含む)	40	100	250	K Ω
出 力	"H"レベル電圧	V_{OH} $I_O = -4\text{mA}$	4.4			V
	"L"レベル電圧	V_{OL} $I_O = 4\text{mA}$			0.4	V
	"H"レベル電流	I_{OH}			-4.0	mA
	"L"レベル電流	I_{OL}			4.0	mA
	出力リーク電流	I_{LO} $V_O = V_{DD}$	-20		20	μA
外部入力動作周波数	f_{clk}	X1ピンに <input type="checkbox"/> 入力			20	MHz
発振動作周波数	f_{osc}	X1、X0 発振子接続	15	19.6608	20	MHz
発振回路内蔵帰還抵抗値	R_{FB}		0.8	2	5	M Ω
発振回路用 外部容量推奨値	C_1, C_0	19.6608MHz 基本水晶発振子使用		47		pF
外部ポーレート入力周波数	f_{EBPS}	EXCピン入力($I/\bar{E} = V_{SS}$ 時動作)			4.8	MHz

ファンクションテーブル

***** $\overline{UCS} = \text{HI}$ 又は解放*****

\overline{CS}	\overline{RD}	\overline{WR}	A0~A8	D0~D7	ファンクション	付 記
H	*	*	*****	Z	NO-ACTIVE	チップは、セレクトされません
L	L	H	000H~0FFH	HI/LO出力	RAM-READ	ESP-RAM指定アドレスへのリード
L	H	L	000H~0FFH	HI/LO入力	RAM-WRITE	ESP-RAM指定アドレスへのライト
L	L	H	100H~103H	HI/LO出力	CR-READ	コントロールレジスタのリード
L	H	L	100H~103H	HI/LO入力	CR-WRITE	コントロールレジスタのライト
L	L	H	104H~1FFH	Z	NO-ACTIVE	空きエリアへのリード
L	H	L	104H~1FFH	Z	NO-ACTIVE	空きエリアへのライト
L	L	L	000H~1FFH	HI/LO入力		選択禁止

***** $\overline{CS} = \text{HI}$ 又は解放*****

\overline{UCS}	A0~A14	$\overline{UCS0}$	ファンクション	付 記
H	*****	H	NO-ACTIVE	チップは、セレクトされません
L	0000H~7DFFH	L	NO-ACTIVE	チップは、セレクトされません
L	7E00H~7FFFH	H	ACTIVE	上記アドレスに7E00Hのオフセットがかかり動作は同じ

交流特性

(アクセスサイクルタイム、リードサイクル、ライトサイクルの各データは発振動作周波数19.6608MHzを基準としている)

●タイミング条件

項 目	条 件
入力信号レベル	$V_{IH}=2.4V, V_{IL}=0.6V$
入力立上り、立下り時間	5ns
入出力タイミングレベル	1.5V
負 荷 条 件	$C_L=100pF, 1TTL\ Gate$

●アクセスサイクルタイム

$V_{DD}=5V\pm 10\%$ $T_a=-40\sim+85^\circ C$

項 目	記 号	MIN	単 位
$\overline{CS}=LO, \overline{RD}=LO$ 又は、 $\overline{WR}=LO$ から次の $\overline{CS}=LO, \overline{RD}=LO$ 又は、 $\overline{WR}=LO$ 迄の時間 (アクセス終了から次のアクセス開始迄の時間)	t_{RWZ}	6XT (306)	ns

●リードサイクル

$V_{DD}=5V\pm 10\%$ $T_a=-40\sim+85^\circ C$

項 目	記 号	MIN	MAX	単 位
リードサイクル時間	t_{RC}	240 ※2	—	ns
アドレスアクセス時間	t_{AC}	—	240 ※2	ns
\overline{CS} アクセス時間	t_{CO}	—	240 ※2	ns
\overline{RD} アクセス時間	t_{RO}	—	240 ※2	ns
\overline{CS} 出力セット時間	t_{CX}	5	—	ns
\overline{RD} 出力セット時間	t_{RX}	5	—	ns
出力保持時間	t_{OH}	10	—	ns
\overline{CS} 出力ディスエーブル時間	t_{CTD}	—	40	ns
\overline{RD} 出力ディスエーブル時間	t_{RTD}	—	40	ns
チップリードアクセス時間	t_{RA}	240ns ※2	$6t_{BPS}$ ※1	—

●ライトサイクル

$V_{DD}=5V\pm 10\%$ $T_a=-40\sim+85^\circ C$

項 目	記 号	MIN	MAX	単 位
ライトサイクル時間	t_{WC}	100	—	ns
アドレスセットアップ時間	t_{AS}	0	—	ns
ライトパルス幅	t_W	75	—	ns
アドレスチャージ時間	t_{AW}	90	—	ns
アドレスホールド時間	t_{WR}	10	—	ns
データセットアップ時間	t_{DS}	40	—	ns
データホールド時間	t_{DH}	0	—	ns
チップライトアクセス時間	t_{CW}	—	$6t_{BPS}$ ※1	—

●各信号タイミング

$V_{DD}=5V\pm 10\%$ $T_a=-40\sim+85^\circ C$

項 目	条 件	記号	MIN	MAX	単位
伝達遅延時間	A、B、C、G、 \overline{G} to $\overline{Y0}\sim\overline{Y7}$	t_{PY}	—	35	ns
伝達遅延時間	\overline{UCS} to $\overline{UCS0}$	t_{PU}	—	35	ns
システムクロック	XI、外部印加クロック(XO解放)HIレベル幅	t_{xIH}	15	—	ns
転送外部クロック	EXC端子外部クロック印加($\overline{I/E}=LO$)HIレベル幅	t_{xEH}	50	—	ns
RESET	LOレベル幅(システムクロック周期を t_{XT} とする)	t_{RST}	$6t_{XT}$	—	—

●入出力容量

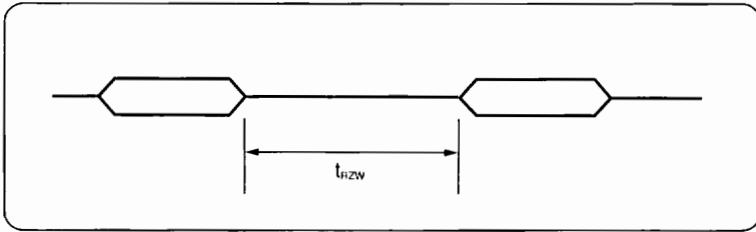
$T_a=25^\circ C$ $f=1MHz$

項 目	記 号	条 件	MIN	MAX	単 位
入力容量	CI	$V_I=0V$	—	20	pF
I/O入出力容量	CI/O	$V_I/O=0V$	—	20	pF

※1. t_{RA} 、 t_{CW} のMAXは、対向側のPM(Pass-Miss)発生要因とならないためのアクセスタイムです。

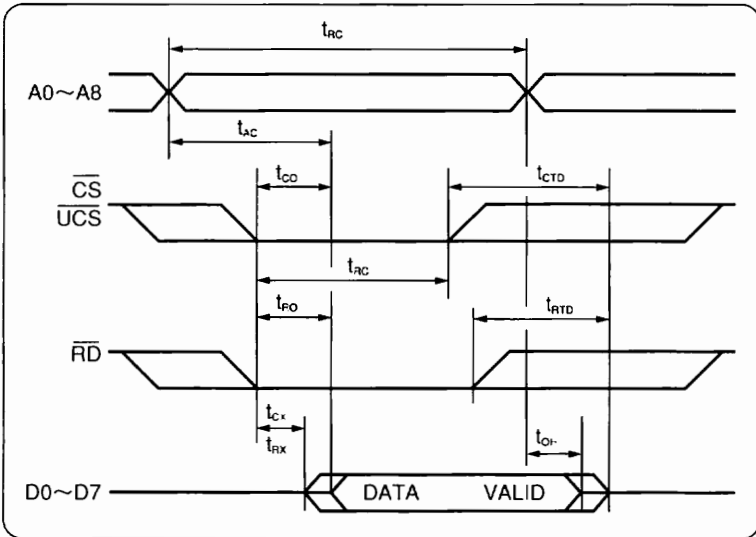
転送レートを選択する事によって規格値が変わります。 $t_{BPS}=1/\text{転送クロック(Hz)}$

※2. 発振動作周波数を変更した場合、規格値が変わります。 $2\times T\times 2.35(T=\text{周期})$



●アクセスサイクルチャート

リード動作、ライト動作に続き、正常なメモリー共有動作のために必要なアクセス休止時間の規定です。



●リードサイクルチャート

注1. リード動作とは、

$$\overline{CS} = L0$$

$$\overline{RD} = L0$$

$$\overline{WR} = H1 \text{ の条件成立時を示します。}$$

注2. \overline{UCS} と、 \overline{CS} は同様の信号扱いです。

注3. t_{RA} : $\overline{CS} = L0$ $\overline{RD} = L0$

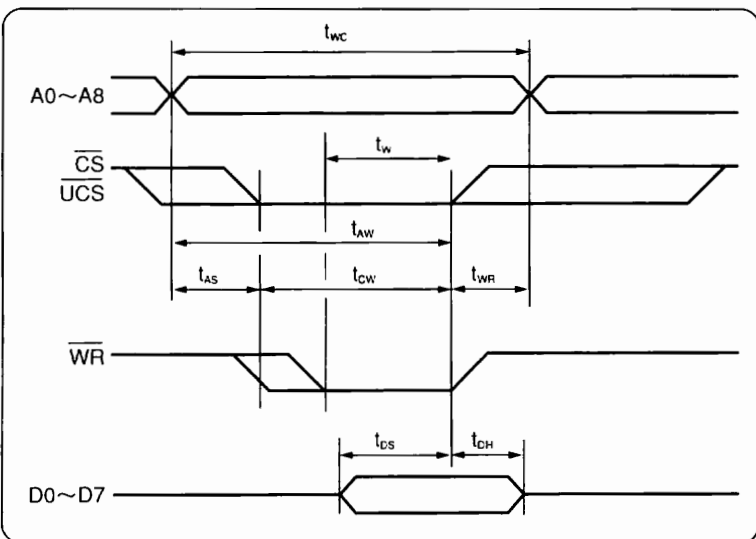
$$\text{又は、} \overline{UCS} = L0 \quad \overline{RD} = L0$$

の条件成立時間を示します。

注4. t_{RA} が規定より長いと、対向側で

PM (Pass-Miss) を引き起こす

原因になります。



●ライトサイクルチャート

注1. ライト動作とは、

$$\overline{CS} = L0$$

$$\overline{WR} = L0$$

$$\overline{RD} = H1 \text{ の条件成立時を示します。}$$

注2. \overline{UCS} と \overline{CS} は、同様の信号扱いです。

注3. t_{CW} : $\overline{CS} = L0$ $\overline{WR} = L0$

$$\text{又は、} \overline{UCS} = L0 \quad \overline{WR} = L0$$

の条件成立時間を示します。

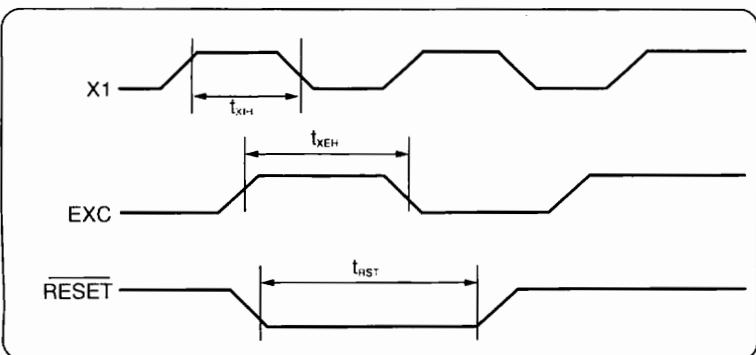
注4. t_{CW} が規定より長いと、対向側で

PM (Pass-Miss) を引き起こす

原因になります。

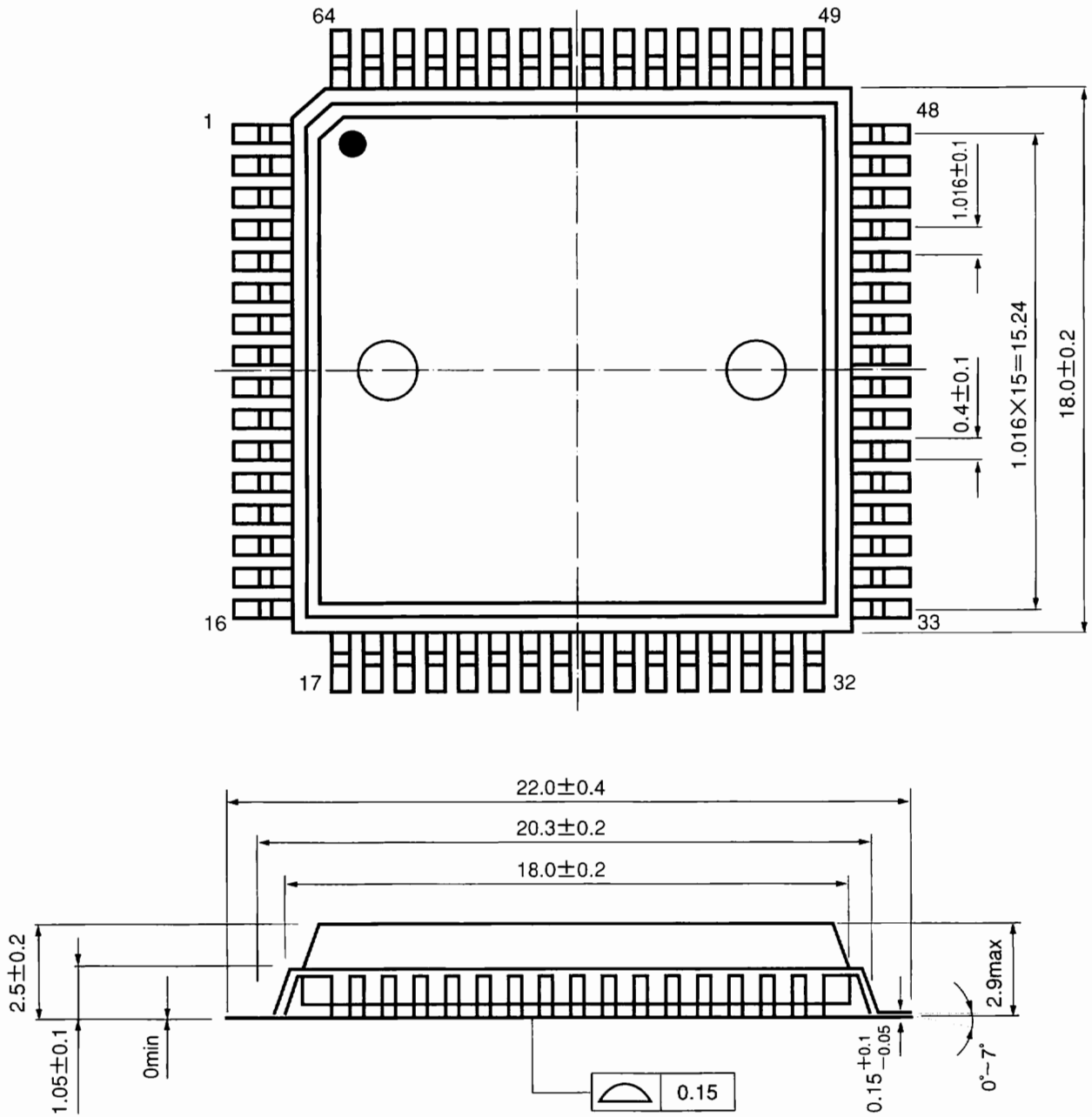
注5. t_{DS} 、 t_{DH} 、 t_{WR} は、 \overline{CS} 系と \overline{WR} の立ち上がり

りのうち、早い方により規定されます。



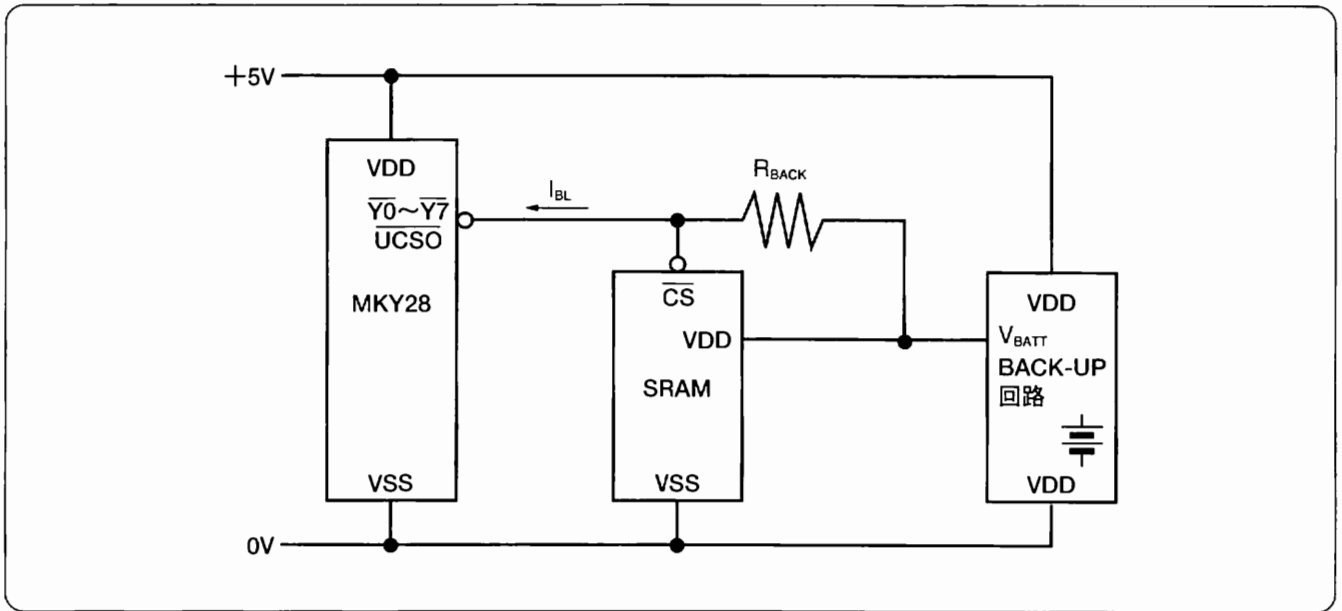
●各信号タイミングチャート

パッケージ寸法図



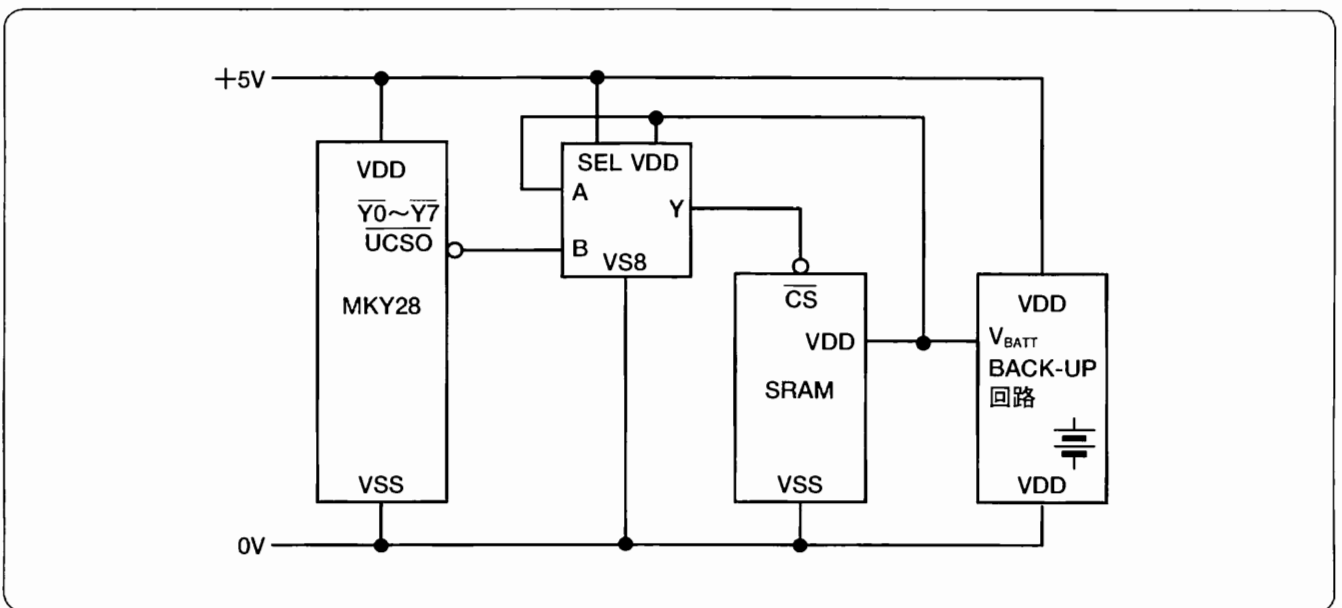
周辺メモリーのバック・アップ方法

SRAM等の周辺メモリーをバック・アップする際に、MKY28の $\overline{Y1} \sim \overline{Y7}$ 、 \overline{UCSO} 出力端子を、バック・アップ対象のSRAM等のCS端子に接続して使用していると、電源OFF時に、MKY28内部にバック・アップのための電流がリークしCS端子の電圧が降下し更にバッテリーが早期に失われてしまいます。



推奨回路

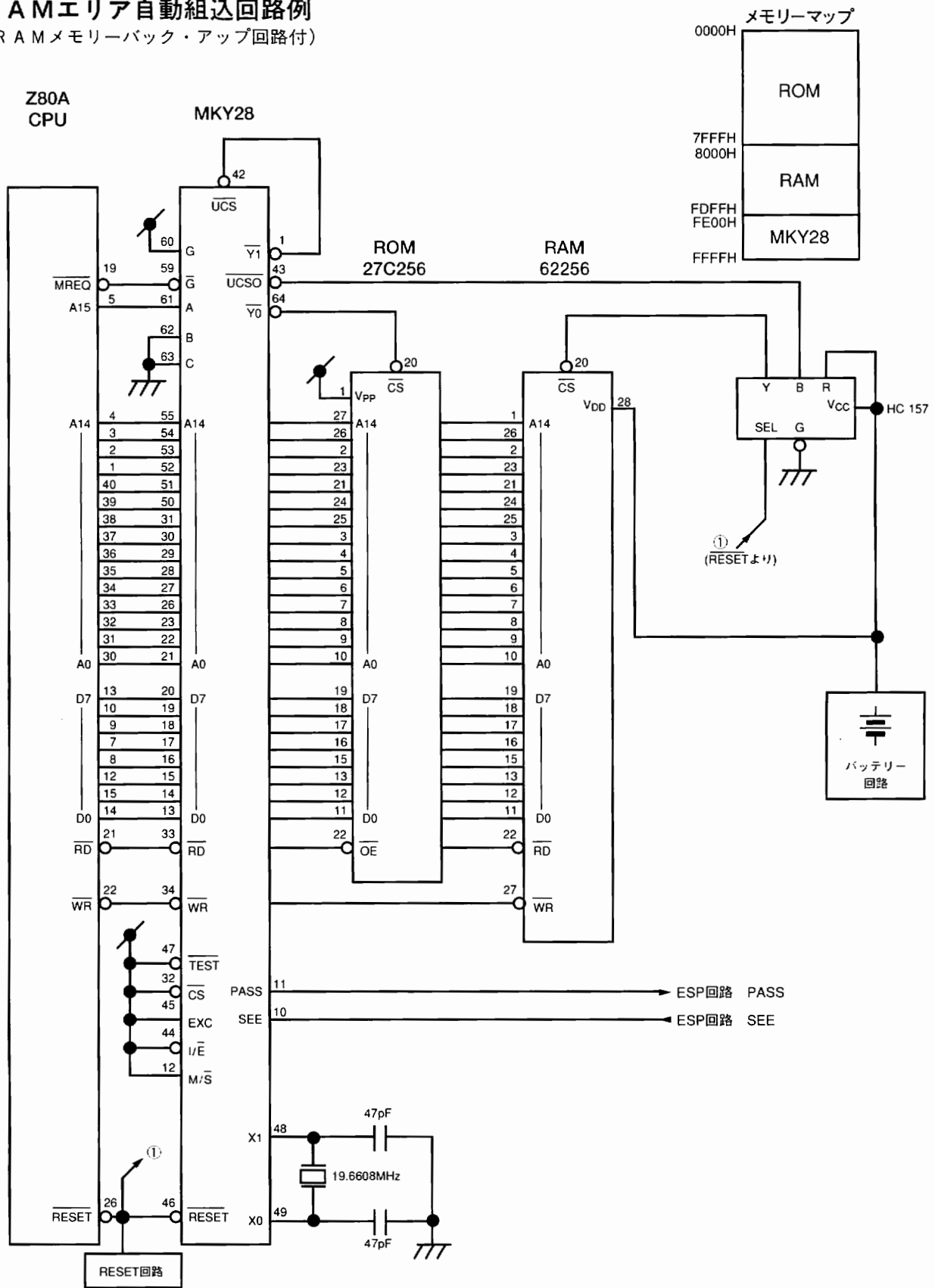
次に示す回路の様にMKY28とSRAM間に、電源のOFF時にも動作のくずれないセレクターを設けて、リークの起きない回路にします。(HC157のセレクター信号に、パワー・ダウン検出信号やRESET信号を使うと、さらに確実な回路になります。)



※ESP-RAMのバック・アップ動作はできません。

サンプル回路

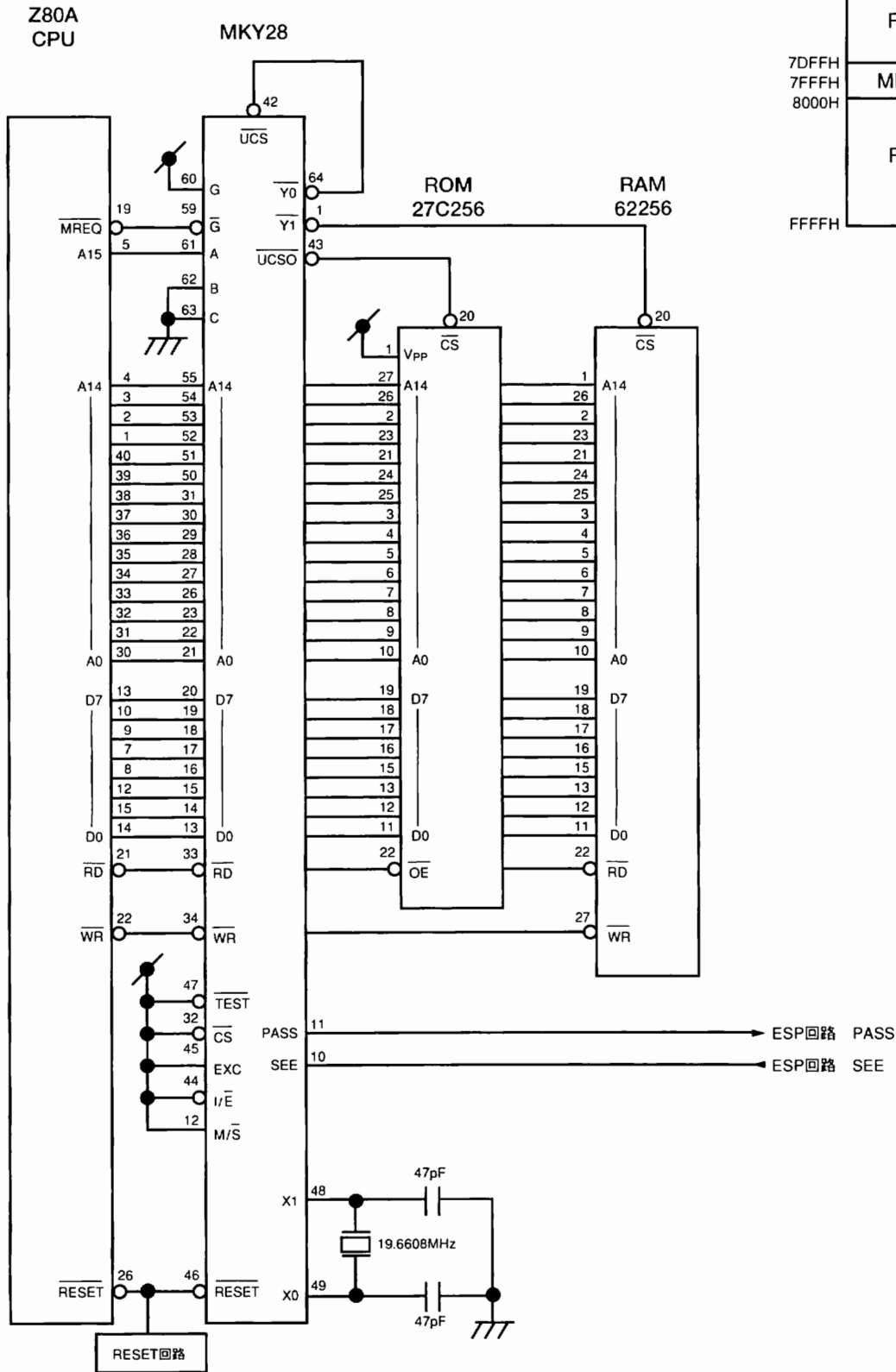
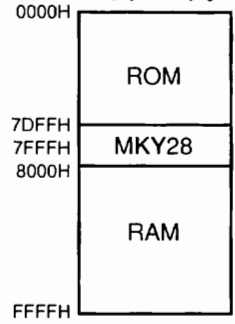
RAMエリア自動組込回路例
(RAMメモリーバック・アップ回路付)



ROMエリア自動組込回路例

(MKY28内部3 to 8デコーダー使用)

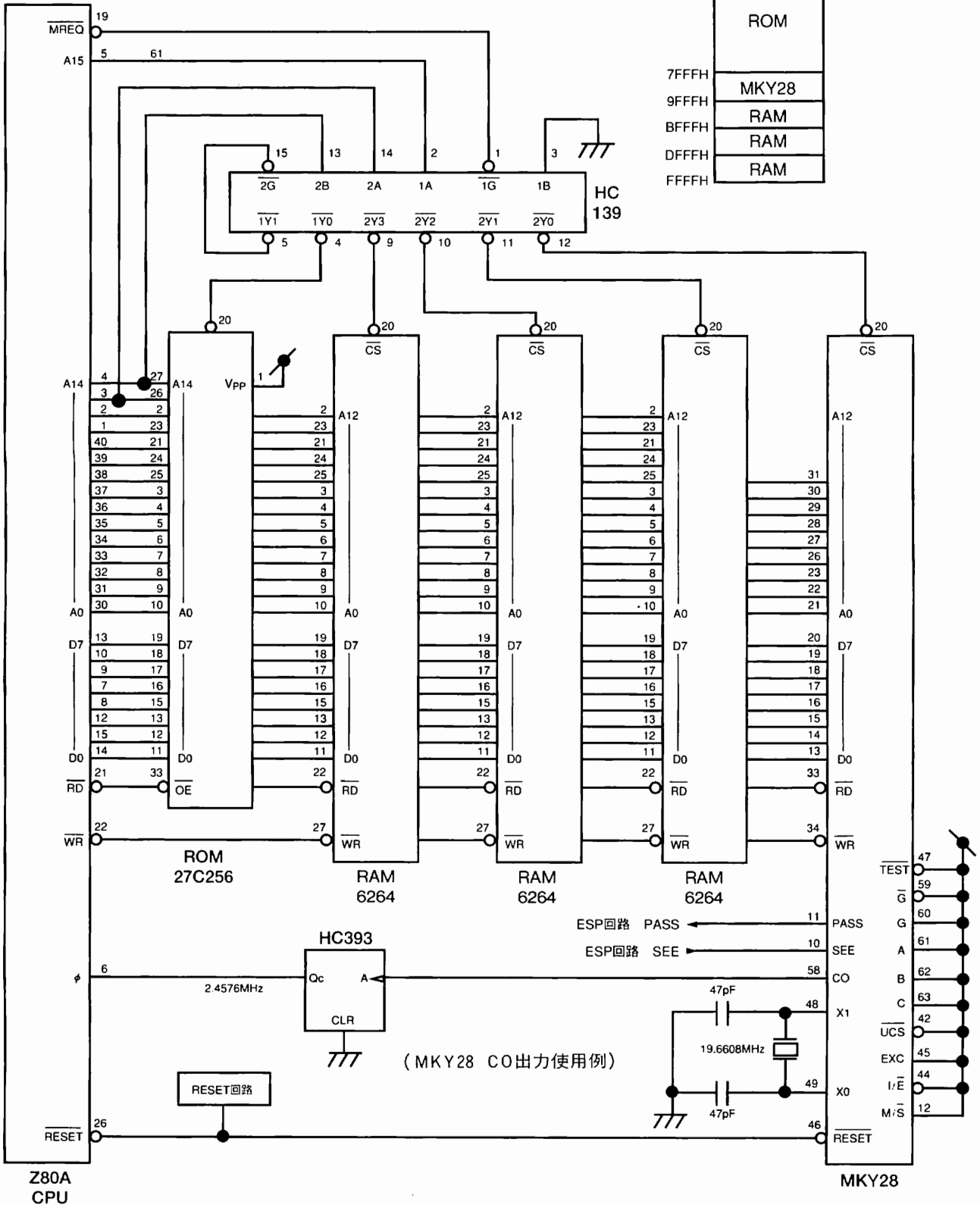
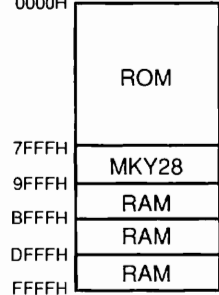
メモリーマップ



RAMエリア組込回路例

(自動組込を行わない例)

メモリーマップ



ソフトウェア編

アドレッシング・マップ

単体で512バイトのアドレスを有するICです。システムに組み込みますと、ケースバイケースで、オフセットが足される事になります。特にUCS、A9～A14を使用する場合には注意してください。

ADDRESS	AREA	内 容
00H ⋮ FFH	ESP RAM 256バイト	Read/Write可能 CR1の設定により共有RAMとして動作
100H	CR0	最新Seeアドレス格納レジスタ
101H	CR1	メモリー共有設定レジスタ
102H	CR2	転送システム設定レジスタ
103H	CR3	最終Passアドレス格納レジスタ
104H ⋮ 1FFH	空きエリア 252バイト	READ/WRITEアクセス時、データ・バスは、トライ・ステート状態 (チップがセレクトされていないのと同じ。) 但し、内部プルアップによりREADデータは、FFHとなるシステムが ほとんどです。

コントロール・レジスタ説明

CR0.....コントロール・レジスタ 0.....100H

リセット後の値=00H

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

最新 See アドレス格納レジスタ

READ 専用

See 動作完了時 (対向側の MKY28 より Pass 動作を受けた場合)、新規にデータが書き込まれた ESP-RAM のアドレス (00H~FFH) が、このレジスタに存在します。
エラーリセットでも、このレジスタの内容は変わりません。

CR1.....コントロール・レジスタ 1.....101H

リセット後の値=61H

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

メモリー共有設定レジスタ

R/W R/W R/W R R R R R

PR : Pass-Ready

1 = Pass 準備完了

0 = Pass 動作中、Pass 禁止時

PM (Pass-Miss) が発生してリセットされるまで。

SR : See-Ready

1 = See 動作完了。(相手側からの Pass 動作受け取り完了)

ESP-RAM エリア (00H~FFH) リードで 0 に戻ります。

常時 0

PM : Pass-Miss

1 = Pass 動作におけるエラー発生

エラー・リセットまたは、ハードウェア・リセットで、0 に戻ります。

OM : Operation-Miss

1 = Pass 許可で Pass 動作中 (PR = 0 の時) に、ESP-RAM へのライト動作を行ってしまった時。

(この場合、後から書き込んだデータは捨てられ CR3 にも反映されません)

エラー・リセットまたは、ハードウェア・リセットで、0 に戻ります。

PE : Pass-Enable

1 = Pass 動作許可 (0 の時に 1 を書き込むと、同時に PR も 1 となります)

0 = Pass 禁止 (0 を書き込み Pass を禁止すると、PR も 0 となります)

(ESP-RAM への書き込みは、Pass 動作を行わなくなりますから、PR にかかわらず書き込みが行えます。OM も発生しません)

SE : See-Enable

1 = See 動作許可 (相手側からの Pass 動作を受けられます)

0 = See 禁止 (相手側からの Pass 動作に応じません。よって SR も 0 から 1 に変わることはありません)

READ

ER : Error

1 = Error 発生中 (PM または OM のビットが、1 の時)

0 = 正常

WRITE

Error-Reset

このビットに、1 を書き込むことで、エラーのリセットが行われます。

(PM、OM、ER のビットが、0 に戻ります)

CR2.....コントロール・レジスタ2.....102H

リセット後の値=60Hまたは70H

7 6 5 4 3 2 1 0 転送システム設定レジスタ

R 常時 0	R/w	R/w	R/w	R 常時 0	R/w	R/w	R/w	
レート設定			ジェネレーター・レート			ガイド・タイム		転送速度設定
000			19.2Kbps			2.9m.sec.		
001			38.4Kbps			1.5m.sec.		
010			76.8Kbps			717μ.sec.		
011			153.6Kbps			359μ.sec.		
100			307.2Kbps			179μ.sec.		
101			614.4Kbps			90μ.sec.		
110			1.2288Mbps			45μ.sec.		
111			2.4576Mbps			23μ.sec.		

- ★I/Ē入力端子がHI又は解放の時、内部レートジェネレーターが有効となります。
I/Ē入力端子がL Oの時は、EXC端子に入力されている周波数の1/2レートとなり、この設定値には影響されません。
- ★ガイド・タイムは、1バイト転送に要する時間のめやすです。
リトライ動作が発生したり、双方同時にPass動作を開始した場合変わります。

MS：マスター/スレーブ設定

- 0 = マスター { 外部端子M/Sでの設定が、ハードウェア・リセット時取り込まれます。
- 1 = スレーブ { リセット後ならば、上書きして変える事ができます。
- ★★★このビットは、対向するM K Y 28と、逆になる様に設定してください。

リトライ	回数	Pass動作中の異常検知による、リトライ動作回数指定
00	∞	M K Y 28のPass動作は、回線異常に対しこの指定の回数までリトライ動作を実行します。もし、指定回数のリトライ動作をしても、Passが終結できない場合に、CR1のPM(Pass-Miss)ビットを1とします。この時CR3の最終Passアドレス格納レジスタに、Pass動作をしていたE S P - R A Mのアドレスが残されていますし、自分のE S P - R A Mには、Pass動作を実行したデータも書き込まれています。
01	0	
10	6	
11	14	

CR3.....コントロール・レジスタ3.....103H

リセット後の値=00H

7 6 5 4 3 2 1 0 最終Passアドレス格納レジスタ

READ専用

最終にPass動作を行ったE S P - R A Mアドレス(00H~FFH)が、このレジスタに存在します。

エラーリセットでも、このレジスタの内容は変わりません。

- ※CR1のPR、SR、ERのビット状態は、同名の外部端子にステータスとして、それぞれ出力されています。
- ※特にCR2は、ESP回線の方式(光伝送や作動伝送方式)、ドライバーの能力(応答速度等)周辺ノイズ環境(リトライ回数に反映)等によって設定値を決める事が望まれます。

コントロール・レジスタの使用例

CR0 (最新Seeアドレス格納レジスタ)

RS-232C調歩同期通信デバイス使用の通信を、簡単に置き換えできるよう用意されたレジスタです。また、低速レートでの運用時にも、ESP-RAMをチェックして書き換えられたデータを探すなどの無用の処理をなくすことに効力を発揮します。高速レートでの使用では、アプリケーションとしての処理プログラムが追いつかない事(上書きされてしまう)がありますから、システムに合わせたケース・バイ・ケースでうまく利用すると便利です。

CR1-BIT0 (Pass-Ready)

送信シーケンスがアクティブ状態 (CR1のBIT5 = 1) の時、ESP-RAMへの送信動作可能をチェックするコントロールビットです。ESP-RAMへのライトをする前にこのビットをチェックすることによりオペレーションミスエラーを防止することができます。

CR1-BIT1 (See-Ready)

ESP-RAMに対向側からのデータ受信があった時にこのビットが1になります。CR0 (最新Seeアドレス) と併用してプログラムを組むと無駄のない受信処理ができます。ESP-RAMエリアをリードすることにより、このビットは0にリセットされます。

注) ESP-RAMをリード中に、対向側からのデータ受信があった場合このビットが1にならない場合があります。

CR1-BIT3 (Pass-Miss)

ESP-RAMにライトされたデータが設定リトライ回数を実行しても、対向側へデータが転送できなかった時に1になるエラービットです。ESP回線品質が悪い場合など、何らかの回線トラブルが発生したことを検知することができます。CR1のBIT7に1をライトすることにより、このエラービットを0にリセットすることができます。

CR1-BIT4 (Operation-Miss)

ESP-RAMにライトされたデータが転送中 (CR1のBIT0 = 0) に次のデータをライトしてしまった時に1になるエラービットです。MKY28はメモリーですから、ブロック転送命令などを実行したくなりますが、1バイト毎の転送が基本になりますので、前データ転送中に次のデータはライトできません。このビットが1になった時のライトデータはキャンセルされメモリーに残りません。

CR1のBIT7に1をライトすることにより、このエラービットを0にリセットすることができます。

CR1-BIT5 (Pass-Enable)

ESP-RAMにライトされたデータを対向側に転送する送信シーケンスを許可するコントロールビットです。受信動作だけを目的とするシステムなどで誤って送信が起きない様にする場合や、共有動作なしでESP-RAMにライトする場合 (立ち上げのメモリークリアーなど) に使用します。

CR1-BIT6 (See-Enable)

対向側からのデータ受信シーケンスを許可するコントロールビットです。送信動作だけを目的とするシステムなどで、対向側からESP-RAMの内容をかえられない様にする場合や、受信処理中でデータを変えられたくない場合などに使用します。

注) 運用中にこのビットを0にする場合、対向側でPass-Missが発生する可能性があります。

CR1-BIT7 (Error, Error-Reset)

PM (Pass-Miss) or OP (Operation-Miss) によるミス (エラー) を一括して見るエラービットです。通常はESP-RAMへのライト動作前にPR (Pass-Ready) と共に、MKY28の状態を監視しながらESP-RAMにデータライトをします。エラービットは全てこのビットに1を書くことで0にリセットされます。

注) エラー中「1」の時「1」を書く事により、「0」にリセットされます。

例 Z80 CPUの場合 D. レジスタにデータを持ってCALL

ESPWR:

LD	A, (CR1)	MKY28ステータス取り出し
BIT	7, A	
JP	NZ, ERROR	エラーの発生があれば、エラー処理へ
AND	01H	
JP	Z, ESPWR	PR (Pass-Ready) HI?
LD	A, D	
LD	(ESPRAM), A	データ書き込み
RET		

CR2-BIT0,1,2 (転送速度設定)

内部転送レートを決定する3ビットで転送レートが速いほど大きな数字(最高7)にしてあります。ハードリセット後は0となり、CPUシステム以外に使用される場合を意識しています。転送レートが速いほど許容ディレイが短くなり、それに伴い転送距離も短くなりますのでP7の表を参考にしてレートを決めて下さい。

CR2-BIT4 (マスター/スレーブ設定)

対向側のMKY28と反対になる様に設定します。ハード端子でも設定できますがソフトウェアで書き換えたほうが優先されます。この設定は、双方同時に送信動作がはじまった時、どちらのデータを先に転送するかを決める機能であり、リトライまでのウェイト時間を変えているだけです。[ウェイト時間 マスター<スレーブ]

CR2-BIT5,6 (リトライ回数設定)

ノイズ等で正しくデータが転送されなかったときの送信リトライ回数を設定するビットです。立ち上げ等の特別な用途のために無限リトライができるようになっています。(データが正しく転送されるまでPass動作を繰り返す)無限リトライ状態から抜けるには、設定を0、6、14回の何れかに設定することによりPass-Missエラーとなり無限リトライより抜ける事ができます。通常は6、14回設定で利用ください。

CR3 (最新Passアドレス格納レジスタ)

ESP-RAMエリア内に、最終ライト動作が行われたアドレスを格納するコントロールレジスタです。

Pass-Missエラーが発生した場合、このレジスタの示すアドレスのデータは対向側へ転送されていませんので、エラー解除後、再送処理もしくはキャンセル処理(元のデータに戻す)などをする必要があります。

例外として、Operation-Missエラーが発生した場合は、データを転送できた最終アドレスが残っており、エラー中にライトされたアドレスは自動的にキャンセルされアドレスデータとして残りません。

RESET後『CR0~3』のデフォルト値

CR0=00H CR1=61H CR2=60H又は70H CR3=00H

送信許可	転送レート	19.2kbps
受信許可	マスター/スレーブ	端子論理による
	リトライ	14回

付 録

クリーン・システム構築手法

共有メモリーを使用しますと、プログラム構築がとても簡単になりますが、その簡単さに気を取られて、落とし穴に落ちない様に注意してください。この場合「思わぬ上書きが行われる」事と、「1バイトを越えるデータの固まりを扱う時」には注意を必要とするものです。(デュアルポート・RAMを使う時の注意点が、そのままMKY28にも適用されます) 事前に落とし穴のある所を通らないのも一種のテクニックですから、「クリーン・システム」として基本的な事柄をご紹介します。

共有が成立しないデータもある？

今、双方同時に同じアドレスに異なるデータを書き込んだとしましょう。ESP-RAMには、書き込むと同時にデータが置かれますが、回線を伝わる時間分あとから、それぞれに相手を書いたデータを上書きされてしまいますから、双方の同じアドレスには異なったデータが存在する事になります。この予防には、マスターの書き込みエリアは00H~7EH迄、スレーブ・サイドでは、80H~FFH迄というように予め約束を持っていれば簡単です。

バイトを越えるデータ表現には、ストローブが有効

今、文字列「ABCDEF」を引き渡し終えたあと、次に文字列「GHIJKL」を渡そうとして、「GHI」まで書き込んだところで、相手側が読み取ってしまうと、「GHIDEF」と誤認されてしまいます。

「予防策その1」低速レートで、データ長とアドレスが決まっている場合

CR0を監視して、データの書き込まれる最後のアドレスを示していたら、相手側からの転送が一揃い揃った事になります。上記の例では、「GHIJKL」の「L」が書き込まれるアドレスを、CR0で監視することになります。(ただ、この手法を使用している事を忘れてレートを高速化すると、CR0がデータの最後をポイントしている事を見落とすことがありますので、あまりお勧めできません)

「予防策その2」特定アドレスにストローブ・データを持たせる場合

双方の約束で、ストローブ・データを特定アドレスに持たせます。たとえば、00H~0FHがデータそのもので10Hがストローブ・アドレスとし、10H≠00Hがデータの引き渡し準備完了とすると、渡す側は10Hの内容が00Hであることを確認してから、データを00H~0FHに書き込み、続いて10Hに00H以外を書きます。受ける側は、10Hだけを監視していて、その内容が00H以外になったら00H~0FHのデータを取り出し、その後10Hに00Hを書き戻します。この様にすれば、渡す方も渡される方も、誤まった動作をすることがありません。また、10Hに書き込むストローブのためのデータに、本来のデータの長さを書く事しておけば、可変長のデータ引き渡しも簡単に行えます。

まとめ

MKY28では、256バイトのメモリー共有ができるわけですが、この256バイトの各アドレスに役割を決めて、さらに双方が同時に同じアドレスへの書き込みが起らない様なプログラム構造にする事が、予防でありクリーンなシステムの構築になるはず。また、それをする事で、システムもより簡単なものになる場合がほとんどと思われます。

Q&A

Q. MKY28は、RS-232C等の従来の通信と接続できるのですか？

A. ESP回線による新方式ですから、従来のどの方法の通信回線ともつながりません。MKY28同士の専用通信です。

Q. 今までの装置に組み込みたいのですが、プログラムも作り直すことになりますか？

A. いいえ、ほとんどのソフト資産が使えます。従来の通信手段ではRS-232Cがほとんどですから、MKY28は、これらの一般的なICとコントロール・レジスタ形態を類似にしてあります。たとえば、Tx-ReadyがPass-Ready、Rx-ReadyがSee-Readyのごとくに使えます。通信素子はI/Oエリアにありますが、MKY28はメモリーにありますのでその点が変わります。同一アドレスで送信と受信のデータを扱う通信素子が多いのですが、MKY28ではそれぞれ別のアドレスにしないと、せっかく受信したデータを自分で書き換えてしまいますので注意してください。この様に、ソフトウェアの通信ドライバーモジュールに多少手を加える程度で使える事になります。また、MKY28のUCS端子を使って従来のRAMに組み込みますと、RAMの最終位置512バイトを占拠しますので、スタック・ポインターなども注意した方が良くかと思われれます。

Q. SE(See-Enable)ビットを0にしておいたら、相手側でPM(Pass-Miss)となっていましたか？

A. それが正常です。SEを0とする事は、相手側からのPass動作を受付ないので、相手にとってはPass-Missとなるわけです。ESP-RAMのベリファイ・テストや、イニシャル等でこの様な使い方となるでしょう。

PE、SE、PM、リトライ回数指定をうまく使うと、RS-232Cのハンドシェイクの様に、相手の装置状態を把握することができます。例えばシステム立ち上げの後、リトライを∞にしておいてPassをかけますと、相手が立ち上がり準備ができるまでずっと呼び続けるわけですから、PR=1となった時点で相手の準備が完了したことを察知できます。

Q. MKY28を使う時に、特別な配慮や、ノウハウが必要ですか？

A. 共有化しているESP-RAMへのライト動作を行う前にPRをチェックすることを除けば、まったくSRAMと同じですから特別な配慮はいりません。共有RAMの特徴は、自分で書き込んだデータが全てではなく相手からも書き込んで来ると言うことです。この事さえしっかり把握しておけばノウハウも必要ありません。強いて言えば、デュアル・ポート・RAMの使い方やノウハウがそのままMKY28のESP-RAMの使い方に当てはまります。

※PE(Pass-Enable)ビットを0にしますとSRAMと同様の扱いとなります。

Q. EXC端子による外部転送レートを設定した時のガイド・タイムは？

A. EXC端子に与えられる周波数を f とすると、ガイド・タイムの計算方法は

$$1/f \times 2 \times 55 \text{ (sec)}/\text{バイト}$$

Q. XI端子に加えるクロックを変えたいのですが？

A. MKY28の内部回路は、この入力をシステム・クロックとするほぼ完全な同期式ロジック回路です。XIに加えるクロックを変える事は可能です。この結果として、次の点が変わってきます。(XIに加えられる周波数を f 、周期を T とします)

1. ESP-RAMのアクセス・タイミング

RDサイクル・タイムの計算方法 $2 \times T \times 2.35 \text{ (sec)}$

アクセス・サイクル・タイム計算方法 $6 \times T \text{ (sec)}$

2. 内部転送レート・ジェネレーターの値とガイド・タイム

ジェネレーターのレート0値の計算方法 $f/1024 \text{ (Hz)}$

(レート1からは、2倍になっていきます)

ガイド・タイムの計算方法

$$1/(\text{レートで算出された値 Hz}) \times 55 \text{ (sec)}/\text{バイト}$$

※ XIで入力できる周波数は、MAX = 20MHzです。発振子を接続する場合には、周波数と発振子の特性により安定した発振動作が得られるキャパシター値を選択する必要があります。

※ 対向側のMKY28のクロックにも同じ周波数を使用してください。

Q. 装置にMKY28を搭載した時のコネクタや表示はどんなものが良いでしょうか？

A. ESP回線と称していますので、特に支障が無ければ、下記の様な表現はいかがでしょうか。

ESP ESP回線である事だけの表示

ESP-M (7) ESP回線のマスターでレートが7

ESP-S (3) ESP回線のスレーブでレートが3

コネクタは、伝送の方法(光であったり他の方法)により変わりますので、システムにあったものを御使用ください。

トラブル・シューティング

運用上のアドバイス

MKY28を使いますと、わかっているつもりでもふとしたミスをおかしてしまうことがあります。「困った時には、基本に帰る」つもりで、以下の項目をチェックしてください。

1. SR (See-Ready)は、ESP-RAMエリアのどのアドレスをリードしても落ちます。
マルチ・タスク構成のプログラム等で、常にESP-RAMをリードするタスクとSRを期待するタスクがある場合などは危険です。機能を理解して適切な方法で使用してください。
2. ESP-RAMへのライト・アフター・ベリファイを取る様な場合、ライト直後に対向側からのSee動作を同じアドレスに異なるデータで受けると、ベリファイ・エラーを生じます。ESP-RAMエリアの割り付けを約束する等、適切な運用を行ってください。
3. SE (See-Enable)を不用意に落としますと、対向側のPM (Pass-Miss)を引き起こす要因になります。運用上意図した時以外にSEを0としない様注意してください。
4. エラー・リセットをかける時などに、コントロール・レジスタの他のビットを誤って書き換えてしまわないように注意してください。
5. SR (See-Ready)を察知してからCR0 (最新 See 格納レジスタ)を読み取りそのアドレスのデータを取り出そうとする場合で転送速度が高く、しかも対向側からの転送が連続して行われる様な場合には注意が必要です。SRを察知してから、CR0、ESP-RAMをリードする迄のCPU処理時間の間に次のSee動作を受けてしまいますと、目的の動作ができなくなってしまうことがあります。
6. PR (Pass-Ready)だけを期待するループは、次の場合危険です。
PM (Pass-Miss)、OM (Operation-Miss)によるエラーが発生した時。
(ER = 1、PR = 0の状態が、エラー・リセットする迄続きます)
この場合、エラービットが1となりますので、「ER (Error)を監視しながらPRを期待するループ」をお勧め致します。
7. 対向するMKY28同志のマスター/スレーブは、必ず一致しない様に設定してください。
PM (Pass-Miss)の発生要因になります。

CPU・インサーキット・エミュレーター使用に当たり

1. メモリー・セット・コマンド等のエミュレーターの機能を使ってコントロール・レジスタに書き込みを行いますと、機種によりベリファイ・エラー等を宣告される事がありますがこれは異常ではありません。コントロール・レジスタのビットが、R/W対象となっていないものがある事などから発生します。
2. 機種により、ブレイク状態でコントロール信号(\overline{RD} や \overline{WR})をアクティブなまま停止するタイプのものがあります。この場合、MKY28をリード/ライト・アクセスしているプログラム・ステップで停止すると、相手側のPM (Pass-Miss)を誘発することがあり得ますのでブレイク・ポイント等に注意してください。

実装後の動作テスト方法

1. 電源は正しく印加されていますか。チップに発熱などの異常はないですか。
2. 発振が正しく行われていますか。または、X1端子に正しくクロックが入力されていますか。
 - a. C0端子でチェック
3. パワーON後(リセット後)のコントロール・レジスタはデフォルト値になっていますか。
 - a. 目的とするアドレスに配置されていますか。
 - b. \overline{RESET} 信号の論理とレベルは安定していますか。
 - c. \overline{CS} 、 \overline{UCS} 関連チェック。
 - d. \overline{RD} 信号の入力状態チェック。
 - e. D0～D7のバスの扱いをチェック。

4. PE = 0、SE = 0として、ESP-RAMを自由にリード/ライトできますか。
 - a. 目的とするアドレスに配置されていますか。
 - b. \overline{RESET} 信号の論理とレベルは安定していますか。
 - c. \overline{CS} 、 \overline{UCS} 関連チェック。
 - d. \overline{RD} 、 \overline{WR} 信号の入力状態チェック。
 - e. D0～D7のバスの扱いをチェック。
5. PE = 1、リトライ = 0・6・14、PASS端子を相手に接続しないで、ESP-RAMへのライト後、PM = 1となりますか。
 - a. エラーとなったままエラー・リセットをせずにテストを続けていませんか。
 - b. I/ \overline{E} 、EXC端子の処理は正しく行われていますか。
 - c. SEE信号端子がHI固定や解放、またはそれに近い状態になっていませんか。
6. PE = 1、リトライ = ∞ 、PASS端子を相手に接続しないで、ESP-RAMへのライト後PASS端子に次の図のような信号が現れますか。(PASS機能テスト)
 - a. テスト方法に誤りはありませんか。
 - b. XI、XO、CO、EXCのクロック系チェック。
 - c. 実装状態チェック。



7. SE = 1として、回線よりSEE端子がHI固定となる信号を入力すると、PASS端子に転送レートと同周波数のクロックが出力されていますか。(SEE機能テスト)
 - a. テスト方法に誤りはありませんか。
 - b. XI、XO、CO、EXCのクロック系チェック。
 - c. 実装状態チェック。
 - d. 回線ドライバー系チェック。
8. 回線を接続し、メモリー共有動作を実行して異常はありませんか。

[エラーとなり全く共有できない場合]

 - a. テスト方法に誤りはありませんか。
 - b. エラーとなったままエラー・リセットをせずにテストを続けていませんか。
 - c. 回線信号の接続誤りはありませんか。
(SEE、PASS信号は、両方とも相手と対向に接続されていますか。途中の論理の取り違えなどはありませんか。)
 - d. 回線信号の接続不良はありませんか。
 - e. 回線の実力以上の転送レートが設定されていませんか。信号遅延が大きすぎませんか。
 - f. 回線の品質(ノイズ、ドライバー素子、附帯条件)は良好ですか。

[断続的にエラーを起こす場合]

- a. OM (Operation-Miss) によるエラーではありませんか。(テスト方法改善)
- b. マスター・マスターまたはスレーブ・スレーブの同一設定がされていませんか。
- c. 回線信号の接続不良はありませんか。
- d. 回線の実力以上の転送レートが設定されていませんか。信号遅延が大きすぎませんか。
- e. 回線の品質(ノイズ、ドライバー素子、附帯条件)は良好ですか。

※PASS信号とSEE信号をループ・バック接続しても、RS-232Cのようなループ・バック動作テストはできません。

高速アクセス

MKY28は、リード・アクセスの240n.secのRAMに相当します。高速なCPUに接続する際には、通常CPUのWAIT機能を使用しますが、例外的に補助回路を設けて、高速なアクセスを実現することができます。次に示す回路およびチャートは、1バイトのキャッシュ動作により、論理上0タイムによるリードとライトを可能にします。

リードの際に考えられる2種類のアドレス

●目的のアドレスを読む時

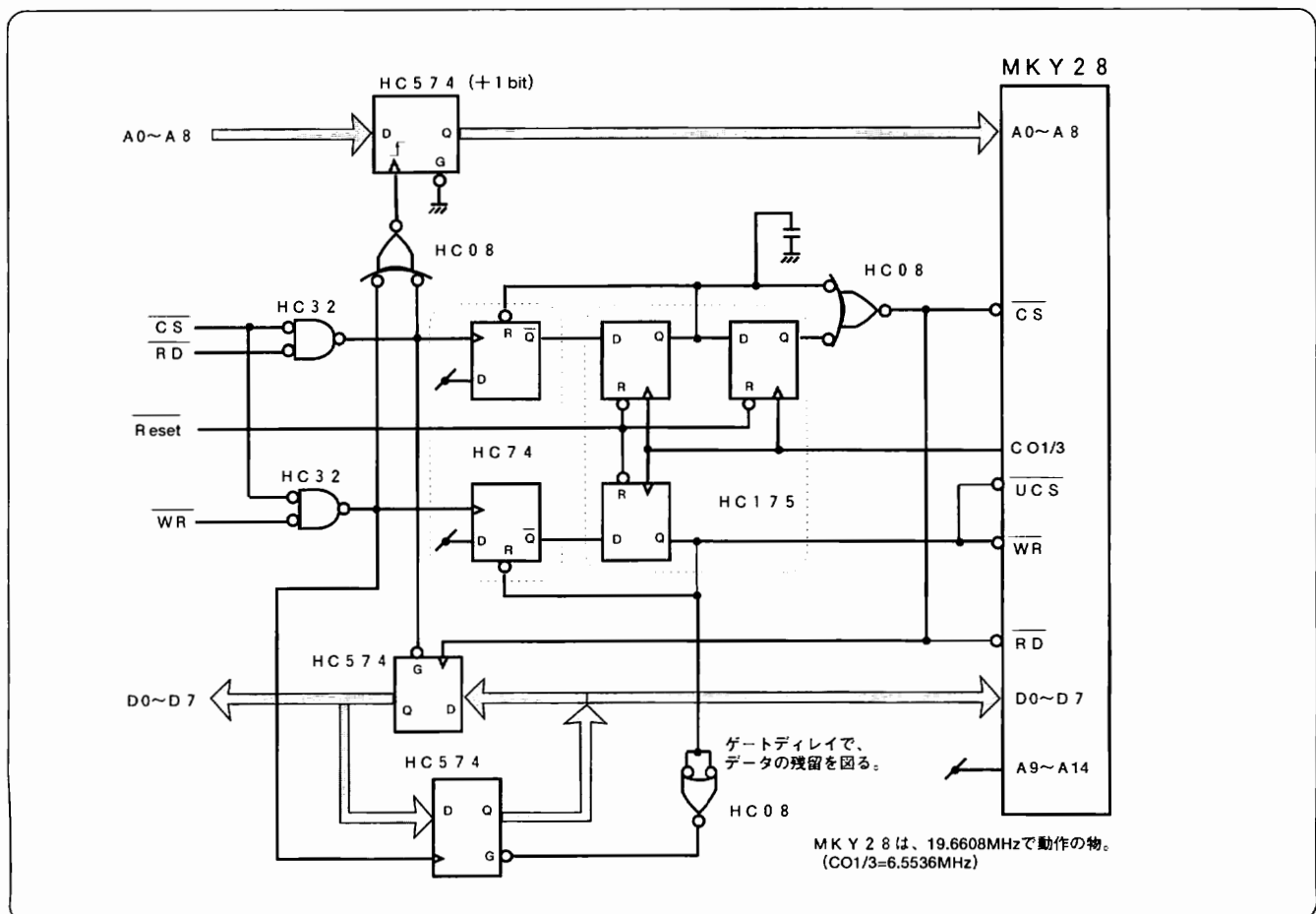
2度読みします。1度めに読めたデータは捨てます。

●連続したアドレスをブロックで読む時

前に読んだアドレスの値が、次の時に読めます。0～2アドレスの3バイト・データを連続で読む例では、先ず0アドレスを読み、これは捨てます。次に1アドレスを読み、これを初めのバイトとして取り込みます。さらに次の2アドレスを読み、これを1アドレスのデータとして取り込みます。もう一度（アドレスは何でも良い）読みます。これを2アドレスのデータとして取り込みます。つまり、0～2アドレスの3バイトを連続で読み取る時には、0～3の4バイトデータをブロックで読み取り、先頭を捨てて3バイトデータとして扱えば良いことになります。

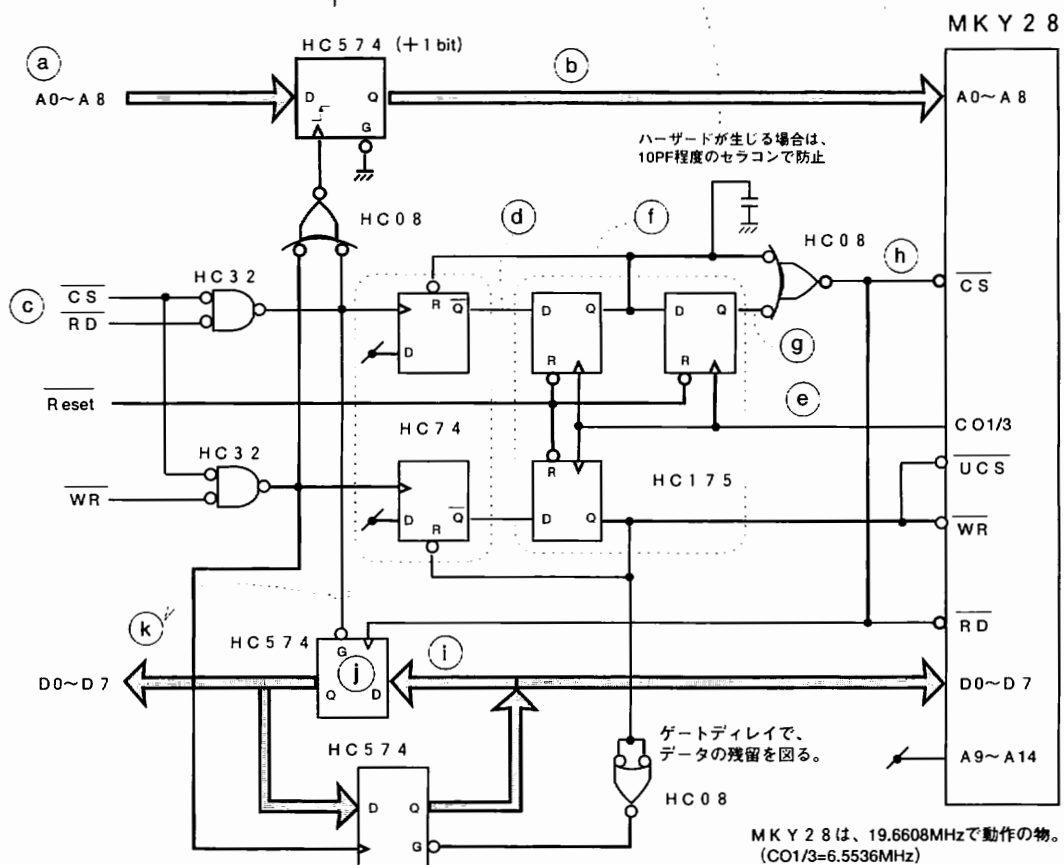
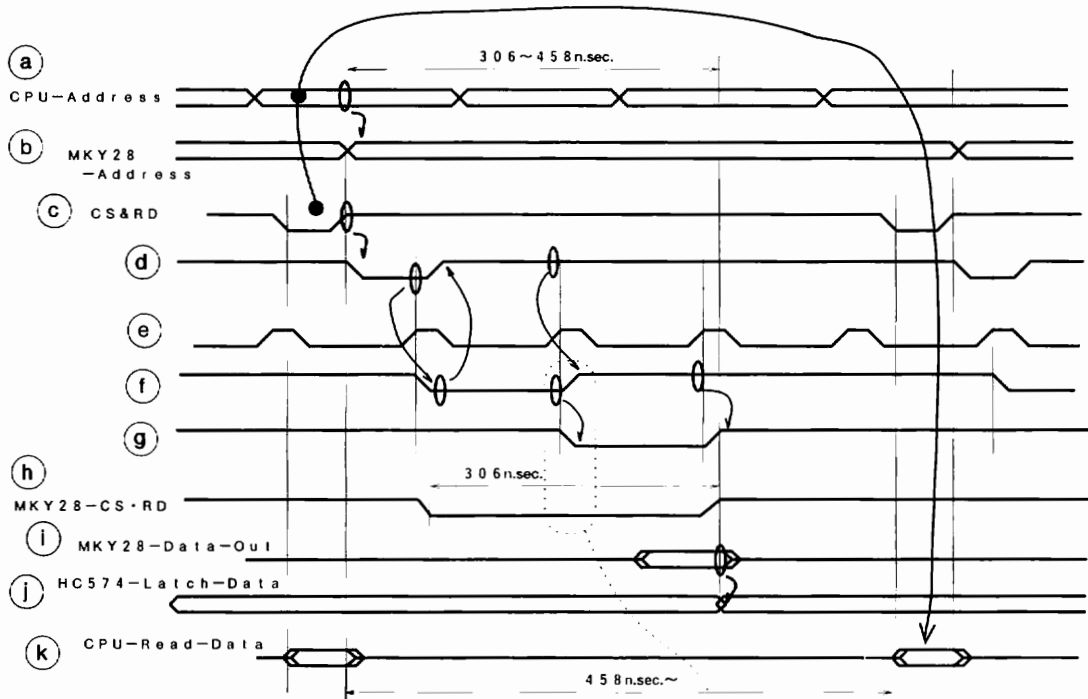
ライトの方法は、通常と変わりません。

★この回路を利用する場合には、リード・ライトとも連続してアクセスする場合に、回路が動作する時間の間隔を取る必要が生じますが、(リードしたデータをどこかにセーブする、ライトするデータを作成するなど) CPUの命令実行が挿入されると考えられますから、基本的に問題となりません。また必要であれば、NOP命令を投入するなど、プログラムで時間間隔を補正すれば良く、ハードウェア的にNON-WAITで利用できます。



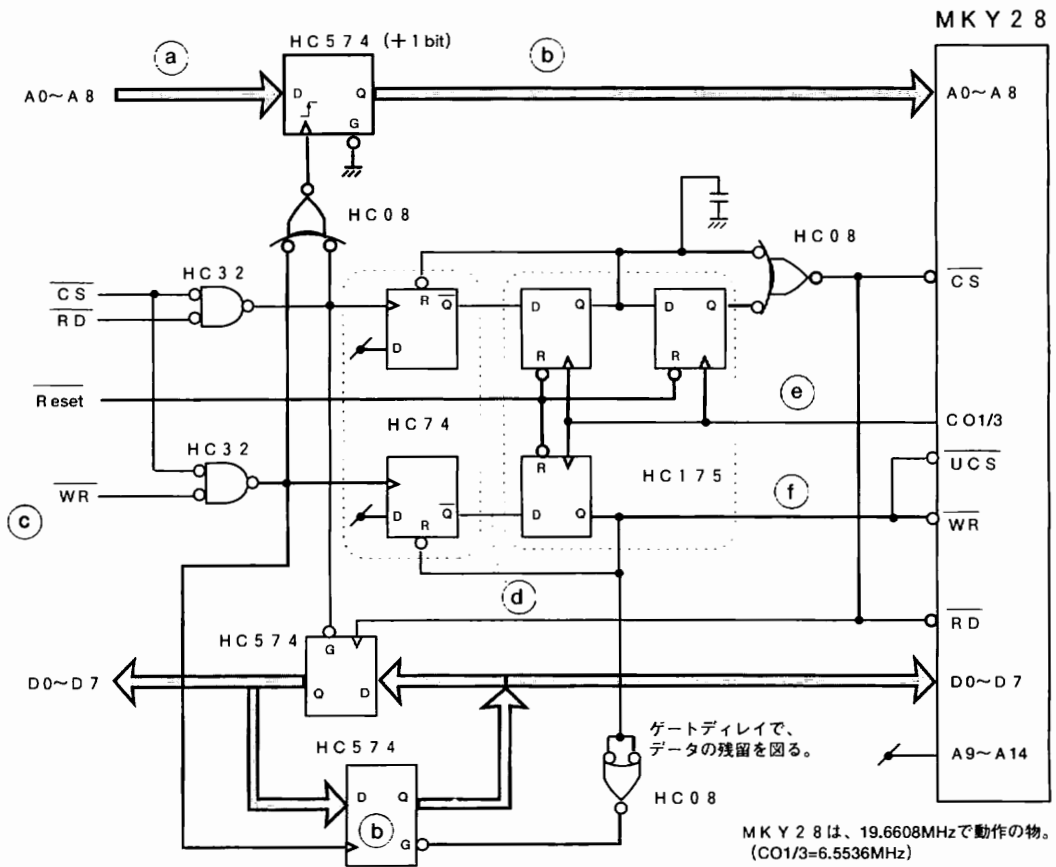
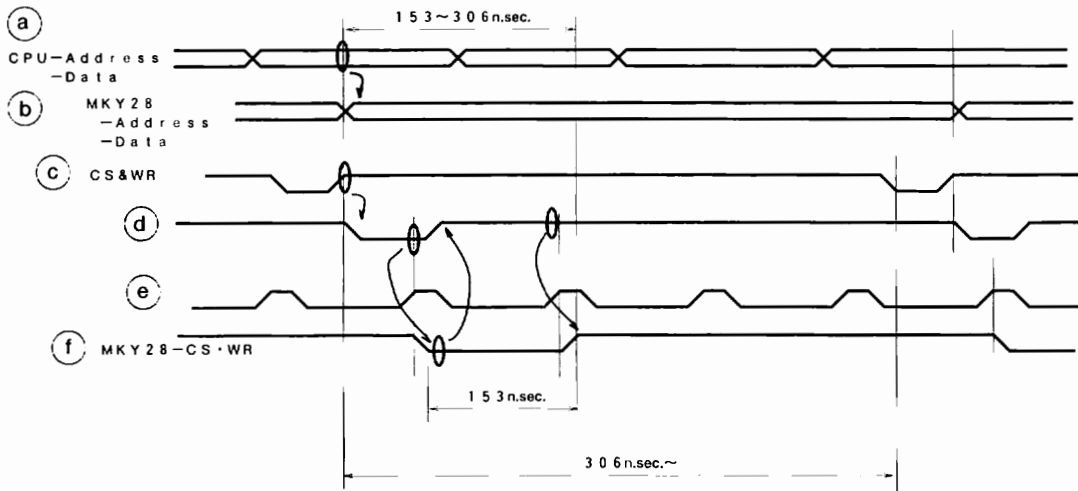
デジタル方式のリード動作チャート(RD/WR幅規定無し)

回路の概念は、前記と同じ。CPUのリード幅は、最小の規定が無くなるので、非常に高速化できる。
次のアクセスまでは458n.sec.の間隔が必要となる。



デジタル方式のライト動作チャート(RD/WR幅規定無し)

回路の概念は、前記と同じ。CPUのライト幅は、最小の規定が無くなるので、非常に高速化できる。
次のアクセスまでは306n.sec.の間隔が必要となる。



アプリケーション例

複数端末からのデータを一齐に受け取る

複数端末を、普通の通信で結ぶと…

- データ交換のスピードが出せない。
(端末の発言を一度に聞き取れません。)
- センター処理が複雑。
(センターが端末に、発言権を順次指示しながら、会話する必要があります。)

通信で、複数装置をつなぐと。



ポーリング方式によるマルチドロップ接続では、親機から順次子機との対話を指定していくので、全体の応答速度が遅くなり、指名する制御などの余分なコントロールも必要となる。

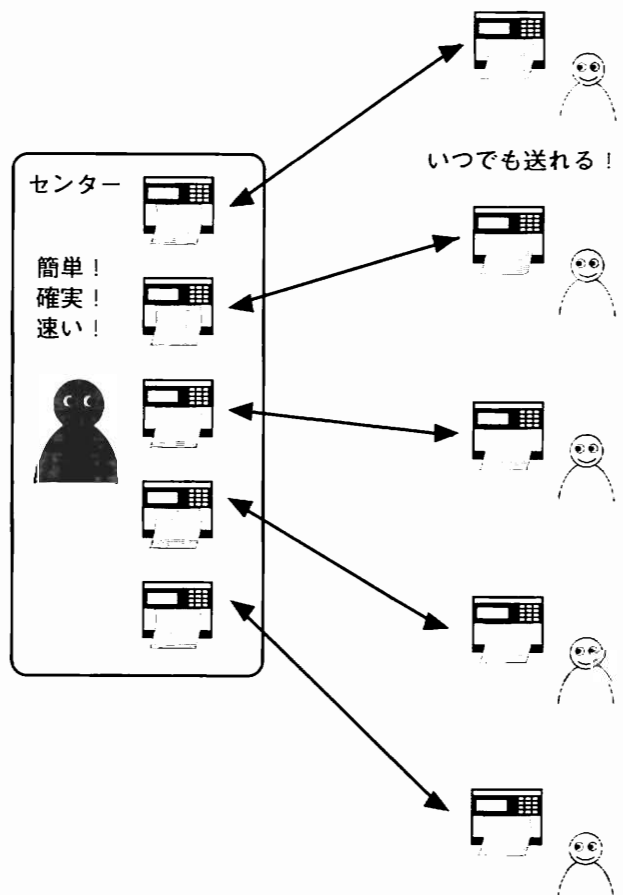
MKY28で
解決!

- 複数の端末からのデータを、一齐にセンター装置が受け付けられます。
- センター・端末とも、処理が極めて簡単です。
…RAM上に、電文を文書のごとく展開してデータ交換が可能です。
- 情報交換のスピードが極めて高速です。
(RS-485マルチドロップ通信の100倍以上)

電子システム化競売市場で、数百台にも及ぶ端末から、一齐に飛び込む情報を、瞬時に処理するシステムに利用されています。

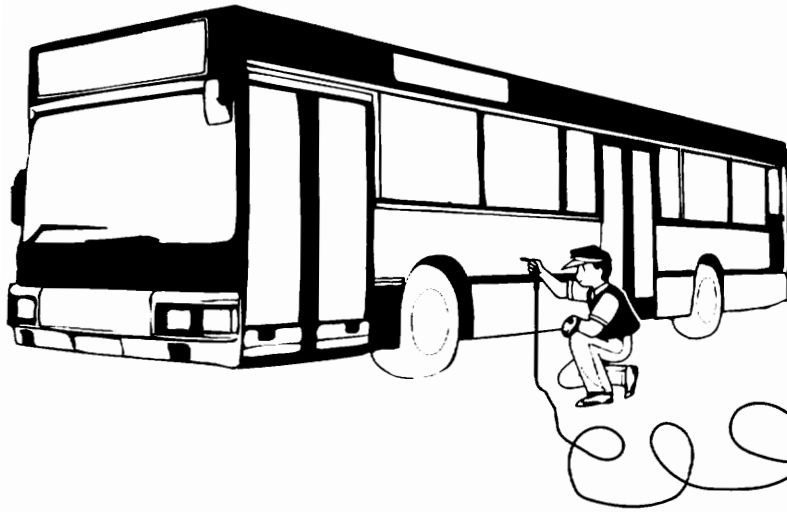
FAXのホットラインと同じ

いつでも、どちらからでも送れる

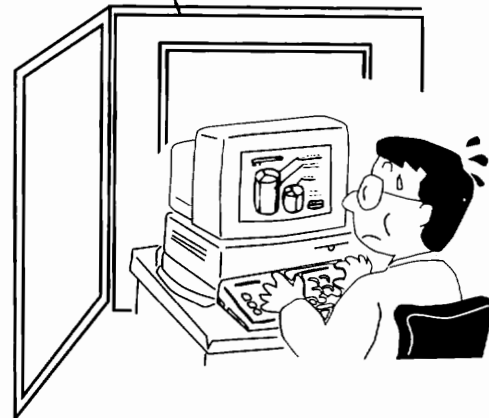
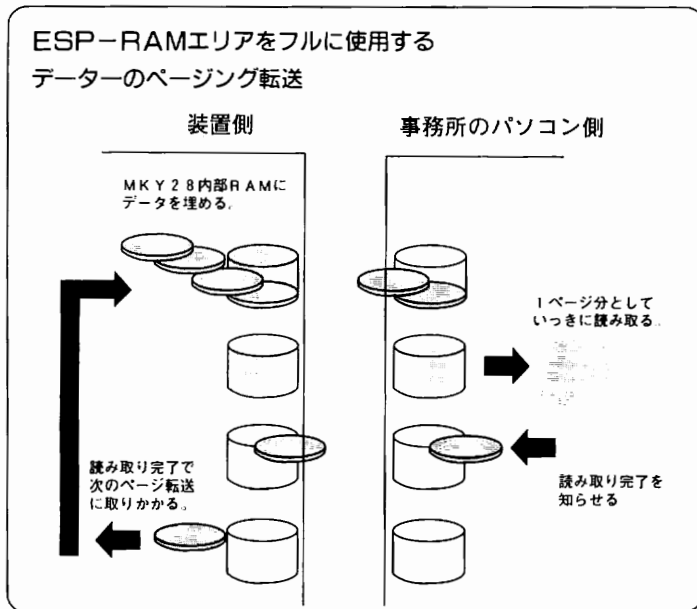


多量のデータを転送する

路線バスの運賃集計解析管理



車庫に戻ったバスに通信コネクタを接続して、データの吸い上げを行う。データは、路線区間、運賃、乗車人数などが、時間を追って個別に収録されるので、約12Mバイトにも及ぶ。



12Mバイト/1台のデータ吸い上げに必要な時間

RS-232CやRS-422の通信
(9600bps)

$1\text{msec./byte} \times 12,582,912\text{bytes}$

約4時間



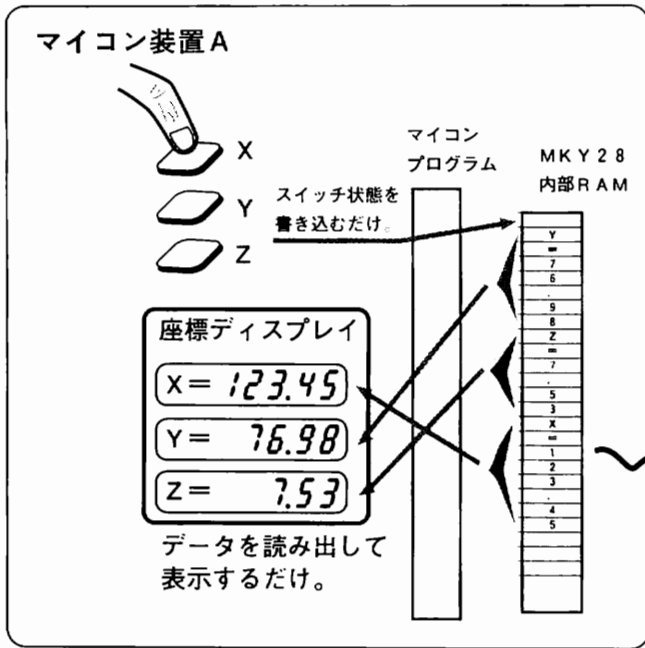
MKY28での通信
(最高転送レート)

$23\mu\text{sec./byte} \times 12,582,912\text{bytes}$

約5分

マイコン装置間をデータ接続する

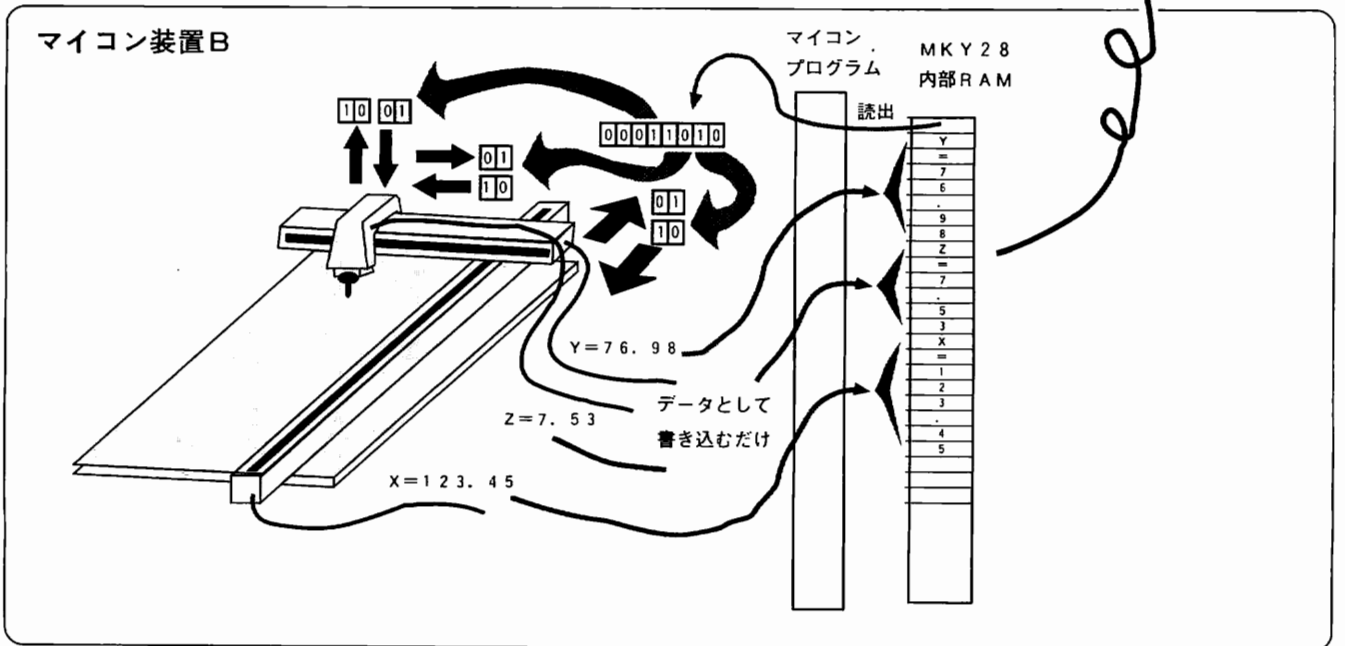
MKY28は、メモリーどうしをそのまま連結するICです。通信制御などの、わずらわしい操作は、一切必要ありません。しかも、高速で確実、簡単なのが特徴です。



MKY28内部のESP-RAMは、データを共通にする
(アドレス位置に、双方で約束を持たせて運用する)

μsec.オーダーのレスポンス
しかもCRC検定を含む、
厳格なプロトコルを保有

伝送には、送り、受け、
シグナルグラウンドの
3信号のみで、ケーブル1本



- プログラム制作やデバックも、メモリー対象なので直ぐに終わってしまいます。
(開発時間を短縮し、システムの開発コストを大幅に縮小できます。)
- 自動改札や券売機、医療機器や印刷機械など、あらゆる分野で利用されています。

■開発・製造

株式会社 ステップテクニカ

〒358-0011 埼玉県入間市下藤沢757-3
TEL 042-964-8804
FAX 042-964-7653

<http://www.steptecnica.com>

「MKY28 ユーザーズマニュアル」

発行年月日 平成14年11月 第4版

