



STEP
TECHNICA

CUnet
CUnet 専用 I/O-IC MKY46

ユーザーズマニュアル

ご注意

1. 本ガイドに記載された内容は、将来予告なしに変更する場合があります。本製品をご使用になる際には、本ガイドが最新の版数であるかをご確認ください。
2. 本ガイドにおいて記載されている説明や回路例などの技術情報は、お客様が用途に応じて本製品を適切にご利用をいただくための参考資料です。実際に本製品をご使用になる際には、基板上における本製品の周辺回路条件や環境を考慮の上、お客様の責任においてシステム全体を十分に評価し、お客様の目的に適合するようシステムを設計してください。当社は、お客様のシステムと本製品との適合可否に対する責任を負いません。
3. 本ガイドに記載された情報、製品および回路等の使用に起因する損害または特許権その他権利の侵害に関して、当社は一切その責任を負いません。
4. 本製品および本ガイドの情報や回路などをご使用になる際、当社は第三者の工業所有権、知的所有権およびその他権利に対する保証または実施権を許諾致しません。
5. 本製品は、人命に関わる装置用としては開発されておりません。人命に関わる用途への採用をご検討の際は、当社までご相談ください。
6. 本ガイドの一部または全部を、当社に無断で転載および複製することを禁じます。

はじめに

本マニュアルは、CUnet 専用 I/O-IC の一品種である MKY46 について記述します。

MKY46 の利用および本マニュアルの理解に先駆けて、“CUnet 導入ガイド”を必ずお読みください。

●対象読者

- ・ CUnet を初めて構築する方
- ・ CUnet を構築するために、弊社の各種 IC を初めてご利用になる方

●読者が必要とする知識

- ・ ネットワーク技術に関する標準的な知識
- ・ 半導体製品（特にマイクロコントローラおよびメモリ）に関する標準的な知識

●関連マニュアル

- ・ CUnet 導入ガイド
- ・ CUnet テクニカルガイド

【注意事項】

- ・ 本書において記載されている一部の用語は、弊社の Web および営業用ツール（総合カタログ等）において記載されている用語とは異なっています。営業用ツールにおいては、様々な業界において弊社製品をご理解いただけるよう、一般的用語を用いています。

HLS ファミリーおよび CUnet ファミリーに関する専門知識は、技術ドキュメント（マニュアル等）を基にご理解ください。

目 次

第 1 章	MKY46 の位置付けと特徴	
1.1	MKY46 におけるステーション (I/O ステーション).....	1-3
1.2	入出力信号の応答速度と品質.....	1-4
1.3	MKY46 の特徴.....	1-4
第 2 章	MKY46 ハードウェア	2-3
第 3 章	MKY46 の動作	
3.1	MKY46 の内部構成	3-3
3.2	内部入力端子データの送信動作.....	3-4
3.3	内部出力端子のデータ更新動作.....	3-4
3.4	汎用入出力外部端子 (Io0 ~ Io31) とマルチセレクタの動作	3-5
3.5	内部出力端子へ出力するデータの選択	3-7
3.6	占有メモリブロックのデータ構成	3-8
3.7	フェーズ遷移への対応	3-9
3.7.1	ランフェーズの動作.....	3-9
3.7.2	コールフェーズの動作.....	3-10
3.7.3	ブレークフェーズの動作.....	3-10
3.7.4	リサイズへの対応	3-11
3.7.5	ネットワーク停止と再起動.....	3-11
3.8	CUent のサイクルタイム	3-12
3.9	フレームオプション対応 [HUB 対応]	3-13
3.9.1	フレームオプション設定についての注意	3-13
3.9.2	HUB の挿入可能段数	3-14
第 4 章	MKY46 の接続	
4.1	駆動クロックの供給.....	4-3
4.2	ハードウェアリセット	4-4
4.3	ネットワークインターフェースの接続	4-5
4.3.1	推奨のネットワーク接続.....	4-5
4.3.2	RXD、TXE、TXD 端子の詳細	4-5
4.4	転送レートの設定.....	4-6
4.5	通信ケーブル長の目安	4-7
4.6	フレームオプションの設定 (#LFS).....	4-7
4.7	ステーションアドレスの設定.....	4-8
4.8	内部出力端子へ出力するデータの選択 (#DOSAO ~ #DOSAO5、#DOHL).....	4-9

4.9	汎用入出力外部端子の入出力設定 (IOS0 ~ IOS2、#IOSWAP)	4-10
4.10	汎用入出力外部端子の論理設定 (INV0 ~ INV7)	4-11
4.11	汎用入出力外部端子の接続	4-12
4.12	入出力タイミング通知信号の利用 (STB1、STB2)	4-12
4.13	汎用入出力外部端子の出力有効性通知信号の利用 (DOA)	4-12
4.14	汎用入出力外部端子の出力有効性を表示する (DONA)	4-13
4.15	汎用入出力外部端子の出力レベルのクリア (#CLRHL、#CLRL)	4-13
4.16	ウォッチドッグタイマによる出力クリア	4-14
4.17	汎用入出力外部端子の入力データ送信状態を表示 (#MON)	4-14
4.18	サイクルの先頭タイミングを通知 (#CYCT 端子)	4-15
4.19	PING 命令の受信を通知 (PING)	4-15
4.20	接続概要図	4-16
4.21	I/O ステーションのみによる構成	4-17
4.21.1	I/O ステーションのみのサイクルタイム	4-18
4.21.2	#IOSWAP 端子の利用	4-18
4.21.3	#LFS (Long Frame Select) 端子の利用 [HUB 対応]	4-19

第5章 定格

5.1	電氣的定格	5-3
5.2	AC 特性	5-4
5.2.1	クロック、リセットタイミング (#RST、Xi)	5-4
5.2.2	転送レートタイミング (TXE、TXD、RXD)	5-5
5.2.3	外部転送レートクロック (EXC) タイミング	5-5
5.2.4	#CYCT 出力タイミング	5-6
5.2.5	STB1、STB2 とデータ入出力端子タイミング	5-6
5.3	パッケージ外形寸法	5-7
5.4	半田実装推奨条件	5-8
5.5	リフロー推奨条件	5-8

付録

付録 1	サイクルタイム一覧	付録 -3
付録 2	内部等価ブロック図	付録 -4
付録 3	MKY46 と IO モードの MKY40 との相違点一覧表	付録 -5

変更履歴

目 次

図 1.1	I/O ステーション.....	1-3
図 1.2	2つのモードを接続した CUnet	1-3
図 2.1	MKY46 の端子配列	2-3
図 2.2	MKY46 の入出力回路形式の端子電気的特性	2-7
図 3.1	MKY46 の内部構成.....	3-3
図 3.2	マルチセレクタ内部構成 (1つの I/O 端子分).....	3-5
図 3.3	内部出力端子へ出力するデータの選択.....	3-7
図 3.4	HUB 挿入可能段数.....	3-14
図 4.1	生成済みの駆動クロック供給	4-3
図 4.2	ハードウェアリセット.....	4-4
図 4.3	推奨のネットワーク接続	4-5
図 4.4	転送レートの設定	4-6
図 4.5	ステーションアドレスの設定例	4-8
図 4.6	#DOSA0-5 と #DOHL の設定例	4-9
図 4.7	汎用入出力外部端子の入出力設定例	4-10
図 4.8	汎用入出力外部端子の論理設定例.....	4-11
図 4.9	DONA 端子への LED 接続例	4-13
図 4.10	ウォッチドッグ出力のクリア例	4-14
図 4.11	#MON 端子への LED 接続例	4-14
図 4.12	各端子の設定と接続の概念.....	4-16
図 4.13	I/O ステーションのみによって構成する CUnet.....	4-17
図 4.14	複数の I/O 信号を 1本の通信ケーブルによって接続可能なシステムの概念	4-17
図 4.15	#IOSWAP 端子を利用する場合の概念	4-18

表 目 次

表 2-1	MKY46 の端子機能	2-4
表 2-2	MKY46 の電氣的定格	2-6
表 3-1	INV0 ~ INV7 に対応する汎用入出力外部端子	3-5
表 3-2	汎用入出力外部端子の入出力と接続先	3-6
表 3-3	占有 MB (メモリブロック) のデータ構成	3-8
表 4-1	ケーブル長の目安	4-7
表 4-2	FS=63 のサイクルタイム	4-18
表 4-3	フレームオプションが設定された FS=63 のサイクルタイム	4-19
表 5-1	絶対最大定格	5-3
表 5-2	電氣的定格	5-3
表 5-3	AC 特性測定条件	5-4

第 1 章 MKY46 の位置付けと特徴

本章は、CUnet における MKY46 の位置付けと特徴について記述します。

1.1 MKY46 におけるステーション (I/O ステーション)	1-3
1.2 入出力信号の応答速度と品質	1-4
1.3 MKY46 の特徴	1-4

第1章 MKY46 の位置付けと特徴

本章は、CUNetにおけるMKY46の位置付けと特徴について記述します。

MKY46は、完全なハードワイヤロジックによってCUNetプロトコルを搭載し、かつCMOSテクノロジーを採用したTQFP-100ピンのCUNet専用I/O-ICです。

MKY46は、先にリリースされたMKY40のIOモードとの互換動作を実現するCUNet専用I/O-ICです。

このことから、CUNetシステムにおいて、MKY46を搭載した“CUNetステーション”を、“I/Oステーション”と呼びます。

1.1 MKY46におけるステーション (I/Oステーション)

MKY46は、ネットワークインターフェース(ネットワークI/F)をネットワークへ接続することにより、MKY46の汎用入出力外部端子の信号(I/O信号)を、CUNetシステムのグローバルメモリ(GM:Global Memory)と直結させることが可能なCUNet専用I/O-ICです(図1.1参照)。

図1.2に示すCUNetシステムは、2つのMEMステーションと2つのI/Oステーションから構成されています。各MEMステーションには、グローバルメモリへアクセス可能なMKY43(MEMモード)等と、ユーザCPUが搭載されています。各I/Oステーションには、MKY46(CUNet専用I/O-IC)が搭載されています。このシステムにおいて、I/Oステーションの入力ポートの状態を、全てのユーザCPUがグローバルメモリ(GM:Global Memory)から読み出すことが可能です。またユーザCPUがI/Oステーションの出力ポートの状態を設定することも可能です。

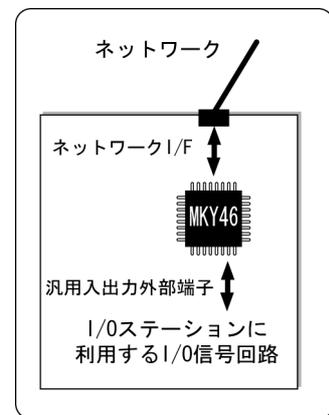


図1.1 I/Oステーション

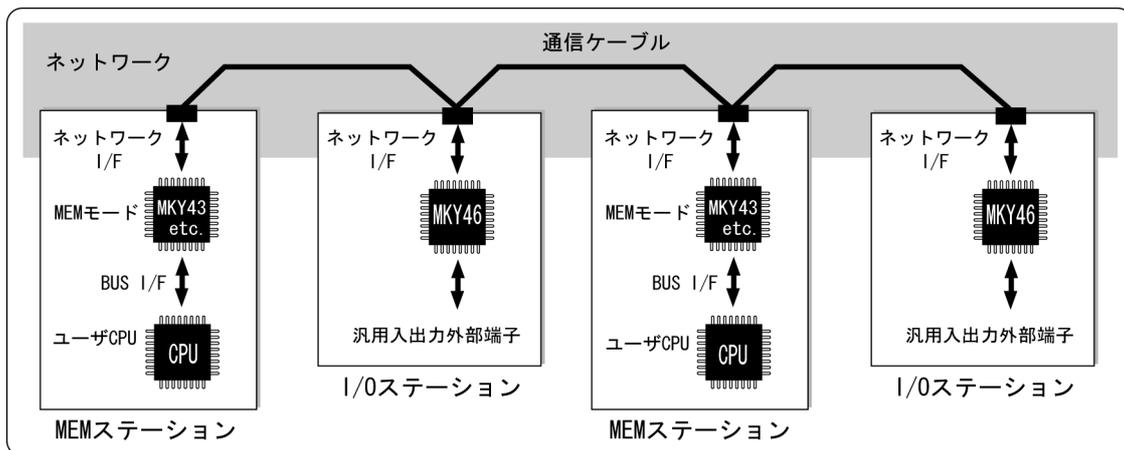


図1.2 2つのモードを接続したCUNet

1.2 入出力信号の応答速度と品質

MKY46 が接続された CUnet システムが正常に稼動している状態においては、MKY46 の汎用入出力端子の入力端子へ接続された信号が、CUnet プロトコルによって CUnet の 1 サイクル毎に全ての CUnet ステーションへ複写 (Copy) されます。また、MKY46 の汎用入出力端子の出力端子の状態は、指定した別の CUnet ステーションから 1 サイクル毎の複写 (Copy) データが届く毎に更新されます。

ネットワークに接続された別の CUnet ステーションは、MKY46 の汎用入出力端子の入出力信号を、CUnet の 1 サイクル時間を最小単位として参照および制御することが可能です。したがって、MKY46 の汎用入出力端子の信号応答速度は、CUnet のサイクルタイムと同じです。

CUnet のサイクルタイムは、2 つのステーションによって構築されたネットワークの場合であれば $102\mu\text{s}$ (12Mbps 時) であり、30 個のステーションによって構築されている場合であっても 1ms 以内 (12Mbps 時) であり、非常に高速です。しかも、CUnet のサイクルタイムは、算術式によって求めることができ、その値は常に一定です。さらに、CUnet ステーション間において複写 (Copy) されるデータは、CUnet プロトコルによって厳格に管理されており、その品質も保証されています。このため、MKY46 の汎用入出力端子の入出力信号は、各種装置やシステムを制御する信号として利用できます。



参考

CUnet のサイクルタイムに関する詳細については、“CUnet 導入ガイド”と、本書の“3.8 CUnet のサイクルタイム”と“付録 1 サイクルタイム一覧”を参照してください。また、データの品質保証についての詳細は、“CUnet 導入ガイド”を参照してください。

1.3 MKY46 の特徴

MKY46 は、先にリリースされた MKY40 の IO モードと同様の、以下の特徴を備えています。

- ① 最大 64 の CUnet ステーションまで接続できます。
- ② IO モードの MKY46 は、グローバルメモリ (GM: Global Memory) 内の 1 つのメモリブロック (8 バイト) を占有します。
- ③ 標準の転送レートは、12Mbps / 6Mbps / 3Mbps です。
- ④ 32 本の汎用入出力外部端子を備えており、4 ビット毎に、“入力”として利用するか“出力”として利用するかを選択できます。また端子のレベルとデータ間の論理を反転させる設定もできます。
- ⑤ 各種のタイミング出力用および LED 表示用の端子を備えており、ユーザアプリケーションによる拡張や応用を容易にします。
- ⑥ I/O ステーションのみによっても、CUnet を構成させることができます。
- ⑦ 汎用入出力外部端子によって扱われる I/O 情報は、MKY46 に搭載されている CUnet プロトコルによってデータ化けなどが生じないことが保証されています。



参考

- ① MKY46 と MKY40 の IO モードとの相違点については、“付録 3 MKY46 と IO モードの MKY40 との相違点一覧表”を参照してください。“付録 3 MKY46 と IO モードの MKY40 との相違点一覧表”は、IO モードの MKY40 用に製作した基板へ MKY46 の搭載が可能であるかなどの判断に役立ちます。
- ② MKY46 はマイクロコントローラを搭載していません。このため、プログラム暴走などの心配がありません。

第2章 MKY46 ハードウェア

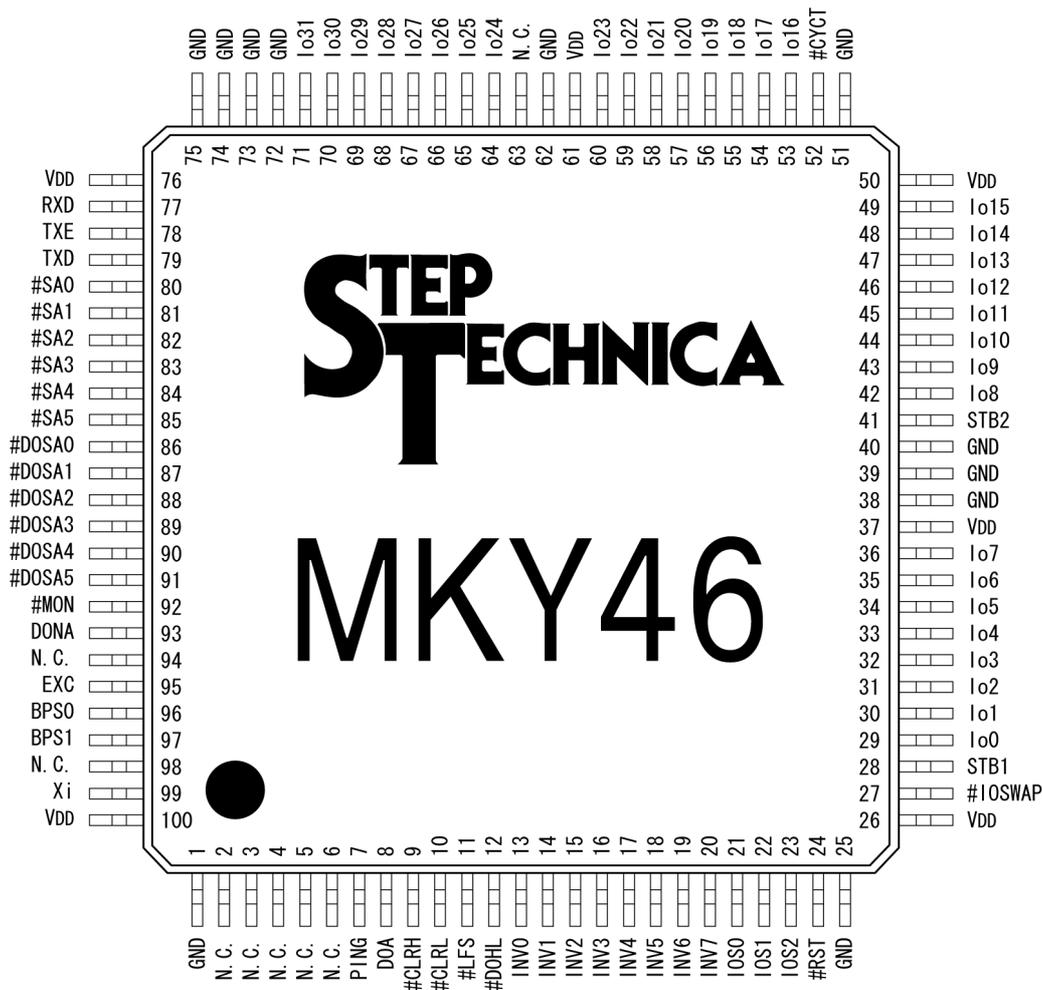
本章は、MKY46 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

第2章 MKY46 ハードウェア

本章は、MKY46 の端子配列や端子機能および入出力回路形式といったハードウェアについて記述します。

MKY46 の端子配列を、図 2.1 に示します。

MKY46 (100ピン、TQFP)



N.C. = No connect

注記：先頭に“#”が付いている端子は、負論理（Loアクティブ）を示します。

図2.1 MKY46の端子配列

表 2-1 に、MKY46 の端子機能を示します。

表 2-1 MKY46 の端子機能

端子名	端子番号	論理	I/O	機 能
PING	7	正	O	他の CUNet ステーションから PING 命令を受信した時に Hi レベルになる、PING 機能の出力端子です。本端子はハードウェアリセットがアクティブになると、他の CUNet ステーションからの PING 命令に優先して Lo レベルを維持します。
DOA	8	正	O	IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子のデータが、所定時間以内に更新されていることを通知する出力端子です。本端子は、所定時間以内に更新されている場合に出力を Hi レベルに維持します。本端子はハードウェアリセットがアクティブになると、Lo レベルを維持します。
#CLRH	9	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io16 ~ Io31 端子を、特定のレベルへ強制する入力端子です。本端子の入力が Lo レベルの時、“出力”に設定されている Io16 ~ Io31 端子の最終段ラッチが“0”へクリアされます。これにより“出力”に設定されている Io16 ~ Io31 端子は、INV4 ~ 7 端子の設定に応じて Hi レベルまたは Lo レベルを出力します。
#CLRL	10	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io15 端子を、特定のレベルに強制する入力端子です。本端子の入力が Lo レベルの時、“出力”に設定されている Io0 ~ Io15 端子の最終段ラッチが“0”にクリアされます。これにより“出力”に設定されている Io0 ~ Io15 端子は、INV0 ~ 3 端子の設定に応じて Hi レベルまたは Lo レベルを出力します。
#LFS	11	負	I	本端子は、MKY46 をフレームオプション設定する入力端子です。本端子は通常、Hi レベルに固定してください。IO ステーションのみによって CUNet を構築する場合であって、かつ本 MKY46 をロングフレーム (LF) に設定する場合に限り、本端子は Lo レベルに固定してください。
#DOHL	12	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子へ出力する対象のデータを、#DOSA0 ~ #DOSA5 端子によって選択されたメモリブロック (MB) の上位ビット (ビット 32 ~ 63) を選択するか、下位ビット (ビット 0 ~ 31) を選択するかを設定する入力端子です。本端子が Hi レベルの時に下位ビットが、Lo レベルの時に上位ビットが選択されます。
INV0 ~ INV7	13 ~ 20	正	I	Io0 ~ Io31 端子の内部論理と端子レベルの概念を反転設定する入力端子です。本端子が Lo レベルの時は、内部論理が“1”の Io0 ~ Io31 端子は Hi レベルです。本端子が Hi レベルの時は、内部論理が“0”の Io0 ~ Io31 端子は Hi レベルです。
IOS0 ~ IOS2	21 ~ 23	正	I	Io0 ~ Io31 端子を“入力”あるいは“出力”に設定する入力端子です。本端子に入力する Hi レベルと Lo レベルの組み合わせによって、Io0 ~ Io31 端子の“入力”あるいは“出力”を設定します。
#RST	24	負	I	MKY46 のハードウェアリセット入力端子です。電源“ON”直後から、あるいはユーザが意図的にハードウェアをリセットする時に、Xi 端子の周波数の 10 クロック以上 Lo レベルを維持してください。通常は Hi レベルを維持してください。
#IOSWAP	27	負	I	IOS0 ~ IOS2 端子の設定によって決定される Io0 ~ Io31 端子の“入力”あるいは“出力”の状態を、反転させる設定の入力端子です。本端子が Hi レベルの時は、反転されません。本端子が Lo レベルの時は、IOS0 ~ IOS2 端子の設定によって決定される Io0 ~ Io31 端子の“入力”が“出力”へ、“出力”が“入力”へ反転します。
STB1	28	正	O	IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子のデータが更新する時期を通知する出力端子です。本端子は通常 Lo レベルを出力し、データ更新時期に所定時間の Hi レベルを出力します。
Io0 ~ Io7 Io8 ~ Io15 Io16 ~ Io23 Io24 ~ Io31	29 ~ 36 42 ~ 49 53 ~ 60 64 ~ 71	正 / 負	I/O	32 ビットの汎用入出力外部端子です。正論理または負論理は、INV0 ~ INV7 端子の設定に依存します。
STB2	41	正	O	IOS0 ~ IOS2 端子の設定によって“入力”に設定されている Io0 ~ Io31 端子のデータを内部へライトする時期を通知する出力端子です。本端子は通常 Lo レベルを出力し、データを内部へライトする時期に所定時間の Hi レベルを出力します。

(つづく)

表 2-1 MKY46 の端子機能

(つづき)

端子名	端子番号	論理	I/O	機 能
#CYCT	52	負	O	サイクルタイムの先頭時期に、所定時間 Lo レベルを出力する、タイミング通知出力端子です。
RXD	77	正	I	パケットを入力する端子です。レシーバの出力端子へ接続してください。
TXE	78	正	O	送信するパケットを出力する期間中、Hi レベルを出力する出力端子です。ドライバのイネーブル入力端子へ接続してください。
TXD	79	正	O	送信するパケットを出力するを出力端子です。ドライバのドライブ入力端子へ接続してください。
#SA0 ~ #SA5	80 ~ 85	負	I	ステーションアドレス (SA) を設定する入力端子です。MKY46 は、ハードウェアリセットアクティブ時に、本端子の反転状態を内部回路へライトします。
#DOSAO ~ #DOSAA5	86 ~ 91	負	I	本端子は、IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子へ出力する対象のメモリブロック (MB) を選択する入力端子です。選択する MB 番号 (00H ~ 3FH) を、6 ビット負論理のバイナリ値 (3FH ~ 00H) によって設定してください。
#MON	92	負	O	他の CUNet ステーションと安定的にリンクが成立している間 Lo レベルを出力する、LED 点灯用の出力端子です。
DONA	93	正	O	IOS0 ~ IOS2 端子の設定によって“出力”に設定されている Io0 ~ Io31 端子のデータが、所定時間以内に更新されていないことを通知する出力端子です。本端子は、所定時間以内に更新されていない場合、出力を Hi レベルに維持します (本端子は、DOA 端子の反転出力です。DOA 端子が Hi レベルの時に本端子は Lo レベルを、DOA 端子が Lo レベルの時に本端子は Hi レベルを出力します)。本端子はハードウェアリセットがアクティブになると、Hi レベルを維持します。
EXC	95	正	I	転送レートが外部クロックに依存する際に使用するクロック入力端子です。転送レートは、供給周波数の“1/4”です。供給可能な周波数は 12.5MHz (最大) です。本端子を使用しない時は、Hi レベルまたは Lo レベルに固定してください。
BPS0 BPS1	96 97	正	I	転送レートを設定する入力端子です。MKY46 は、ハードウェアリセットアクティブ時に、本端子の状態を内部回路へライトします。
Xi	99	正	I	生成済みのクロックを接続する端子です。
VDD	26、37 50、61 76、100	---	---	電源端子。5.0V 供給。
GND	1、25 38 ~ 40 51、62 72 ~ 75	---	---	電源端子。0V へ接続。
N.C.	2、6、63、 94、98	---	O	本端子は、機能を持たない未接続端子です。内部回路へは接続されていません。
N.C.	3 ~ 5	---	O	本端子は、機能を持たない出力端子です。必ず開放にしてください。

注記：先頭に“#”が付いている端子は、負論理 (Lo アクティブ) を示します。

表 2-2 に、MKY46 の電氣的定格を示します。

表 2-2 MKY46 の電氣的定格

(# マークは負論理)

No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type	No	I/O	名称	Type
1	--	GND	--	26	--	V _{DD}	--	51	--	GND	--	76	--	V _{DD}	--
2	--	N.C.	--	27	I	#IOSWAP	B	52	O	#CYCT	E	77	I	RXD	D
3	O	N.C.	E	28	O	STB1	E	53	I/O	Io16	G	78	O	TXE	F
4	O	N.C.	E	29	I/O	Io0	G	54	I/O	Io17	G	79	O	TXD	F
5	O	N.C.	E	30	I/O	Io1	G	55	I/O	Io18	G	80	I	#SA0	C
6	--	N.C.	--	31	I/O	Io2	G	56	I/O	Io19	G	81	I	#SA1	C
7	O	PING	E	32	I/O	Io3	G	57	I/O	Io20	G	82	I	#SA2	C
8	O	DOA	E	33	I/O	Io4	G	58	I/O	Io21	G	83	I	#SA3	C
9	I	#CLR _H	C	34	I/O	Io5	G	59	I/O	Io22	G	84	I	#SA4	C
10	I	#CLR _L	C	35	I/O	Io6	G	60	I/O	Io23	G	85	I	#SA5	C
11	I	#LFS	B	36	I/O	Io7	G	61	--	V _{DD}	--	86	I	#DOSA0	C
12	I	#DO _H L	B	37	--	V _{DD}	--	62	--	GND	--	87	I	#DOSA1	C
13	I	INV0	B	38	--	GND	--	63	--	N.C.	--	88	I	#DOSA2	C
14	I	INV1	B	39	--	GND	--	64	I/O	Io24	G	89	I	#DOSA3	C
15	I	INV2	B	40	I	GND	B	65	I/O	Io25	G	90	I	#DOSA4	C
16	I	INV3	B	41	O	STB2	E	66	I/O	Io26	G	91	I	#DOSA5	C
17	I	INV4	B	42	I/O	Io8	G	67	I/O	Io27	G	92	O	#MON	F
18	I	INV5	B	43	I/O	Io9	G	68	I/O	Io28	G	93	O	DONA	F
19	I	INV6	B	44	I/O	Io10	G	69	I/O	Io29	G	94	--	N.C.	--
20	I	INV7	B	45	I/O	Io11	G	70	I/O	Io30	G	95	I	EXC	D
21	I	IOS0	B	46	I/O	Io12	G	71	I/O	Io31	G	96	I	BPS0	C
22	I	IOS1	B	47	I/O	Io13	G	72	--	GND	--	97	I	BPS1	C
23	I	IOS2	B	48	I/O	Io14	G	73	--	GND	--	98	--	N.C.	--
24	I	#RST	D	49	I/O	Io15	G	74	--	GND	--	99	I	Xi	B
25	--	GND	--	50	--	V _{DD}	--	75	--	GND	--	100	--	V _{DD}	--

図 2.2 に、MKY46 の端子の電气的特性を示します。

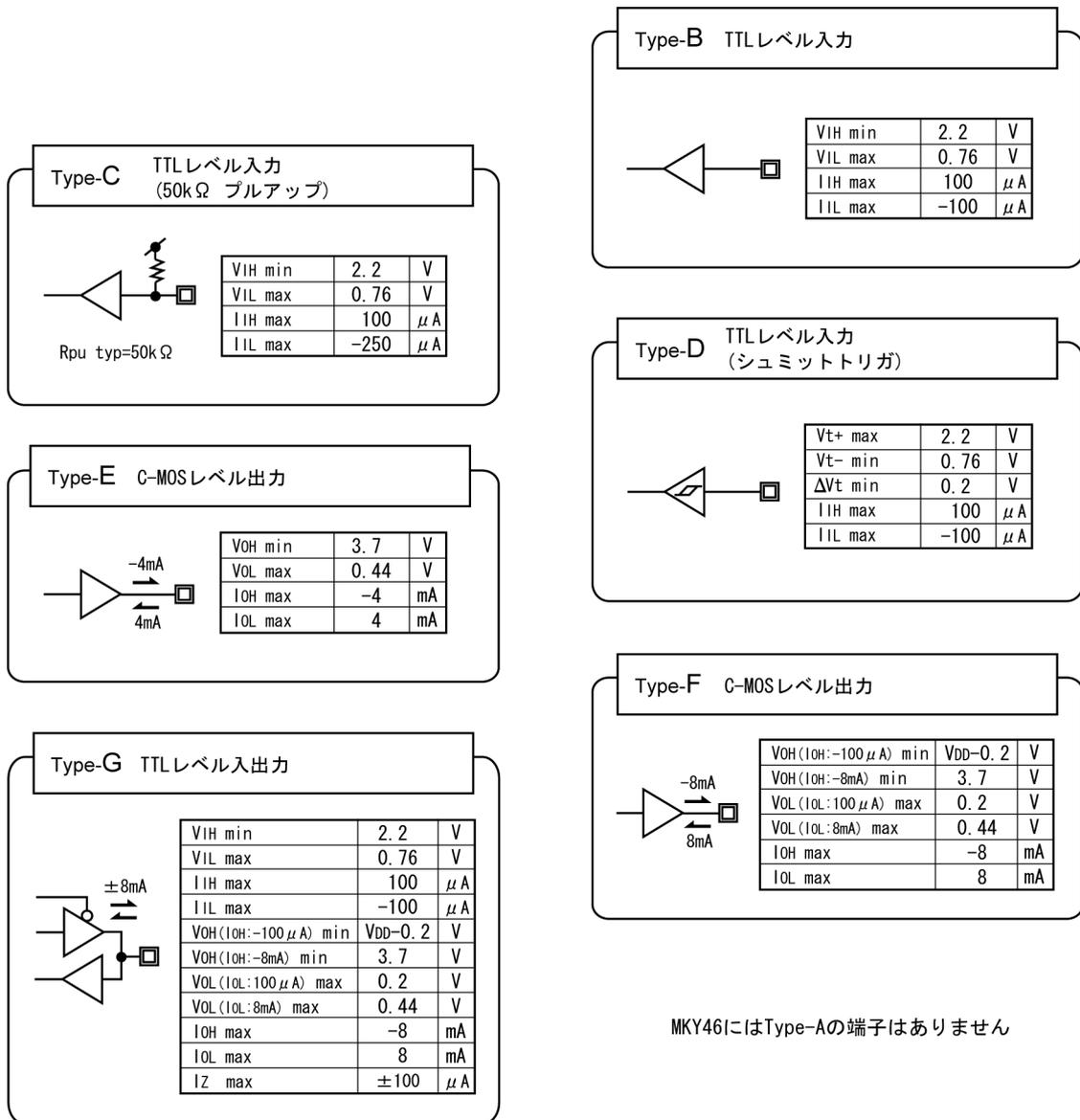


図2.2 MKY46の入出力回路形式の端子電气的特性

第3章 MKY46 の動作

本章は MKY46 の動作について記述します。本章の理解に先駆けて、“CUent 導入ガイド” および “第1章 MKY46 の位置付けと特徴” を必ずお読みください。

3.1	MKY46 の内部構成.....	3-3
3.2	内部入力端子データの送信動作	3-4
3.3	内部出力端子のデータ更新動作	3-4
3.4	汎用入出力外部端子 (Io0 ~ Io31) とマルチセレクタの動作.....	3-5
3.5	内部出力端子へ出力するデータの選択	3-7
3.6	占有メモリブロックのデータ構成.....	3-8
3.7	フェーズ遷移への対応.....	3-9
3.8	CUent のサイクルタイム	3-12
3.9	フレームオプション対応 [HUB 対応].....	3-13

第3章 MKY46 の動作

本章は、MKY46 の動作について記述します。本章の理解に先駆けて、“CUnet 導入ガイド” および“第1章 MKY46 の位置付けと特徴” を必ずお読みください。

MKY46 は、#SA0～#SA5 端子へユーザが入力する Hi または Lo レベルの組合せによって SA (Station Address) を設定することが義務付けられており、SA に対応する 1 つの MB (メモリブロック) を占有します。

3.1 MKY46 の内部構成

MKY46 は、CUnet 専用 IC コアの他に、32 ビットの内部入力端子 (Di0～Di31) および 32 ビットの内部出力端子 (Do0～Do31) を装備しています。また、32 ビットの内部入力端子 (Di0～Di31) および 32 ビットの内部出力端子 (Do0～Do31) は、マルチセレクタによって汎用入出力外部端子 (Io0～Io31) と接続されています (図 3.1 参照)。

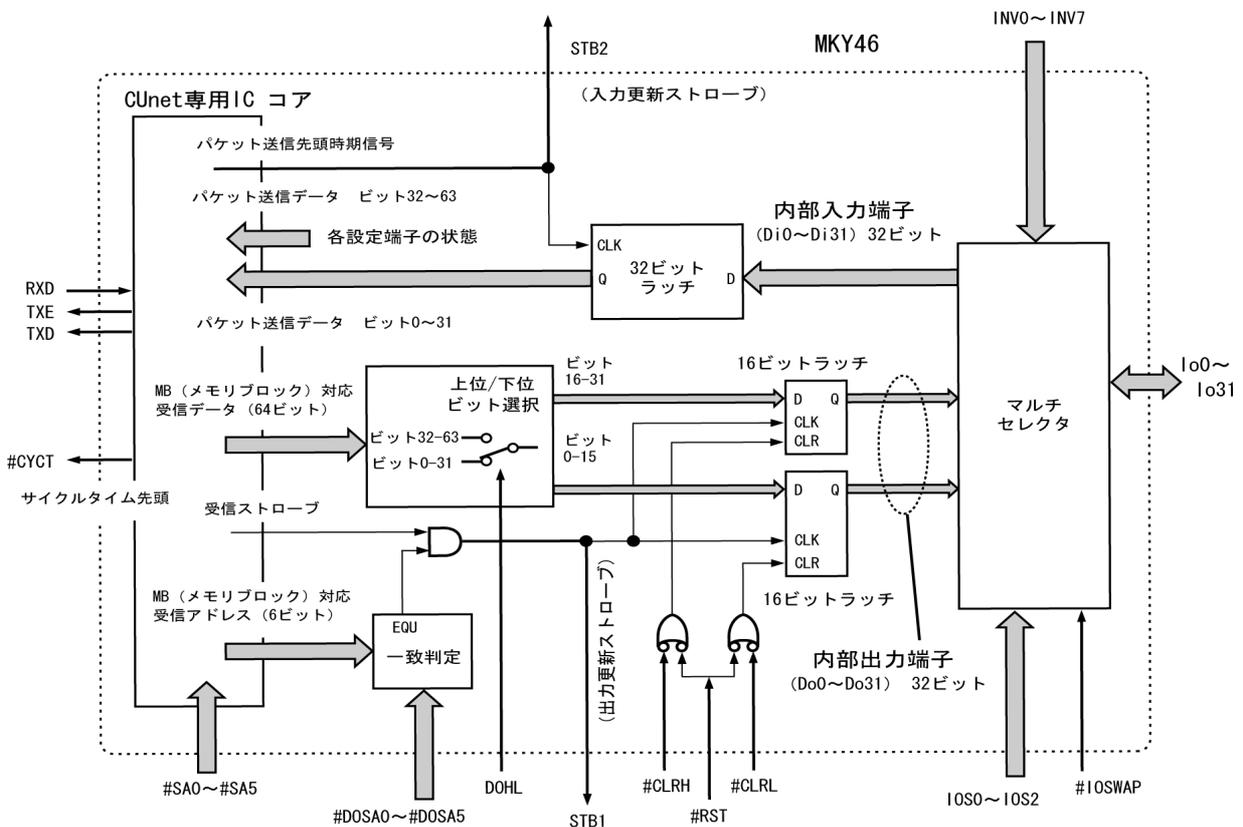


図 3.1 MKY46 の内部構成



参考

“付録 2 内部等価ブロック図” に、回路図形式の図を示します。

3.2 内部入力端子データの送信動作

MKY46 は、以下の動作によって内部入力端子 (Di0 ~ Di31) のデータを他の CUnet ステーションのグローバルメモリ (GM : Global Memory) へ送信します (図 3.1 参照)。

- ① MKY46 は、SA (Station Address) によって決定するパケット送信時期の先頭時点において、STB2 (入力更新ストロープ) を発生します。
- ② MKY46 は、STB2 信号によって、内部入力端子 (Di0 ~ Di31) のデータをサンプルし、サンプリングされたデータは占有するメモリブロックの下位 32 ビットへ配置されます。
- ③ 占有する MB (メモリブロック) の上位 32 ビットのデータには、各設定端子の状態が埋め込まれます。
- ④ CUnet プロトコルによって、全ての CUnet ステーションのグローバルメモリへ MKY46 が占有する MB (メモリブロック) の最新データ (上記②と③のデータ) が送信されます。

なお、STB2 信号は、外部端子へも出力されているため、ユーザが入力のサンプル時期を認識することが可能です。

3.3 内部出力端子のデータ更新動作

MKY46 は、以下の動作によって、他の CUnet ステーションが占有している MB (メモリブロック) のデータを内部出力端子 (Do0 ~ Do31) のデータとして更新します (図 3.1 参照)。

- ① MKY46 は、他の CUnet ステーションから送信されたパケットを受信して MB (メモリブロック) のデータを更新する際に、受信ストロープ信号を発生します。
- ② この際に、受信した MB (メモリブロック) の更新用受信データ (64 ビット) は、#DOHL 端子へ入力するレベル (Hi または Lo) によって上位 32 ビットあるいは下位 32 ビットのいずれかが 2 つの 16 ビットラッチへ入力されます。
- ③ #DOSAO ~ #DOSA5 端子へユーザが入力する Hi または Lo レベルの組合せによって MB (メモリブロック) が選択されています。受信したパケットがこの MB (メモリブロック) のデータである場合、受信ストロープ信号から STB1 (出力更新ストロープ) 信号を発生します。この STB1 信号によって 2 つの 16 ビットラッチを駆動し、内部出力端子 (Do0 ~ Do31) のデータを更新します。
- ④ 内部出力端子 (Do0 ~ Do31) のデータの下位 16 ビットは、#CLRL 端子へユーザが Lo レベルを入力することにより、上記③の動作に優先して、Lo レベルへ強制クリアすることができます。
- ⑤ 内部出力端子 (Do0 ~ Do31) のデータの上位 16 ビットは、#CLRHL 端子へユーザが Lo レベルを入力することにより、上記③の動作に優先して、Lo レベルへ強制クリアすることができます。
- ⑥ 内部出力端子 (Do0 ~ Do31) のデータは、ハードウェアリセットがアクティブになると、上記③の動作に優先して、Lo レベルへクリアされます。

なお、STB1 信号は、外部端子へも出力されているため、ユーザが出力の更新時期を認識することが可能です。

3.4 汎用入出力外部端子 (Io0 ~ Io31) とマルチセレクタの動作

汎用入出力外部端子 (Io0 ~ Io31) は、32 ビットの内部入力端子 (Di0 ~ Di31) あるいは 32 ビットの内部出力端子 (Do0 ~ Do31) へマルチセレクタによって接続されます (図 3.1 参照)。

マルチセレクタは、IOS0 ~ IOS2 端子、#IOSWAP 端子、INV0 ~ INV7 端子へユーザが入力する Hi または Lo レベルの組合せによって機能します。図 3.2 に、1 本の Io 端子に対応するセレクタ内部構成を示します。マルチセレクタは、図 3.2 の構成のセレクタを 32 回路装備しています。

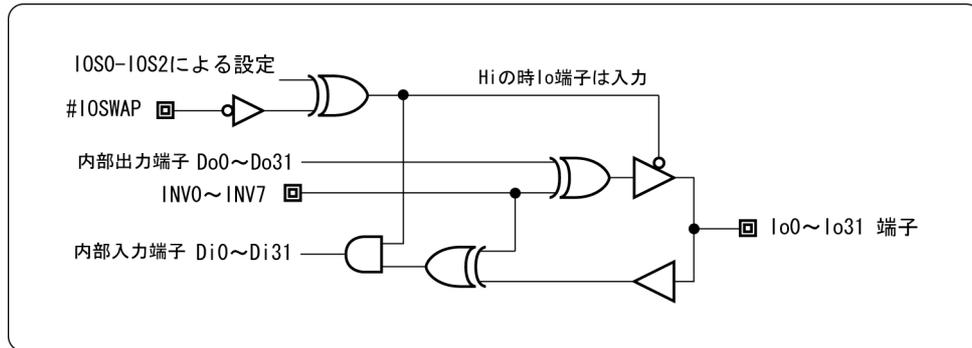


図3.2 マルチセレクタ内部構成 (1つのIo端子分)

IOS0 ~ IOS2 は、汎用入出力外部端子 (Io0 ~ Io31) を“入力”とするか“出力”とするかを選択する入力端子です。#IOSWAP は、IOS0 ~ IOS2 によって決定される入出力を反転させる入力端子です。IOS0 ~ IOS2 および #IOSWAP による入出力の選択を、表 3-2 に示します。

INV0 ~ INV7 は、内部論理と汎用入出力外部端子 (Io0 ~ Io31) レベルの論理の関係を設定する入力端子です。例えば、INV0 端子が Lo レベルの時、Io0 ~ Io3 端子に対応する内部論理“1”が端子の Hi レベルであり、内部論理“0”が端子の Lo レベルです。INV0 端子が Hi レベルの時は、Io0 ~ Io3 端子に対応する内部論理“1”が端子の Lo レベルであり、内部論理“0”が端子の Hi レベルです。

INV0 ~ INV7 に対応する汎用入出力外部端子 (Io0 ~ Io31) を、表 3-1 に示します。

表 3-1 INV0 ~ INV7 に対応する汎用入出力外部端子

INV 端子名	対応する汎用入出力外部端子
INV0	Io0 ~ Io3
INV1	Io4 ~ Io7
INV2	Io8 ~ Io11
INV3	Io12 ~ Io15
INV4	Io16 ~ Io19
INV5	Io20 ~ Io23
INV6	Io24 ~ Io27
INV7	Io28 ~ Io31

表 3-2 汎用入出力外部端子の入出力と接続先

#IOSWAP 端子が Hi レベルの時

#IOSWAP 端子が Lo レベルの時

端子名	設定レベル							
IOS2	Lo	Lo	Lo	Lo	Hi	Hi	Hi	Hi
IOS1	Lo	Lo	Hi	Hi	Lo	Lo	Hi	Hi
IOS0	Lo	Hi	Lo	Hi	Lo	Hi	Lo	Hi
端子名	入出力							
lo0	Di0	Di0	Di0	Di0	Di0	Di0	Di0	Do0
lo1	Di1	Di1	Di1	Di1	Di1	Di1	Di1	Do1
lo2	Di2	Di2	Di2	Di2	Di2	Di2	Di2	Do2
lo3	Di3	Di3	Di3	Di3	Di3	Di3	Di3	Do3
lo4	Di4	Di4	Di4	Di4	Di4	Di4	Di4	Do4
lo5	Di5	Di5	Di5	Di5	Di5	Di5	Di5	Do5
lo6	Di6	Di6	Di6	Di6	Di6	Di6	Di6	Do6
lo7	Di7	Di7	Di7	Di7	Di7	Di7	Di7	Do7
lo8	Di8	Di8	Di8	Di8	Di8	Di8	Do8	Do8
lo9	Di9	Di9	Di9	Di9	Di9	Di9	Do9	Do9
lo19	Di10	Di10	Di10	Di10	Di10	Di10	Do10	Do10
lo11	Di11	Di11	Di11	Di11	Di11	Di11	Do11	Do11
lo12	Di12	Di12	Di12	Di12	Di12	Do12	Do12	Do12
lo13	Di13	Di13	Di13	Di13	Di13	Do13	Do13	Do13
lo14	Di14	Di14	Di14	Di14	Di14	Do14	Do14	Do14
lo15	Di15	Di15	Di15	Di15	Di15	Do15	Do15	Do15
lo16	Di16	Di16	Di16	Di16	Do16	Do16	Do16	Do16
lo17	Di17	Di17	Di17	Di17	Do17	Do17	Do17	Do17
lo18	Di18	Di18	Di18	Di18	Do18	Do18	Do18	Do18
lo19	Di19	Di19	Di19	Di19	Do19	Do19	Do19	Do19
lo20	Di20	Di20	Di20	Do20	Do20	Do20	Do20	Do20
lo21	Di21	Di21	Di21	Do21	Do21	Do21	Do21	Do21
lo22	Di22	Di22	Di22	Do22	Do22	Do22	Do22	Do22
lo23	Di23	Di23	Di23	Do23	Do23	Do23	Do23	Do23
lo24	Di24	Di24	Do24	Do24	Do24	Do24	Do24	Do24
lo25	Di25	Di25	Do25	Do25	Do25	Do25	Do25	Do25
lo26	Di26	Di26	Do26	Do26	Do26	Do26	Do26	Do26
lo27	Di27	Di27	Do27	Do27	Do27	Do27	Do27	Do27
lo28	Di28	Do28						
lo29	Di29	Do29						
lo30	Di30	Do30						
lo31	Di31	Do31						

端子名	設定レベル							
IOS2	Lo	Lo	Lo	Lo	Hi	Hi	Hi	Hi
IOS1	Lo	Lo	Hi	Hi	Lo	Lo	Hi	Hi
IOS0	Lo	Hi	Lo	Hi	Lo	Hi	Lo	Hi
端子名	入出力							
lo0	Do0	Do0	Do0	Do0	Do0	Do0	Do0	Di0
lo1	Do1	Do1	Do1	Do1	Do1	Do1	Do1	Di1
lo2	Do2	Do2	Do2	Do2	Do2	Do2	Do2	Di2
lo3	Do3	Do3	Do3	Do3	Do3	Do3	Do3	Di3
lo4	Do4	Do4	Do4	Do4	Do4	Do4	Do4	Di4
lo5	Do5	Do5	Do5	Do5	Do5	Do5	Do5	Di5
lo6	Do6	Do6	Do6	Do6	Do6	Do6	Do6	Di6
lo7	Do7	Do7	Do7	Do7	Do7	Do7	Do7	Di7
lo8	Do8	Do8	Do8	Do8	Do8	Do8	Di8	Di8
lo9	Do9	Do9	Do9	Do9	Do9	Do9	Di9	Di9
lo19	Do10	Do10	Do10	Do10	Do10	Do10	Di10	Di10
lo11	Do11	Do11	Do11	Do11	Do11	Do11	Di11	Di11
lo12	Do12	Do12	Do12	Do12	Do12	Di12	Di12	Di12
lo13	Do13	Do13	Do13	Do13	Do13	Di13	Di13	Di13
lo14	Do14	Do14	Do14	Do14	Do14	Di14	Di14	Di14
lo15	Do15	Do15	Do15	Do15	Do15	Di15	Di15	Di15
lo16	Do16	Do16	Do16	Do16	Di16	Di16	Di16	Di16
lo17	Do17	Do17	Do17	Do17	Di17	Di17	Di17	Di17
lo18	Do18	Do18	Do18	Do18	Di18	Di18	Di18	Di18
lo19	Do19	Do19	Do19	Do19	Di19	Di19	Di19	Di19
lo20	Do20	Do20	Do20	Di20	Di20	Di20	Di20	Di20
lo21	Do21	Do21	Do21	Di21	Di21	Di21	Di21	Di21
lo22	Do22	Do22	Do22	Di22	Di22	Di22	Di22	Di22
lo23	Do23	Do23	Do23	Di23	Di23	Di23	Di23	Di23
lo24	Do24	Do24	Di24	Di24	Di24	Di24	Di24	Di24
lo25	Do25	Do25	Di25	Di25	Di25	Di25	Di25	Di25
lo26	Do26	Do26	Di26	Di26	Di26	Di26	Di26	Di26
lo27	Do27	Do27	Di27	Di27	Di27	Di27	Di27	Di27
lo28	Do28	Di28						
lo29	Do29	Di29						
lo30	Do30	Di30						
lo31	Do31	Di31						

表の“Di xx”は、“入力”を示します。 表の“Do xx”は、“出力”を示します。

3.5 内部出力端子へ出力するデータの選択

内部出力端子へ出力するデータは、#DOSA0～#DOSA5 端子と #DOHL 端子によって選択してください。図 3.3 に、端子の設定によって選択されるデータの概念を示します。内部出力端子のデータは、#DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションからのパケットを受信した時に更新されます（“3.3 内部出力端子のデータ更新動作” 参照）。

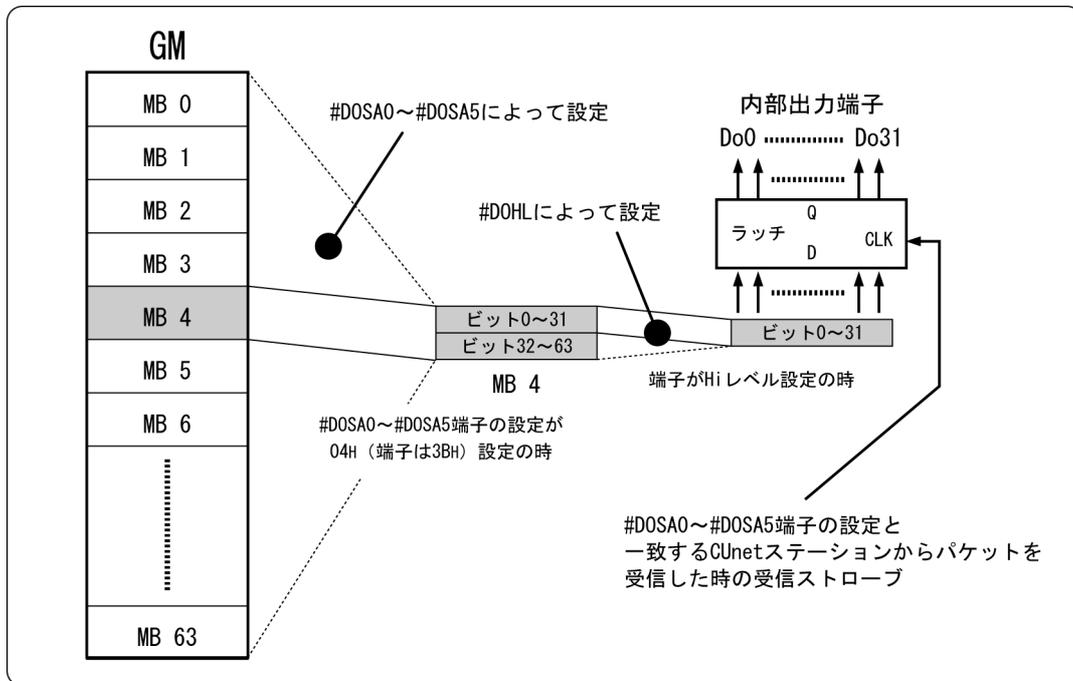


図3.3 内部出力端子へ出力するデータの選択



注意事項

ハードウェアリセット後から、#DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションからのパケットを受信するまでは、内部出力端子 (Do0～Do31) は Lo レベルです。なお #DOSA0～#DOSA5 端子の設定と一致する CUnet ステーションがネットワークへ接続されていない場合は出力は更新されません。

3.6 占有メモリブロックのデータ構成

#SA0 ~ #SA5 端子によって設定された MKY46 が占有する MB (メモリブロック) へ、以下のデータが埋め込まれます (表 3-3 参照)。

- ① ビット 0 ~ 31 : 内部入力端子 (Di0 ~ Di31) のデータ
- ② ビット 32 ~ 34 : IOS0 ~ IOS2 端子の設定
- ③ ビット 35 : #IOSWAP 端子の設定
- ④ ビット 36 ~ 38 : 常に “0”
- ⑤ ビット 39 : #LFS 端子の設定
- ⑥ ビット 40 : #DOHL 端子の設定
- ⑦ ビット 41 ~ 46 : #DOSA0 ~ #DOSA5 端子の設定
- ⑧ ビット 47 : 常に “0”
- ⑨ ビット 48 ~ 55 : INV0 ~ INV7 端子の設定
- ⑩ ビット 56 ~ 63 : 常に “0”

上記①の内部入力端子のデータが格納されるビット 0 ~ 31 は、対応する汎用入出力外部端子 (Io0 ~ Io31) が “入力” となっていない場合 (“出力” に設定されているビット) は、“0” になります (図 3.2 参照)。

上記の③、⑤、⑥、⑦は、負論理の入力端子ですが、反転された正論理の設定状態が MB (メモリブロック) のビットへ埋め込まれます。

例として、ビット 35 は、#IOSWAP 端子が Lo レベルの時に “1”、Hi レベルの時に “0” になります (このことから表 3-3 は、#マークが付記されていません)。

MKY46 が占有する MB (メモリブロック) のデータは、ネットワークへ接続された他の全ての CUnet ステーションへ送信されます。

これにより、ネットワークへ接続された他の全ての CUnet ステーションは、内部入力端子 (Di0 ~ Di31) のデータ以外に、端子の設定状態も認識することができます。

表 3-3 占有 MB (メモリブロック) のデータ構成

ビット15	ビット14	ビット13	ビット12	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
Di15	Di14	Di13	Di12	Di11	Di10	Di9	Di8	Di7	Di6	Di5	Di4	Di3	Di2	Di1	Di0
ビット31	ビット30	ビット29	ビット28	ビット27	ビット26	ビット25	ビット24	ビット23	ビット22	ビット21	ビット20	ビット19	ビット18	ビット17	ビット16
Di31	Di30	Di29	Di28	Di27	Di26	Di25	Di24	Di23	Di22	Di21	Di20	Di19	Di18	Di17	Di16
ビット47	ビット46	ビット45	ビット44	ビット43	ビット42	ビット41	ビット40	ビット39	ビット38	ビット37	ビット36	ビット35	ビット34	ビット33	ビット32
“0”	DOSA5	DOSA4	DOSA3	DOSA2	DOSA1	DOSA0	DOHL	LFS	“0”	“0”	“0”	IOSWAP	IOS2	IOS1	IOS0
ビット63	ビット62	ビット61	ビット60	ビット59	ビット58	ビット57	ビット56	ビット55	ビット54	ビット53	ビット52	ビット51	ビット50	ビット49	ビット48
“0”	“0”	“0”	“0”	“0”	“0”	“0”	“0”	INV7	INV6	INV5	INV4	INV3	INV2	INV1	INV0

3.7 フェーズ遷移への対応

MKY46 は、CUnet プロトコルに定めるスタートフェーズ、コールフェーズ、ランフェーズ、ブレイクフェーズを持ちます。

MKY46 においては、ハードウェアリセットのアクティブが解除されると、すぐにネットワークが起動するため、ユーザシステムによる起動の操作は不要です。

ハードウェアリセットのアクティブが解除されると、ネットワークの起動によるスタートフェーズの2～3サイクル時間の後に、コールフェーズ、ランフェーズ、ブレイクフェーズのいずれかのフェーズへ遷移します。



I/O ステーションは単なる入出力装置として利用されるため、MKY46 がどのフェーズにあるかはユーザシステムに対して明示されません。

3.7.1 ランフェーズの動作

ランフェーズは CUnet の通常の稼動状態です。ネットワークへ接続された他の CUnet ステーションと、定期的にリンクが行われている状態です。

MKY46 は、CUnet プロトコルに定義される“リンク”が3回以上連続して成立した状態をもって、“他の CUnet ステーションとのリンクが安定している”と判定し、#MON 端子へ Lo レベルを出力します。

MKY46 におけるランフェーズ時には、#MON 端子が Lo レベル出力へ遷移した後、内部入力端子 (Di0 ~ Di31) のデータと端子の設定状態をネットワークに送信するために定期的にパケットを送信します。

MKY46 は、リンクしている他の CUnet ステーションの中に #DOSA0 ~ #DOSA5 端子の設定と一致するステーションアドレスの CUnet ステーションが存在する場合に、STB1 端子からパルスを出力し、内部出力端子 (Do0 ~ Do31) のデータを更新します。

これにより I/O ステーションの標準状態として、以下の特徴を得ることができます。

- ① #MON 端子が Lo レベル出力へ遷移します。
- ② DOA 端子が Hi レベル出力へ、DONA 端子が Lo レベル出力へ遷移します。
- ③ STB1 端子からサイクルに同期する定期的なパルスを出力します。
- ④ STB2 端子からサイクルに同期する定期的なパルスを出力します。

#DOSA0 ~ #DOSA5 端子の設定と一致するステーションアドレスの CUnet ステーションが起動していないか、あるいはネットワークへ接続されていない場合は、STB1 端子からパルスは出力されず、内部出力端子 (Do0 ~ Do31) のデータも更新されません。

この場合、I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子が Lo レベル出力へ遷移します。
- ② DOA 端子は Lo レベル、DONA 端子は Hi レベルのままです。
- ③ STB1 端子は、Lo レベル出力のままです (パルスは出力しません)。
- ④ STB2 端子からサイクルに同期する定期的なパルスが出力します。

3.7.2 コールフェーズの動作

コールフェーズは CUnet の接続待ち状態です。ネットワークへ接続されたこの 1 つの I/O ステーションのみが起動されている状態です。

MKY46 におけるコールフェーズは、内部入力端子 (Di0 ~ Di31) のデータと端子の設定状態をネットワークへ送信するためのパケットを送信します。内部出力端子 (Do0 ~ Do31) のデータは、ネットワークから取得されません。

これに伴ない I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子は Lo レベル、DONA 端子は Hi レベルのままです。
- ③ STB1 端子は、Lo レベル出力のままです (パルスは出力しません)。
- ④ STB2 端子からサイクルに同期する定期的なパルスが出力します。

コールフェーズは、他の CUnet ステーションとパケットの送受信ができるまで継続します。他の CUnet ステーションがネットワークを起動してパケットを送受信できる状況になると、MKY46 はランフェーズへ遷移します。

3.7.3 ブレークフェーズの動作

ブレークフェーズは、サイクルへの参入ができない状態です。ネットワークへ接続された他の CUnet ステーションへパケットを送信しないため、内部入力端子 (Di0 ~ Di31) のデータと端子の設定状態はネットワークへ送信されません。

#DOSAO ~ #DOSAS 端子の設定と一致するステーションアドレスの CUnet ステーションがネットワーク上において稼動している時、STB1 端子からパルスが出力され、内部出力端子 (Do0 ~ Do31) のデータを更新します。

これにより I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子が Hi レベル出力へ、DONA 端子が Lo レベル出力へ遷移します。
- ③ STB1 端子からサイクルに同期する定期的なパルスを出力します。
- ④ STB2 端子から定期的なパルスを出力します。

#DOSAO ~ #DOSAS 端子の設定と一致するステーションアドレスの CUnet ステーションがネットワーク上において稼動していないか、あるいはネットワークへ接続されていない場合は、STB1 端子からパルスは出力されず、内部出力端子 (Do0 ~ Do31) のデータも更新されません。

これにより I/O ステーションの標準状態の特徴と比較し、以下のように動作します。

- ① #MON 端子は Hi レベル出力のままです。
- ② DOA 端子は Lo レベル、DONA 端子は Hi レベルのままです。
- ③ STB1 端子は、Lo レベル出力のままです (パルスは出力しません)。
- ④ STB2 端子から定期的なパルスを出力します。

ブレークフェーズは、他の CUnet ステーションのリサイズ操作によってサイクルへの参入が許可されるまで継続します。MKY46 は、サイクルへの参入が許可されるとランフェーズへ遷移します。

3.7.4 リサイズへの対応

MKY46 から、CUnet のリサイズを操作することはできません。リサイズは、I/O ステーション以外の CUnet ステーション (MEM モードの MKY40 など) からのみ操作可能です。ただし、I/O ステーション以外の CUnet ステーションによってリサイズが操作されると、MKY46 も内部のファイナルステーション (Final Station : FS) 値が更新され、リサイズします。

3.7.5 ネットワーク停止と再起動

MKY46 によって構築されたネットワークが停止する場合としては、以下の 2 つがあります。

- ① SNF (Station Not Found) : 自己ステーション以外の CUnet ステーションとのリンクが、32 サイクル連続して 1 回も成立できなかった。
- ② OC (Out of Cycle) : 他の CUnet ステーションによるリサイズ操作によって、継続的タイムシェアリングにおける自己ステーションの packets 送信時期を失った。

MKY46 は、上記①あるいは②によってネットワークが停止した場合、“8 × TbPs” 時間以内に、再起動します。これにより、①の SNF (Station Not Found) によって停止した後の MKY46 は、スタートフェーズを経てコールフェーズへ遷移します。②の OC (Out of Cycle) によって停止した後の MKY46 は、スタートフェーズを経てブレイクフェーズへ遷移します。

このように MKY46 は、ユーザシステムによるネットワークの起動や停止の操作が不要です。これにより MKY46 によって構成される I/O ステーションは、ネットワークへ接続するだけで利用可能となり、かつ活栓装抜も可能です。

3.8 CUent のサイクルタイム

CUent のサイクルタイムは、CUnet プロトコルによって定められた式 3.1 と式 3.2 によって求められます。CUent のサイクルタイムは、メモリデータ共有の応答速度となります。

$$\text{式 3.1} \quad \text{Frame Time} = (\text{LOF} + \text{FS} + 1) \times 2 \times \text{TBPS} \text{ [秒]}$$

$$\text{式 3.2} \quad \text{Cycle Time} = \text{Frame Time} \times (\text{FS} + \text{PFC} + 1) \text{ [秒]}$$

例として、FS=03H、LOF=151、PFC=2、転送レート 12Mbps (TBPS = $(1/12 \times 10^6) \div 83.3\text{ns}$) におけるフレームタイムおよびサイクルタイムは以下です。

$$\text{Frame Time} = (151 + 3 + 1) \times 2 \times (1/12 \times 10^6) = 25.833 \mu\text{s}$$

$$\text{Cycle Time} = 25.833 \mu\text{s} \times (3 + 2 + 1) = 155 \mu\text{s}$$

CUent においては、LOF (Length Of Frame) は“151”、PFC (Public Frame Count) は“2”の固定数です。

“3.9 フレームオプション対応[HUB 対応]”に記述されたフレームオプションを利用する際は、LOF (Length Of Frame) は“256”の固定数です。

CUnet におけるファイナルステーション (FS : Final Station) の初期値は、“63 (3FH)”です。I/O ステーション以外の CUnet ステーションによって、リサイズが実行された場合に、FS 値が変更されます。



式 3.1 と式 3.2 から算出される各 FS 値によるサイクルタイムを、“**付録 1 サイクルタイム一覧**”に示します。

リサイズについての詳細については、“**CUnet 導入ガイド**”および I/O ステーション以外に搭載された CUnet 専用 IC のマニュアルを参照してください。

3.9 フレームオプション対応 [HUB 対応]

MKY46 は、CUNet プロトコルに定められるフレームオプションに対応しています。フレームオプションは、フレーム長定数 (LOF) が“256”となるオプション機能です。フレームオプションによって、CUNet のネットワークへ HUB (通信ケーブル分岐ユニット) を挿入可能となります。

ネットワークに HUB (通信ケーブル分岐ユニット) を挿入した CUNet は、以下のように通信ケーブルの敷設の自由度が高まり、適用可能なユーザシステムを拡張することができます (詳細については、HUB-IC の“**ユーザーズマニュアル**”を参照してください)。

- ① ネットワークの通信ケーブルの総延長を伸ばすことが可能。
- ② ネットワークの通信ケーブルを分岐することが可能。
- ③ 各 CUNet ステーション装置の終端抵抗への配慮を削減できる。
- ④ スター接続が可能となる。
- ⑤ 光ファイバへの対応が容易となる。

フレームオプションが設定され稼動する CUNet は、フレーム長定数 (LOF : Length Of Frame) が“256”であるため、フレームオプションを利用しない場合と比較して、サイクルタイムが長くなります (“**3.8 CUNet のサイクルタイム**”参照)。

3.9.1 フレームオプション設定についての注意

フレームオプションは、MKY46 に装備された #LFS : Long Frame Select 端子 (端子 11) を利用して設定することができます (“**4.6 フレームオプションの設定 (#LFS)**”参照)。しかしながら、以下の理由により、設定にあたっては十分に注意してください。

- ① フレームオプションは、ネットワーク起動後に他の CUNet ステーションとの相互リンクの過程によって、全ての CUNet ステーションへ設定されます。
- ② フレームオプションがセットされ稼動しているネットワークに対して後から接続 (あるいは電源投入) された CUNet ステーションへもフレームオプションが自動的に設定されます。
- ③ ①および②により、ネットワークへ接続されたいずれか1つ (あるいは複数) の CUNet ステーションにフレームオプションが設定されていると、CUNet システムは、フレーム長定数 (LOF) が“256”のサイクルによって稼動する CUNet へ変わります。
- ④ CUNet システムはフレームオプション設定が一旦されると、その解除にはシステム内の全ての CUNet 専用 IC に対してハードウェアリセットがアクティブとなる操作を必要とします。

これらのことから、フレームオプションの設定は、I/O ステーション以外の CUNet ステーション (MEM モードの MKY40 等) から実施することを推奨します。MKY46 の #LFS 端子 (端子 11) を利用してフレームオプション設定することは、“**4.21 I/O ステーションのみによる構成**”の環境に限ることを推奨します。

3.9.2 HUB の挿入可能段数

フレームオプションが設定された CUnet のネットワークにおいて、HUB（通信ケーブル分岐ユニット）の挿入可能段数は、最大 2 段です（図 3.4 参照）。

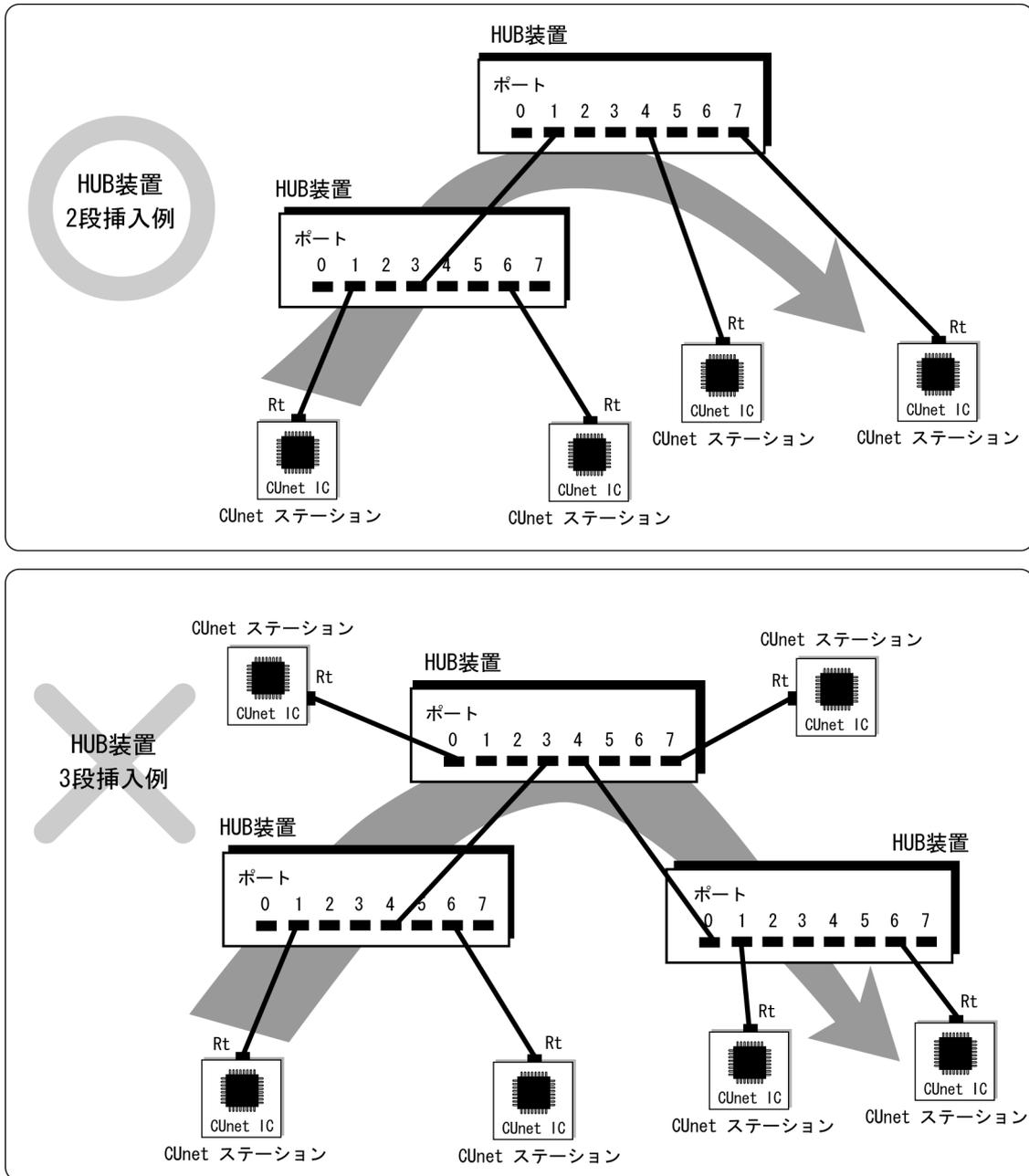


図3.4 HUB挿入可能段数

第4章 MKY46 の接続

本章は MKY46 の接続について記述します。本章の理解に先駆けて、“CUnet 導入ガイド”および、本書の“第1章 MKY46 の位置付けと特徴”、“第3章 MKY46 の動作”を必ずお読みください。

4.1	駆動クロックの供給.....	4-3
4.2	ハードウェアリセット	4-4
4.3	ネットワークインターフェースの接続.....	4-5
4.4	転送レートの設定	4-6
4.5	通信ケーブル長の目安	4-7
4.6	フレームオプションの設定 (#LFS).....	4-7
4.7	ステーションアドレスの設定	4-8
4.8	内部出力端子へ出力するデータの選択 (#DOSA0 ~ #DOSA5、#DOHL) ...	4-9
4.9	汎用入出力外部端子の入出力設定 (IOS0 ~ IOS2、#IOSWAP)	4-10
4.10	汎用入出力外部端子の論理設定 (INV0 ~ INV7)	4-11
4.11	汎用入出力外部端子の接続.....	4-12
4.12	入出力タイミング通知信号の利用 (STB1、STB2).....	4-12
4.13	汎用入出力外部端子の出力有効性通知信号の利用 (DOA)	4-12
4.14	汎用入出力外部端子の出力有効性を表示する (DONA)	4-13
4.15	汎用入出力外部端子の出力レベルのクリア (#CLRHL、#CLRL).....	4-13
4.16	ウォッチドッグタイマによる出力クリア	4-14
4.17	汎用入出力外部端子の入力データ送信状態を表示 (#MON)	4-14
4.18	サイクルの先頭タイミングを通知 (#CYCT 端子).....	4-15
4.19	PING 命令の受信を通知 (PING)	4-15
4.20	接続概要図	4-16
4.21	I/O ステーションのみによる構成	4-17

第4章 MKY46 の接続

本章は、MKY46 の接続について記述します。本章の理解に先駆けて、“CUnet 導入ガイド” および、本書の“第1章 MKY46 の位置付けと特徴”と“第3章 MKY46 の動作”を必ずお読みください。

MKY46 においては、複数の VDD 端子（端子 26、37、50、61、76、100）の全てを必ず電源の 5.0V へ、複数の GND 端子（端子 1、25、38、39、40、51、62、72、73、74、75）の全てを必ず電源の 0V へ接続し、近接する VDD 端子と GND 端子間に 10V/0.1 μ F (104) 以上のコンデンサも接続してください。端子 3～5 の NC (No Conect) 端子は、機能を持たない出力端子であるため、開放にしてください。端子 2、6、63、94、98 の NC (No Conect) 端子は、機能を持たない未接続端子です。内部回路へは接続されていません。

4.1 駆動クロックの供給

発振器などによって既に生成されているクロックを、直接 MKY46 へ供給し、MKY46 の駆動クロックとして利用することができます。駆動クロックを MKY46 へ直接供給する際は、Xi 端子（端子 99）へ供給してください（図 4.1 参照）。

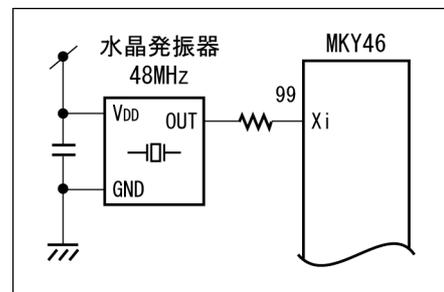


図4.1 生成済みの駆動クロック供給

駆動クロックを外部から直接供給する際の仕様は以下です。

- ① 上限周波数は 50MHz であり、下限はありません。通常は、48MHz のクロックを接続します。
- ② Xi 端子の特性は、 $V_{IH} = \min 2.2V$ 、 $V_{IL} = \max 0.76V$ です。
- ③ 信号の立上りおよび立下りが 20ns 以内のクロックを接続してください。
- ④ 信号の Hi レベルあるいは Lo レベルの最小時間が 5ns 以上のクロックを接続してください。
- ⑤ クロックのジッタ成分が以下の範囲以内のクロックを接続してください。
 - ・入力する周波数が 25MHz 以上の場合は 250ps 以内
 - ・入力する周波数が 25MHz 未満の場合は 500ps 以内
- ⑥ 周波数精度が $\pm 500\text{ppm}$ 以内のクロックを接続してください。



参考

一般的な水晶発振器におけるクロックの出力は、上記②～⑥の値に対して問題になりません。

4.2 ハードウェアリセット

#RST (ReSeT) 端子 (端子 24) へ Lo レベルを入力すると、MKY46 はハードウェアリセットされます。ただし、この Lo レベル信号が入力されている期間が“1 クロック”以下の場合には、誤動作を防止するためにこの信号は無視されます。また MKY46 を完全にリセットするためには、駆動クロックが供給されている間に #RST 端子を“10 クロック”以上 Lo レベルを維持していなければなりません (図 4.2 参照)。

本書においては、この状態を“ハードウェアリセットがアクティブ”と呼びます。

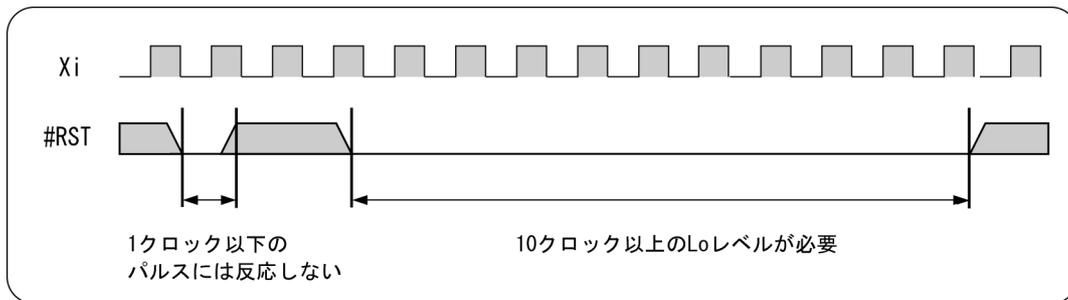


図4.2 ハードウェアリセット



注意事項

MKY46 へ電源を投入した直後は、必ずハードウェアリセットがアクティブとなるように設計してください。

また、電源投入時に MKY46 がリセット状態になるまでの間に、MKY46 の出力端子から電圧が出力されてしまう場合があります。詳細は、技術レポート No.011「MKY37/MKY46 電源投入時の置ける出力端子の動作と対処方法について」を参照してください。

4.3 ネットワークインターフェースの接続

MKY46 のネットワークインターフェース（以下、ネットワーク I/F）端子は、RXD 端子（端子 77）と TXE 端子（端子 78）、および TXD 端子（端子 79）の 3 本です。

4.3.1 推奨のネットワーク接続

図 4.3 は、推奨のネットワーク接続です。TRX（ドライバ/レシーバ部品）は、RS-485 仕様のドライバ/レシーバとパルストランスから構成されます。通信ケーブルは、LAN 用の通信ケーブル（10BASE-T、カテゴリ 3 以上）と同等以上の性能を持ち、かつ一括シールドの通信ケーブルです。通信ケーブル内の、1 対のツイストペアを利用します。

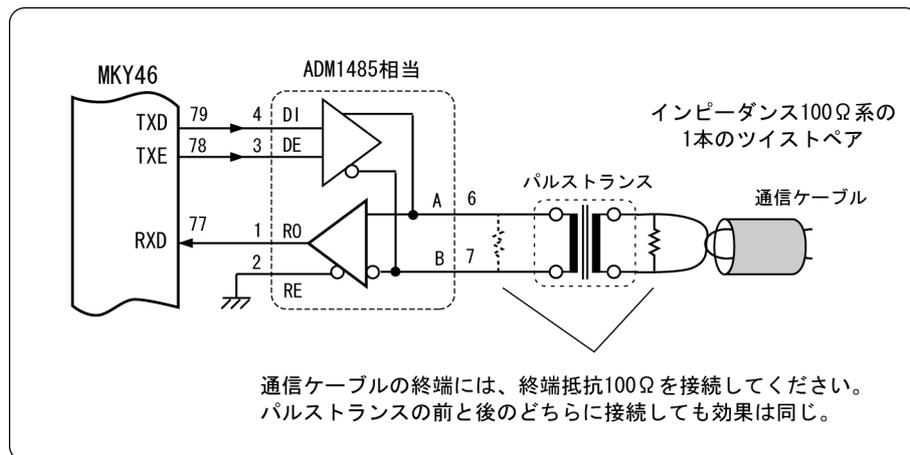


図 4.3 推奨のネットワーク接続



参考

ハーフデュプレックス（半二重）通信方式における TRX の構成によっては、MKY46 がパケットを送信している期間に、自己の TXD 端子から出力された信号がそのまま RXD 端子へ入力されてしまう場合があります。しかし MKY46 は、TXE 端子が Hi の期間中に自分が送信したパケットを受信しない仕組みを採用しており、まったく問題は生じません。

ネットワークの実際の敷設に役立つ予備知識や資料は、“CUnet テクニカルガイド”に記述されています。また部品の選択や推奨部品の入手については、弊社の Web サイトもご参照ください。

<https://www.steptecnica.com/>

4.3.2 RXD、TXE、TXD 端子の詳細

MKY46 は、他の CUnet ステーションから送信されるパケットを RXD 端子によって受信し、他の CUnet ステーションへ送信するパケットを TXD 端子から出力します。パケット送信中は、TXE 端子から Hi レベルが出力されます。このため TXE 端子が Hi レベルになった時は、TRX のドライバのイネーブル端子がアクティブとなり、TXD 端子から出力されるパケットのシリアルパターンをネットワークへ送信できるように、TRX を設計してください（図 4.3 参照）。

4.4 転送レートの設定

MKY46 の転送レートは、BPS0 端子（端子 96）および BPS1 端子（端子 97）へ入力する Hi レベルまたは Lo レベルの組合せによって設定します。図 4.4 に、転送レートに対応する BPS0 端子および BPS1 端子のレベルを示します。

MKY46 は、ハードウェアリセットアクティブ時に、この端子の設定を、内部回路へライトします。

転送レート選択を“外部転送レート”に設定した場合、転送レートの値は EXC 端子（端子 95）へ供給されたクロックの“1/4”の周波数による値です（例：EXC 端子へ供給するクロック周波数が 5MHz の場合は、転送レートは 1.25Mbps）。 EXC 端子へ供給可能なクロックは、デューティ比が“40%～60%”の“12.5MHz（Xi=50MHz 時）”が上限です。EXC 端子へ外部からクロックを入力しない時は、EXC 端子を Hi レベルまたは Lo レベルに固定してください。

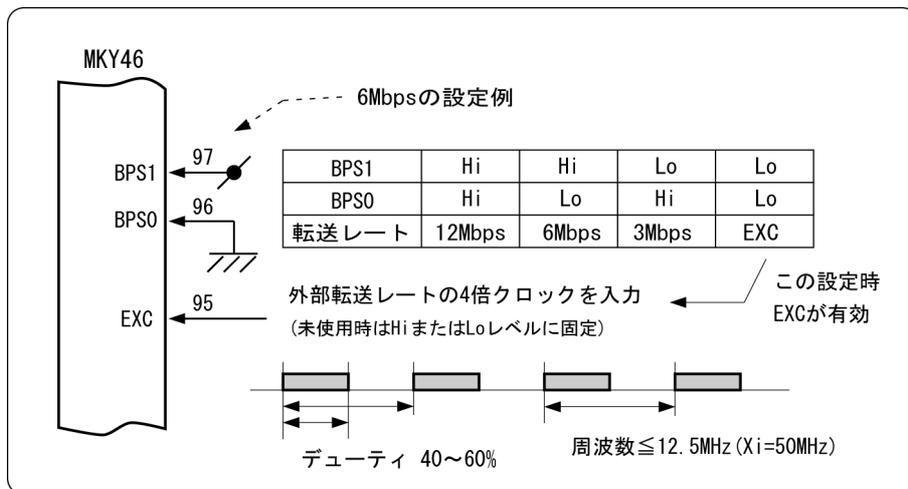


図4.4 転送レートの設定



注意事項

- ① ネットワークへ接続する全ての CUNet 専用デバイスへは、同一の転送レートを設定してください。
- ② EXC 端子（端子 95）は入力端子です。外部からクロックを入力しない時は、端子を Hi あるいは Lo レベルに固定し、どのような場合においても開放にならないように処理してください。
- ③ “12Mbps～3Mbps” 以外の転送レートを利用する場合は、弊社推奨のパルストランスを利用できない場合があります。この場合、利用する転送レートに適合するパルストランスを、お客様ご自身が選定してください。

4.5 通信ケーブル長の目安

本書においては、マルチドロップ形式による通信ケーブルの接続点を“ブランチ”と呼びます。“4.3 ネットワークインターフェースの接続”に記述されているネットワークを、32 ブランチ以下によって利用する場合の、CUnet の通信ケーブル長の目安を表 4-1 に示します。

表 4-1 ケーブル長の目安

転送レート	ケーブル長
12Mbps	100m
6Mbps	200m
3Mbps	300m

表 4-1 は、推奨の差動ドライバ/レシーバが RS-485 仕様部品のため、この RS-485 仕様において決められているブランチ数“32”を目安の基準にしています。

CUnet は、最大 64 の CUnet ステーションまで接続可能なため、“64”のブランチ接続が可能です。推奨のネットワークはパルストランスによって電氣的に絶縁されており、かつ CUnet のネットワークを伝播する信号形式が RZ (Return to Zero) のため、直流 (DC) 成分信号を利用せず、一般的な RS-485 仕様の部品によって“64”ブランチ接続が可能です。但し“64”ブランチの場合は、通信ケーブル長が表 4-1 の値よりも短くなる傾向が生じます (伝播する信号エネルギーの分散が増えるため)。



参考

通信ケーブル長は、フレームオプションの設定や HUB を挿入することによって延長することができます (“3.9 フレームオプション対応 [HUB 対応]” および HUB-IC (MKY02 など) の“ユーザーズマニュアル”参照)。



注意事項

通信ケーブル長は、利用する通信ケーブルや差動ドライバ/レシーバ部品、さらにケーブルの敷設状態や利用される環境によっても異なります。そのため、“表 4-1 ケーブル長の目安”は一般的な利用状況を想定した時に安定して利用できる目安であり保証値ではありません。

4.6 フレームオプションの設定 (#LFS)

MKY46 は、フレームオプションを設定する #LFS : Long Frame Select 端子 (端子 11) を装備しています。フレームオプションを設定しない場合は、この端子を Hi レベルに固定してください。この端子を Lo レベルに固定して CUnet を稼働させた場合に、CUnet システムがフレームオプションに設定されます。

フレームオプションを設定する場合 (この端子を Lo レベルに固定する場合) は、“3.9.1 フレームオプション設定についての注意”を参照してください。

4.7 ステーションアドレスの設定

ステーションアドレス (SA:Station Address) を、#SA0 ~ #SA5 端子 (端子 80 ~ 85) へ入力する Hi レベルを “0”、Lo レベルを “1” とした 16 進数 (Binary) の “00H ~ 3FH (0 番 ~ 63 番)” によって設定してください。最上位ビットは #SA5 (端子 85) です。#SA0 ~ #SA5 端子は、内部プルアップされた負論理の入力端子です(図4.5参照)。MKY46は、#SA0~#SA5端子によって設定されたMB(メモリブロック)1つを占有します。

MKY46 は、ハードウェアリセットがアクティブの時に、この端子の値を、内部回路へライトします。よってハードウェアリセットがアクティブでない時にこの端子の設定を変更してもステーションアドレス (Station Address) は変わりません。

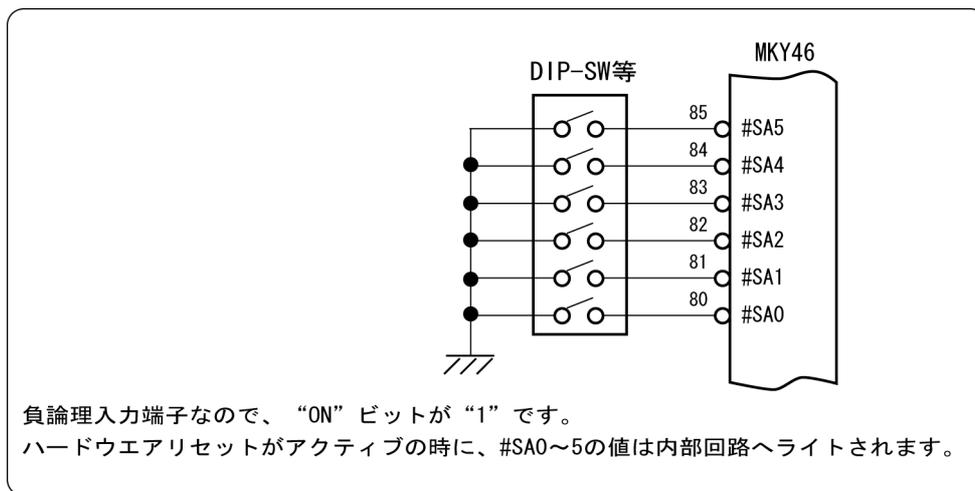


図4.5 ステーションアドレスの設定例



注意事項

MKY46 は、1つの MB (メモリブロック) に占有エリアが特定されます。

1つのネットワークへ接続された全ての CUnet 専用 IC に、同一の SA 値を設定してはいけません。

4.8 内部出力端子へ出力するデータの選択（#DOSAO～#DOSA5、#DOHL）

内部出力端子（Do0～Do31）へ出力するデータの対象となるMB（メモリブロック）および上位／下位ビットを、#DOSAO～#DOSA5 端子（端子 86～91）と #DOHL : Data Out Hi or Lo 端子（端子 12）へ入力する Hi または Lo レベルの組合せによって選択してください。

#DOSAO～#DOSA5 端子は、内部プルアップされた負論理の入力端子です。

MB（メモリブロック）は、#DOSAO～#DOSA5 端子に入力する Hi レベルを“0”、Lo レベルを“1”とした16進数の“00H～3FH（0～63）”によって選択します。最上位ビットは#DOSA5（端子91）です。

MB（メモリブロック）の上位／下位ビットは、#DOHL 端子へ入力する Hi または Lo レベルによって選択されます（図4.6、図3.1および図3.3参照）。

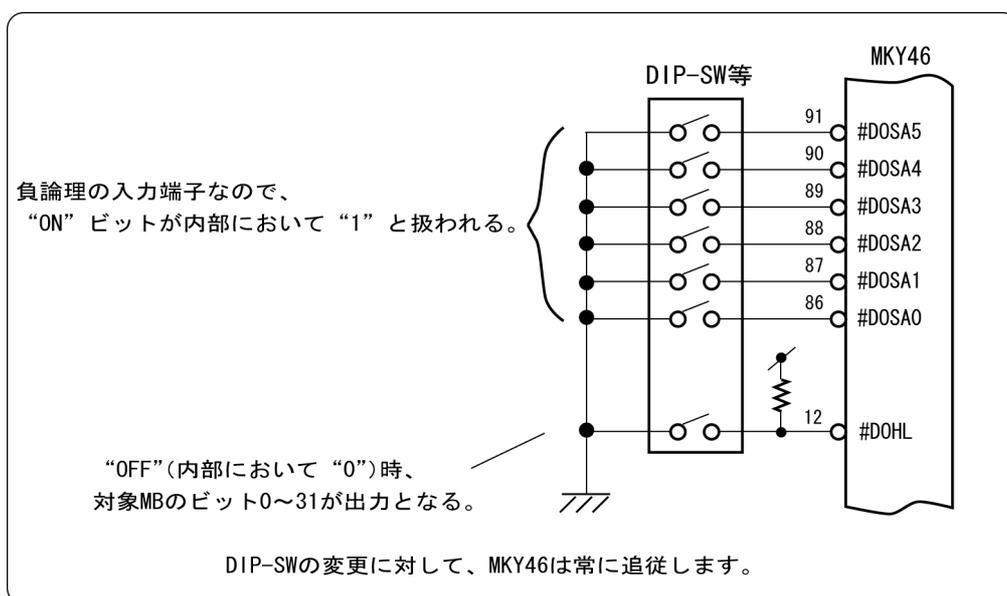


図4.6 #DOSAO-5と#DOHLの設定例



注意事項

#DOSAO～#DOSA5 端子および #DOHL 端子の設定状態は（ハードウェアリセットがアクティブの時に値を内部回路へライトするなどの規定が無く）、常に変更が可能です。このためユーザーシステムにおいて意図してこれらを変更する場合以外は、端子の設定状態が遷移しないようお客様ご自身によって配慮してください。

4.9 汎用入出力外部端子の入出力設定（IOS0 ～ IOS2、#IOSWAP）

32本の汎用入出力外部端子（Io0 ～ Io31）（端子 29 ～ 36、42 ～ 49、53 ～ 60、64 ～ 71）の入出力を、#IOSWAP 端子（端子 27）と IOS0 ～ IOS2 端子（端子 21 ～ 23）へ入力する Hi または Lo レベルの組合せによって設定してください（図 4.7、図 3.1 および図 3.2、表 3-2 参照）。

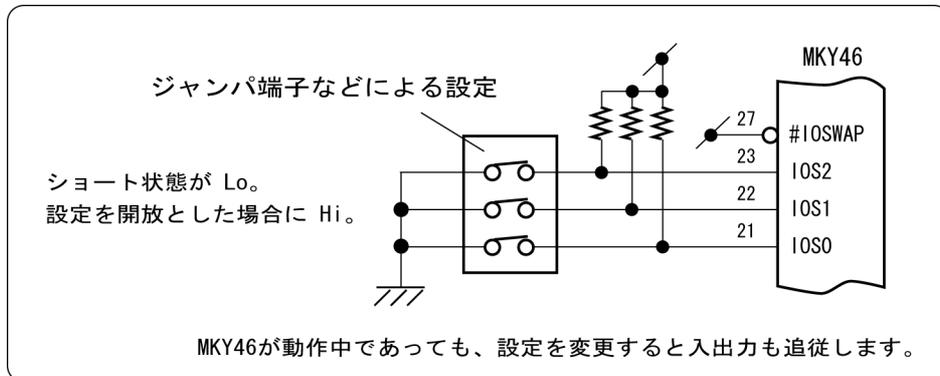


図4.7 汎用入出力外部端子の入出力設定例



注意事項

#IOSWAP 端子は、通常 Hi レベルに設定してください。#IOSWAP 端子は、“4.21 I/O ステーションのみによる構成”に記述されるような、特殊な I/O ステーションを構成する際に限って Lo レベルに設定してください。

MKY46 は、稼動中に #IOSWAP 端子および IOS0 ～ IOS2 端子の設定を変更した場合、汎用入出力外部端子（Io0 ～ Io31）の入出力が遷移します。この場合、稼動中の汎用入出力外部端子（Io0 ～ Io31）の入出力遷移時間は、接続環境（負荷容量など）により変動します。さらに出力レベルは稼動状態に依存します。したがって、稼動中における #IOSWAP 端子および IOS0 ～ IOS2 端子の設定変更を、弊社は推奨しておりません。

稼動中にユーザが意図して #IOSWAP 端子および IOS0 ～ IOS2 端子の設定を変更する場合は、（汎用入出力外部端子の入出力遷移や、出力端子の電気的な衝突や競合が発生しないようにするなど）、問題が発生しないようお客様ご自身によって配慮してください。

4.10 汎用入出力外部端子の論理設定 (INV0 ~ INV7)

32本の汎用入出力外部端子 (Io0 ~ Io31) の論理を、INV0 ~ INV7 端子 (端子 13 ~ 20) へ入力する Hi または Lo レベルによって設定してください (図 4.8、図 3.1 および図 3.2、表 3-1 および表 3-2 参照)。

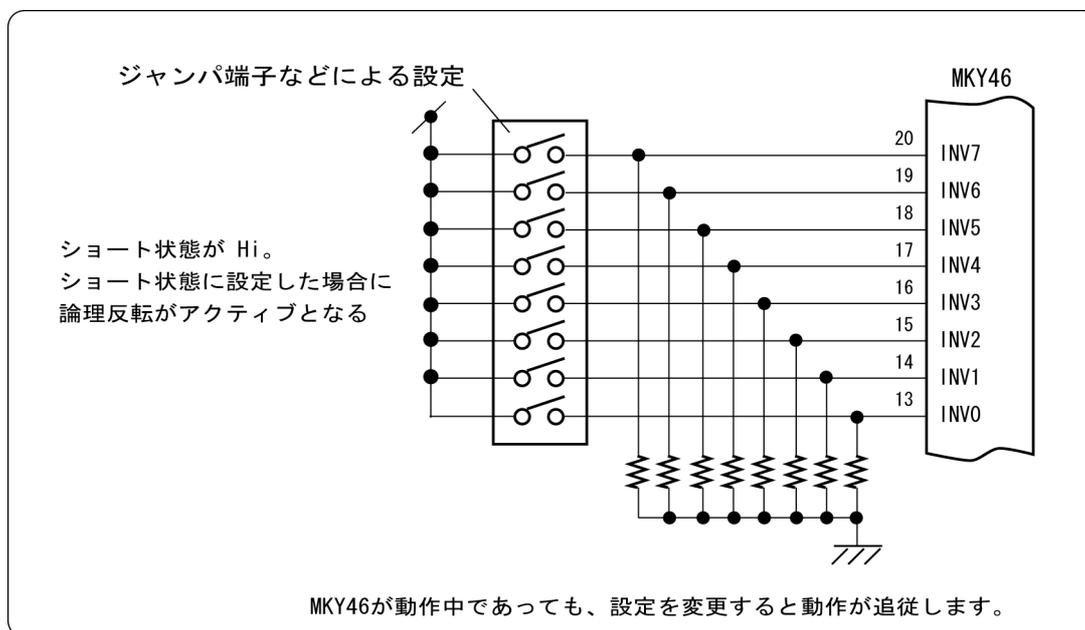


図4.8 汎用入出力外部端子の論理設定例



注意事項

MKY46 は、稼動中に INV0 ~ INV7 端子の設定を変更した場合、汎用入出力外部端子 (Io0 ~ Io31) の論理が遷移します。この場合、稼動中の汎用入出力外部端子 (Io0 ~ Io31) の論理遷移時間は、接続環境 (負荷容量など) により変動します。さらに出力レベルは稼動状態に依存します。したがって、稼動中における INV0 ~ INV7 端子の設定変更を、弊社は推奨していません。稼動中にユーザが意図して INV0 ~ INV7 端子の設定を変更する場合に、問題が発生しないようお客様ご自身によって配慮してください。

4.11 汎用入出力外部端子の接続

汎用入出力外部端子 (Io0 ~ Io31 : 端子 29 ~ 36、42 ~ 49、53 ~ 60、64 ~ 71) へ、ユーザ回路が必要とする信号を接続してください。ユーザ回路への信号接続は、適切なレベルが保たれるようお客様ご自身が配慮してください（**第2章 MKY46 ハードウェア** 参照）。

使用しない汎用入出力外部端子は“出力”に設定して開放するか、あるいは“入力”に設定して適切な値のプルアップ抵抗またはプルダウン抵抗を接続することによって Hi または Lo レベルを確保し、端子が開放とにならないようにしてください。

4.12 入出力タイミング通知信号の利用 (STB1、STB2)

MKY46 は、“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のデータを更新する際に、STB1 : STroBe 1 端子 (端子 28) から出力更新ストロブ信号を出力します (図 3.1 および **“3.3 内部出力端子のデータ更新動作”** 参照)。STB1 端子は通常 Lo レベルを維持し、出力更新時期に“2 × TBPS”時間 Hi レベルを出力します。“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のデータ更新は、STB1 端子から Hi レベルのパルスが出力されている期間中に実行されます (**“5.2.5 STB1、STB2 とデータ入出力端子タイミング”** 参照)。

MKY46 は、“入力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) からデータをサンプルする際に、STB2 : STroBe 2 端子 (端子 41) から入力更新ストロブ信号を出力します (図 3.1 および **“3.2 内部入力端子データの送信動作”** 参照)。STB2 端子は通常 Lo レベルを維持し、入力更新時期に“2 × TBPS”時間 Hi レベルを出力します。“入力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) のサンプルは、STB2 端子から Hi レベルのパルスが出力されている期間の終了時期に実行されます (**“5.2.5 STB1、STB2 とデータ入出力端子タイミング”** 参照)。

STB1 および STB2 端子は、ユーザシステムが外部に付加回路を増設する場合に利用してください。この端子を使用しない時は、開放にしてください。

4.13 汎用入出力外部端子の出力有効性通知信号の利用 (DOA)

MKY46 は、汎用入出力外部端子の出力有効性通知信号を出力する端子として、DOA : Data Out Available 端子 (端子 8) を装備しています。DOA 端子は、STB1 (出力更新ストロブ) の発生によって Hi レベルへ遷移し、その後 16 サイクルタイムの時間内に STB1 (出力更新ストロブ) が発生しなかった場合に Lo レベルへ遷移する機能を持っています。

ユーザシステムは、DOA 端子を利用することによって、DOA 端子の出力が Hi レベルの期間中は汎用入出力外部端子の内の“出力”に設定されている端子のデータが 16 サイクルタイム以内に更新されていることを認識することができます。この端子を使用しない時は、開放にしてください。



サイクルタイムについては、“**3.8 CUnet のサイクルタイム**”を参照してください。

4.14 汎用入出力外部端子の出力有効性を表示する (DONA)

MKY46 は、汎用入出力外部端子の出力有効性通知を表示することに利用可能な、DONA : Data Out Not Available 端子 (端子 93) を装備しています。DONA 端子は、“4.13 汎用入出力外部端子の出力有効性通知信号の利用 (DOA)” に記述された DOA 端子の反転レベルを出力します。

ユーザシステムは DONA 端子を利用することによって、DONA 端子の出力が Lo レベルの間中は汎用入出力外部端子の内の“出力”に設定されている端子のデータが 16 サイクルタイム以内に更新されていることを表示することができます。

DONA 端子は、LED のカソード端子側を接続して LED を点灯させることができます。この端子は、 $\pm 8\text{mA}$ の電流駆動能力があります。8mA 以下の電流によって点灯可能な LED ならば、Lo レベルの時に LED が点灯する図 4.9 に示す接続が可能です。図 4.9 の電流制限抵抗 (R) の値は、使用する LED 部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。DONA 端子へは安定動作を示す緑色の LED 部品の接続を推奨します。この端子を使用しない時は、開放にしてください。

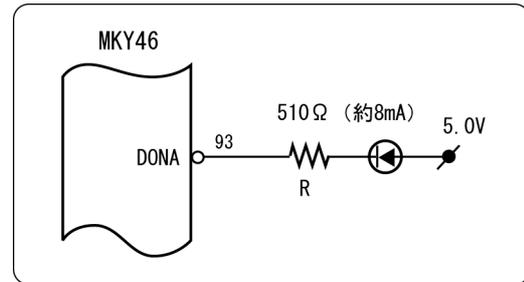


図 4.9 DONA端子へのLED接続例

4.15 汎用入出力外部端子の出力レベルのクリア (#CLRH、#CLRL)

MKY46 は、汎用入出力外部端子の出力レベルをクリアできる入力端子として、#CLRH : CLear Hi 端子 (端子 9) と #CLRL : CLear Lo 端子 (端子 10) を装備しています。

#CLRH 端子へ “ $2 \times T_{x1}$ ” 時間よりも長い時間 Lo レベルを入力することにより、汎用入出力外部端子の上位 16 ビット (Io16 ~ Io31) の内の“出力”に設定されている端子の出力レベルを、クリアすることができます (図 3.1 参照)。

#CLRL 端子へ “ $2 \times T_{x1}$ ” 時間よりも長い時間 Lo レベルを入力することにより、汎用入出力外部端子の下位 16 ビット (Io0 ~ Io15) の内の“出力”に設定されている端子の出力レベルをクリアすることができます (図 3.1 参照)。

汎用入出力外部端子 (Io0 ~ Io31) の内の“出力”に設定されている端子がクリアされた場合のレベルは、マルチセレクタの設定状態に依存します (図 3.1 および図 3.2、表 3-1 および表 3-2 参照)。

#CLRH 端子の機能を利用しない場合は、#CLRH 端子を Hi レベルに固定してください。

#CLRL 端子の機能を利用しない場合は、#CLRL 端子を Hi レベルに固定してください。



参考

#CLRH 端子および #CLRL 端子は、ノイズによる誤動作を防止するため、“ $2 \times T_{x1}$ ” 時間よりも短い時間の Lo レベル入力を無視します。

“出力”に設定されている汎用入出力外部端子 (Io0 ~ Io31) の出力レベルは、ハードウェアリセットがアクティブとなった時に、上記の #CLRH 端子および #CLRL 端子の機能に優先してクリアされます (図 3.1 参照)。

4.16 ウォッチドッグタイマによる出力クリア

図 4.10 のように、DOA 端子の出力を #CLRH 端子あるいは #CLRL 端子へ接続することによって、内部出力端子 (Do0 ~ Do31) の出力データが 15 サイクルタイム以内に更新されなかった場合、内部出力端子 (Do0 ~ Do31) を強制的に Lo レベルとするウォッチドッグタイマを構成することができます (これにより、“出力” に設定されている汎用入出力外部端子 (Io0 ~ Io31) の出力レベルも特定されます)。

この接続は、ユーザシステムにおいてリンクが途絶えた時に、“出力” に設定されている汎用入出力外部端子 (Io0 ~ Io31) の出力レベルを特定する必要がある I/O ステーションに有効です。

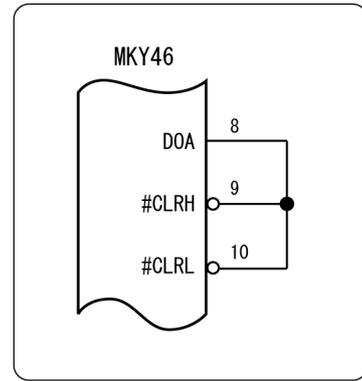


図4.10 ウォッチドッグ出力のクリア例

注意事項

図 4.10 は参考図です。“ウォッチドッグタイマのタイムアップ時間”として、15 サイクルタイムが I/O ステーションに適合するかは、お客様ご自身が判断してください。

4.17 汎用入出力外部端子の入力データ送信状態を表示 (#MON)

MKY46 は、他の CUNet ステーションとのリンクが成立している状態を表示する信号を出力する端子として、#MON : MONitor 端子 (端子 92) を装備しています。#MON 端子は、3 回以上連続してリンクが成立した CUNet ステーションが 1 つ以上存在した時に Lo レベルへ遷移し、その後いずれの CUNet ステーションとも 3 回以上連続してリンクが成立しなかった場合に Hi レベルへ遷移する機能を持つ端子です。MKY46 が他の CUNet ステーションとリンクが成立している場合、“入力” に設定されている汎用入出力外部端子の入力データが他の CUNet ステーションへ正常に送信されています。

ユーザシステムは、#MON 端子を利用することによって、#MON 端子の出力が Lo レベルの期間中に汎用入出力外部端子の“入力”に設定されている端子のデータが他の CUNet ステーションに送信されていることを、認識することができます。

#MON 端子は、LED のカソード端子側を接続して LED を点灯させることができます。この端子は、± 8mA の電流駆動能力があります。8mA 以下の電流によって点灯可能な LED ならば、Lo レベルの時に LED が点灯する図 4.11 に示す接続が可能です。図 4.11 の電流制限抵抗 (R) の値は、使用する LED 部品の定格に合わせてユーザシステムのハードウェア設計者が決定してください。#MON 端子へは安定動作を示す緑色の LED 部品の接続を推奨します。この端子を使用しない時は、開放にしてください。

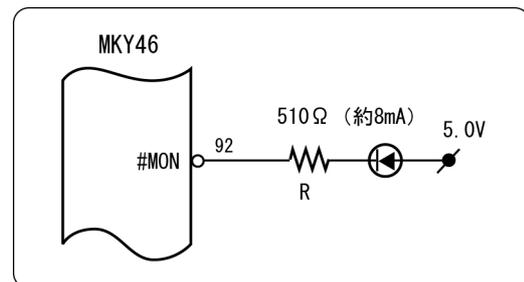


図4.11 #MON端子へのLED接続例

4.18 サイクルの先頭タイミングを通知（#CYCT 端子）

MKY46 は、サイクルの先頭タイミングを通知する #CYCT : CYCLe Top 端子（端子 52）を装備しています。#CYCT 端子は通常 Hi レベルを維持し、サイクルの先頭タイミングの時に“2 × TBPS”時間 Lo となるパルスを出します。この端子の出力が Lo レベルへ遷移するタイミングをユーザが利用することにより、ネットワークへ接続された全ての CUnet ステーションに共通なタイミング（同期）を認識することが可能となります。この端子を使用しない時は、開放にしてください。

CUnet の同期性能（サイクルの先頭時期が同一となる性能）は、式 4.1 によって算出できます。

式 4.1 (2 × TBPS) + (サイクルタイム × クロック精度) + 信号伝播遅延 [以内]

例えば、12Mbps (TBPS=83.3ns)、64 個の CUnet ステーション (サイクルタイム =2.365ms)、駆動クロック精度 200ppm (0.02%)、ケーブル (7ns/m) 総長 100m の場合、同期性能は (167ns + 473ns + 700ns) ≒ 1.34 μs 以内です。



注意事項

ネットワーク内に HUB が挿入されている場合は、この算式は適用できません。



参考

MKY46 の #CYCT 端子の機能は、MKY40 の #STB 端子の機能と同一です。

4.19 PING 命令の受信を通知（PING）

MKY46 は、他の CUnet ステーションからの PING 命令の受信を通知する PING 端子（端子 7）を装備しています。PING 信号は、自己 I/O ステーションの状態に関わらず他の CUnet ステーションからの関与によって操作される信号です。

PING 端子は、通常 Lo レベルを維持しています。他の CUnet ステーションから PING 命令を受信した時に Hi レベルへ遷移し、その後他の CUnet ステーションから自己 I/O ステーションへ向けた PING 命令が埋め込まれていないパケットを受信した時に Lo レベルへ遷移します。

PING 端子は、ハードウェアリセットがアクティブとなった時、上記動作に優先して Lo レベルへ遷移します。

CUnet プロトコルにおいては、PING 信号の利用目的や接続先を特定していません。PING 信号は、ユーザシステムの構築を支援する補助的な拡張機能です。

PING 端子を使用しない時は、開放にしてください。

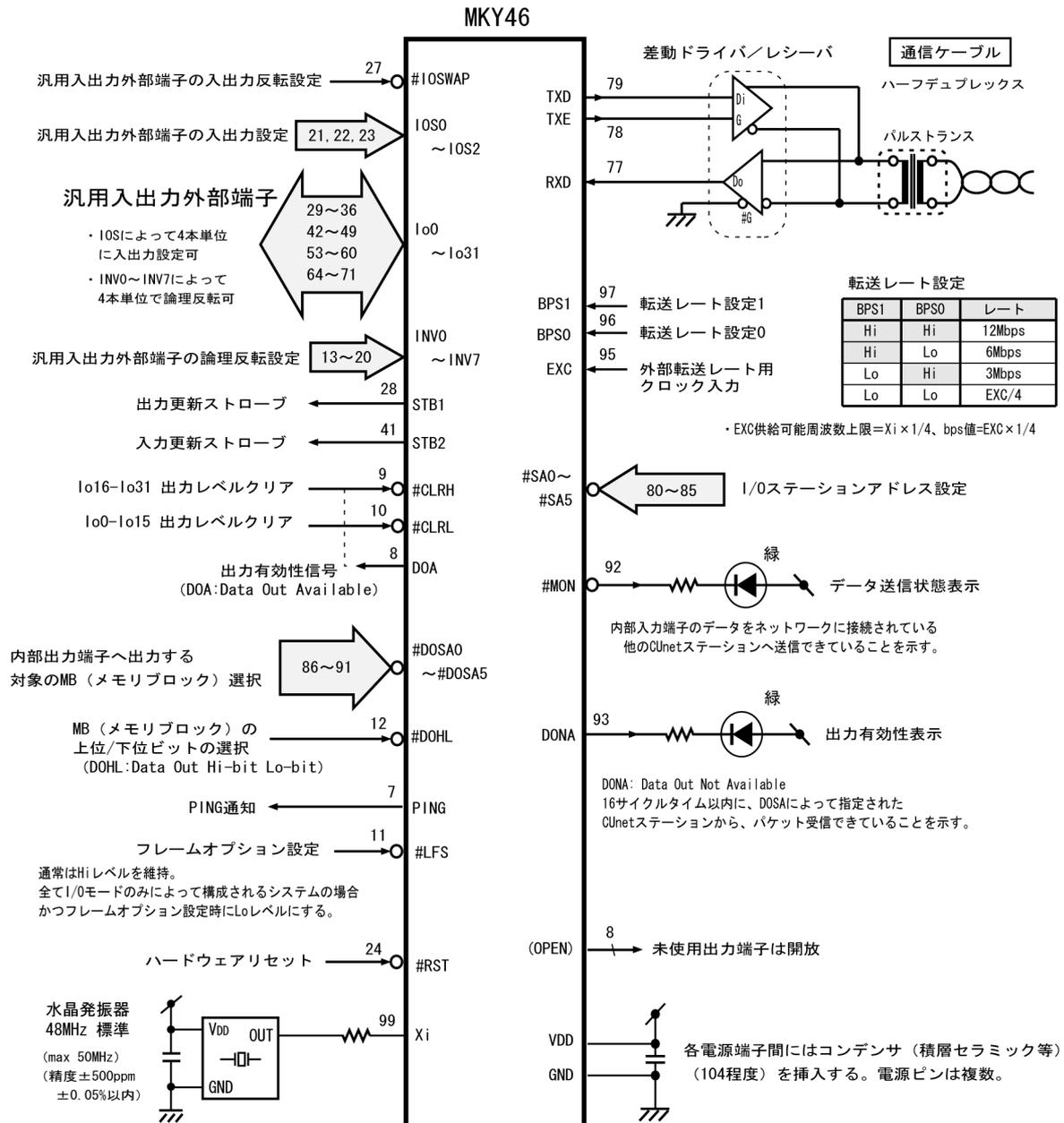


注意事項

MKY46 から、他の CUnet ステーションへ向けて PING 信号を発生させる操作はできません。

4.20 接続概要図

MKY46 の各端子の設定と接続の概念を図 4.12 に示します。



★ I/O端子の定義設定 一覧表

#IOSWAP端子=Hi			#IOSWAP端子=Lo		
入力端子	出力端子	I/O	2	1	0
Io 0-31	無し	32 / 0	Lo	Lo	Lo
Io 0-27	Io28-31	28 / 4	Lo	Lo	Hi
Io 0-23	Io24-31	24 / 8	Lo	Hi	Lo
Io 0-19	Io20-31	20 / 12	Lo	Hi	Hi
Io 0-15	Io16-31	16 / 16	Hi	Lo	Lo
Io 0-11	Io12-31	12 / 20	Hi	Lo	Hi
Io 0- 7	Io 8-31	8 / 24	Hi	Hi	Lo
無し	Io 0-31	0 / 32	Hi	Hi	Hi

・ #IOSWAP (入出力定義反転設定) 端子は、Hiレベルで使用することが標準推奨です (I/Oステーションのみによって構成されるシステムの場合、#IOSWAP端子=Loの使用が考えられます)。

図4.12 各端子の設定と接続の概念

4.21 I/O ステーションのみによる構成

I/O ステーション以外の CUnet ステーション（例えば MEM モードの MKY43 を搭載したステーション）が存在しない、I/O ステーションのみによって CUnet システムを構築することができます（図 4.13、図 4.14 参照）。この場合、それぞれの I/O ステーションに搭載された MKY46 の #DOHL 端子は、Hi レベルにしてください。

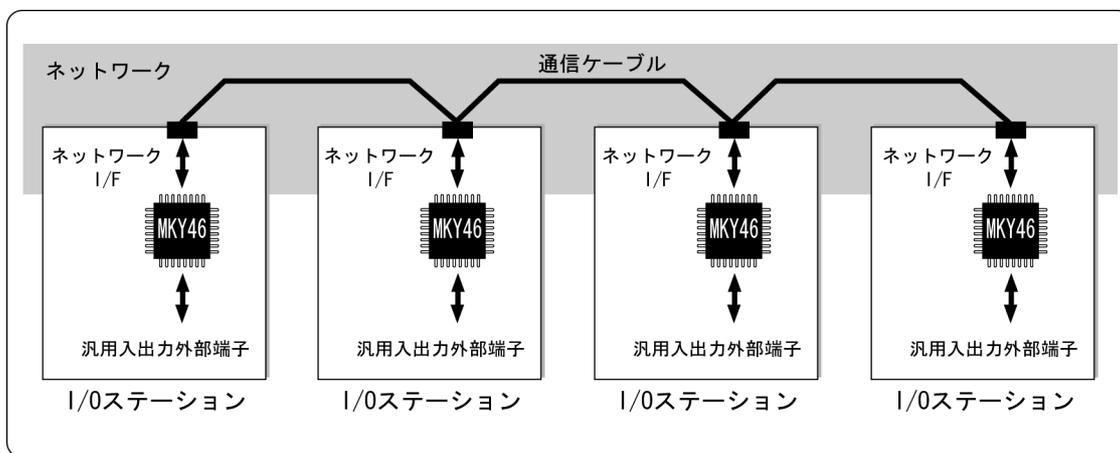


図4.13 I/Oステーションのみによって構成するCUnet

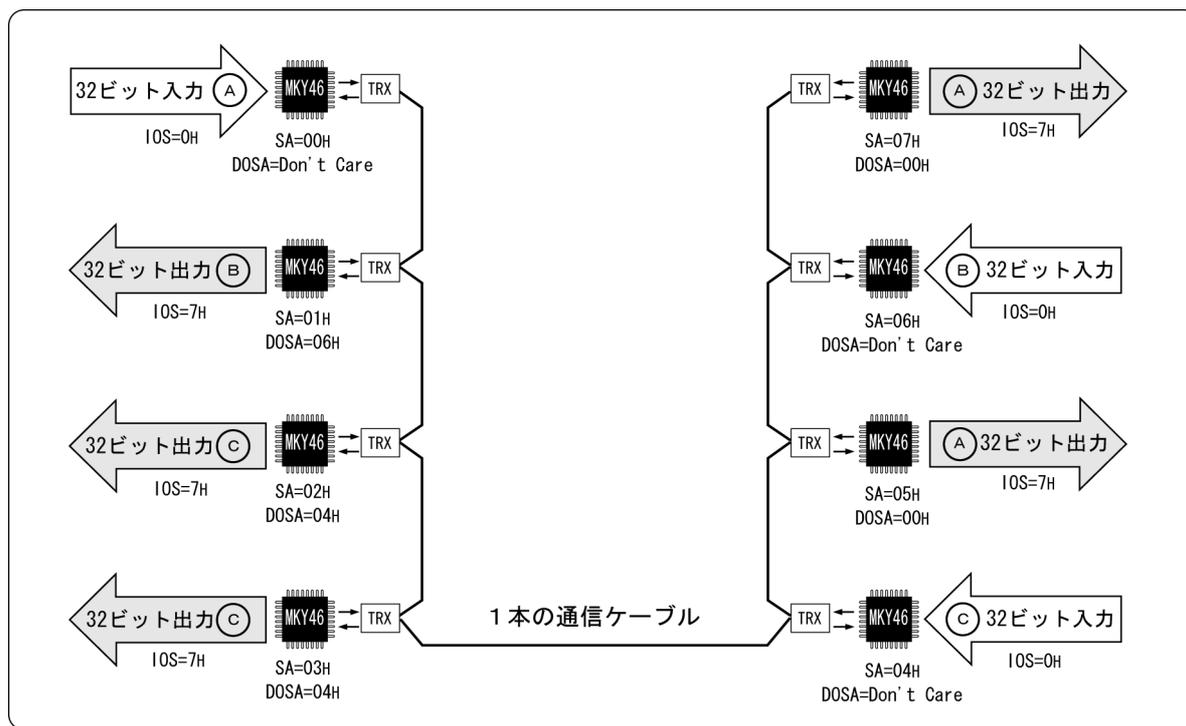


図4.14 複数のI/O信号を1本の通信ケーブルによって接続可能なシステムの概念

4.21.1 I/O ステーションのみのサイクルタイム

CUent のサイクルタイムには、ファイナルステーション (Final Station : FS) の値が関与します。ハードウェアリセットによる MKY46 のファイナルステーションの初期値は“63 (3FH)”です。

MKY46 からは CUnet のリサイズを操作することはできないため、I/O ステーションのみによって構成された CUnet のサイクルタイムは、“3.8 CUnet のサイクルタイム”に記述された式 3.1 および式 3.2 から、FS 値が“63 (3FH)”のサイクルタイムです (表 4-2 参照)。

表 4-2 FS=63 のサイクルタイム

転送レート	サイクルタイム
12Mbps	2.365ms
6Mbps	4.730ms
3Mbps	9.460ms

4.21.2 #IOSWAP 端子の利用

IOS0 ~ IOS2 端子の設定を A 側 B 側ともに同一にし、A 側の #IOSWAP 端子を Hi レベルに、B 側の #IOSWAP 端子を Lo レベルに設定することによって、A 側の“入力”に相当する B 側の端子を“出力”に、B 側の“入力”に相当する A 側の端子を“出力”にすることができます (図 4.15 参照)。

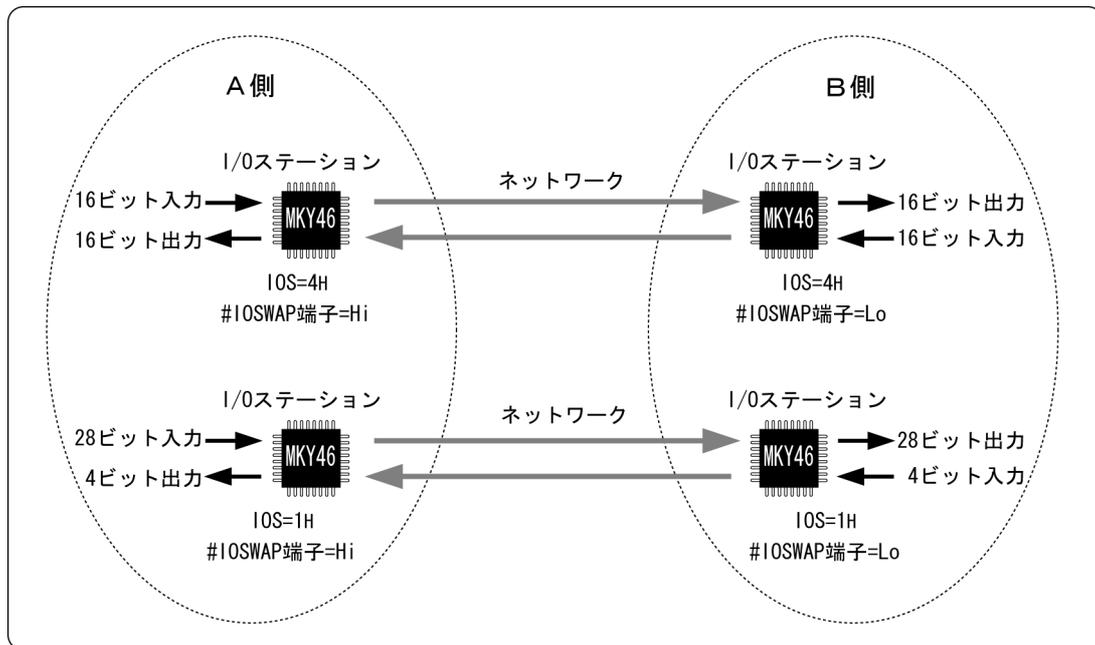


図4.15 #IOSWAP端子を利用する場合の概念



注意事項

A 側において“入力”である端子 (例えば Io0 : 端子 29) は、B 側においては“出力”端子となります。したがって、A 側と B 側において接続するユーザ回路は異なっていなければなりません。A 側専用のユーザ回路を B 側に流用してはいけません。

4.21.3 #LFS (Long Frame Select) 端子の利用 [HUB 対応]

図 4.13 や図 4.14 に示す構成のネットワークへ HUB（通信ケーブル分岐ユニット）を挿入する場合は、いずれか 1 つ以上の MKY46 の #LFS 端子（端子 11）を Lo レベルに固定してください。

ネットワークへ接続されたいずれか 1 つ以上の I/O ステーションの #LFS 端子が Lo レベルに設定されていた場合、ネットワークへ接続された全ての CUnet 専用 IC が CUnet プロトコルによってフレームオプション状態に設定されます。またフレームオプションがセットされ稼動しているネットワークへ後から接続（あるいは電源投入）された I/O ステーションも、フレームオプションが設定されます。フレームオプションによって、CUnet のネットワークへ最大 2 段の HUB（通信ケーブル分岐ユニット）を挿入することが可能です。フレームオプションを設定する場合は、“3.9.1 フレームオプション設定についての注意”を参照してください。

フレームオプションによるフレーム長定数（LOF : Length Of Frame）が“256”のサイクルタイムは、“3.8 CUnet のサイクルタイム”に記述された式 3.1 および式 3.2 から、表 4-3 のサイクルタイムです。

表 4-3 フレームオプションが設定された FS=63 のサイクルタイム

転送レート	サイクルタイム
12Mbps	3.520ms
6Mbps	7.040ms
3Mbps	14.080ms



参考

式 3.1 と式 3.2 から算出される各 FS 値によるサイクルタイムを、“付録 1 サイクルタイム一覧”に示します。



注意事項

一旦フレームオプションを設定したシステムがフレームオプションを解除したい場合は、システム内の全ての CUnet 専用 IC に対してハードウェアリセットがアクティブとなる操作を必要とします。この場合、I/O ステーションの #LFS 端子は Hi レベルを保っていなければなりません。

第5章 定格

本章は、MKY46 の各種定格について記述します。

5.1 電氣的定格.....	5-3
5.2 AC 特性	5-4
5.3 パッケージ外形寸法	5-7
5.4 半田実装推奨条件.....	5-8
5.5 リフロー推奨条件.....	5-8

第5章 定格

本章は、MKY46 の各種定格について記述します。

5.1 電気的定格

表 5-1 に、MKY46 の絶対最大定格を示します。

表 5-1 絶対最大定格 (Vss=0V)

項目	記号	定格	単位
電源電圧	VDD	-0.5 ~ +6.5	V
入力端子電圧	Vi	VSS-0.5 ~ VDD+0.5	V
出力端子電圧	Vo	VSS-0.5 ~ VDD+0.5	V
ピーク出力電流 (Type-E 端子) *	Iop	ピーク ± 4	mA
ピーク出力電流 (Type-F, G 端子) *	Iop	ピーク ± 8	mA
許容損失	PT	681	mW
動作周囲温度	Topr	-40 ~ +85	°C
保存温度	Tstg	-65 ~ +150	°C

* : Type-E、F、G については、“図 2.2 MKY46 の入出力回路形式の端子電気的特性” 参照。

表 5-2 に、MKY46 の電気的定格を示します。

表 5-2 電気的定格 (TA=25 °C Vss=0V)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	VDD	---	4.5	5.0	5.5	V
動作電流	IDDA	Vi=VDD または Vss Xi =50MHz 出力開放	---	27	40	mA
外部入力動作周波数	Fclk	Xi 端子へ入力	---	48	50	MHz
入力端子容量	CI	VDD=Vi=0V f=1MHz TA=25 °C	---	6	---	pF
出力端子容量	Co		---	9	---	pF
入出力端子容量	CI/O		---	10	---	pF
入力信号の立上り/立下り時間	TIRF	---	---	---	20	ns
入力信号の立上り/立下り時間	TIRF	シュミットトリガ入力	---	---	30	μs

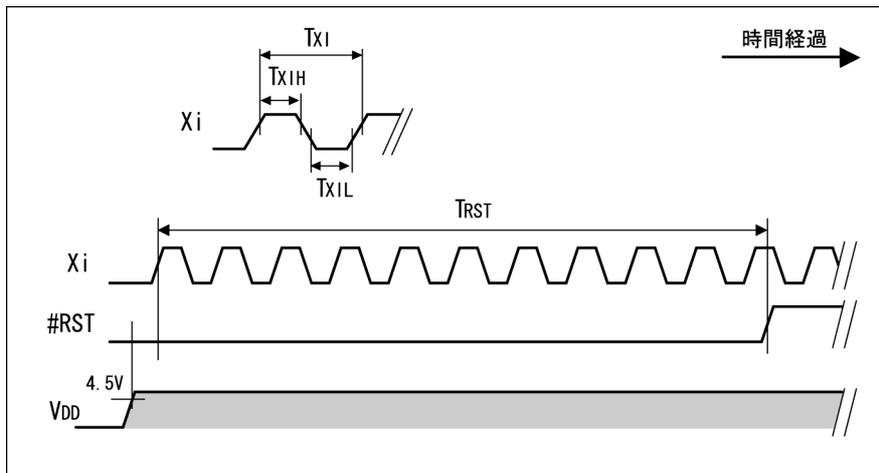
5.2 AC 特性

表 5-3 に、MKY46 の AC 特性測定条件を示します。

表 5-3 AC 特性測定条件

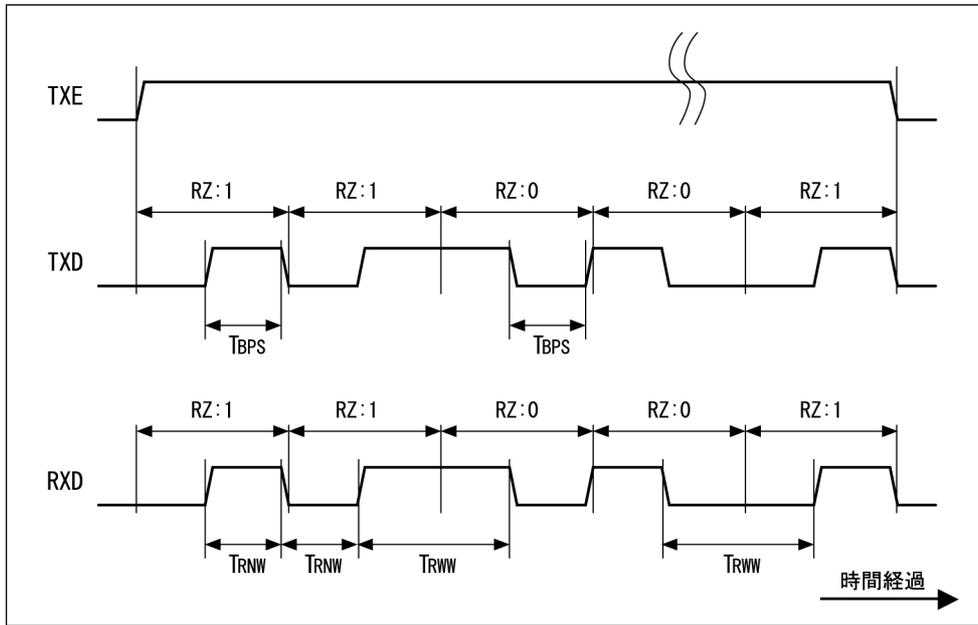
記号	名称	値	単位
COL	出力負荷容量	80	pF
VDD	測定電源電圧	5.0	V
TA	測定温度	25	°C

5.2.1 クロック、リセットタイミング (#RST、Xi)



記号	名称	最小	最大	単位
TXI	クロック周期幅	20	---	ns
TXIH	クロック Hi レベル幅	5	---	ns
TXIL	クロック Lo レベル幅	5	---	ns
TRST	リセット有効 Lo レベル幅	10 × TXI	---	ns

5.2.2 転送レートタイミング (TXE、TXD、RXD)

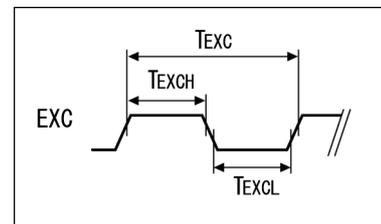


記号	転送レート	送信信号短パルス幅	単位
Tbps	12Mbps	$\approx 83.33 \pm 5$	ns
	6Mbps	$\approx 166.67 \pm 5$	ns
	3Mbps	$\approx 333.33 \pm 5$	ns

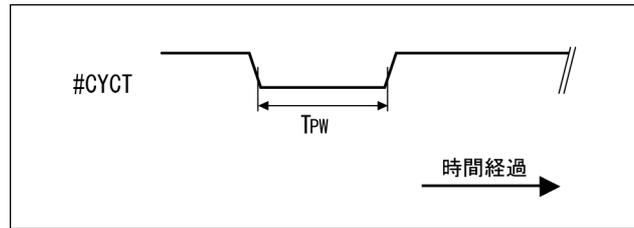
記号	名称	最小	標準	最大	備考
TRNW	入力信号短パルス幅	$0.51 \times \text{Tbps}$	$1.0 \times \text{Tbps}$	$1.49 \times \text{Tbps}$	RZ信号として許容されるパルス幅
TRWW	入力信号長パルス幅	$1.51 \times \text{Tbps}$	$2.0 \times \text{Tbps}$	$2.49 \times \text{Tbps}$	RZ信号として許容されるパルス幅

5.2.3 外部転送レートクロック (EXC) タイミング

記号	名称	最小	最大	単位
TEXC	外部転送レートクロック周期幅	$4 \times \text{TXI}$	---	ns
TEXCH	外部転送レートクロック Hi レベル幅	$1.5 \times \text{TXI}$	---	ns
TEXCL	外部転送レートクロック Lo レベル幅	$1.5 \times \text{TXI}$	---	ns

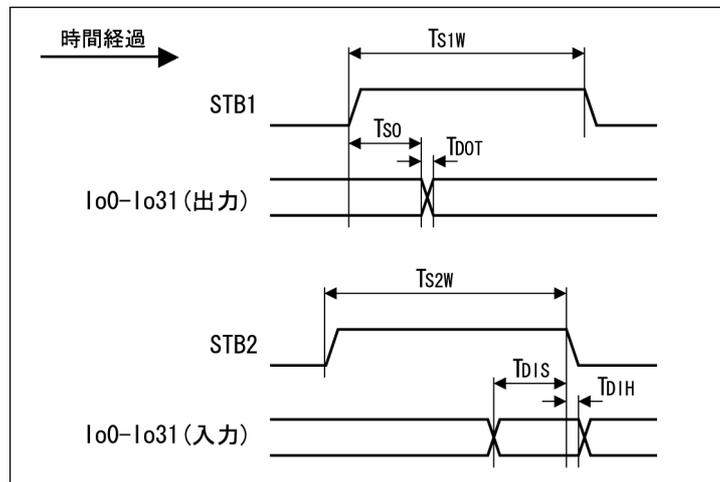


5.2.4 #CYCT 出力タイミング



記号	名称	最小	標準	最大	単位
TPW	#CYCT 端子出力 Lo レベル幅	$1.8 \times \text{TBPS}$	$2 \times \text{TBPS}$	$2.2 \times \text{TBPS}$	ns

5.2.5 STB1、STB2 とデータ入出力端子タイミング

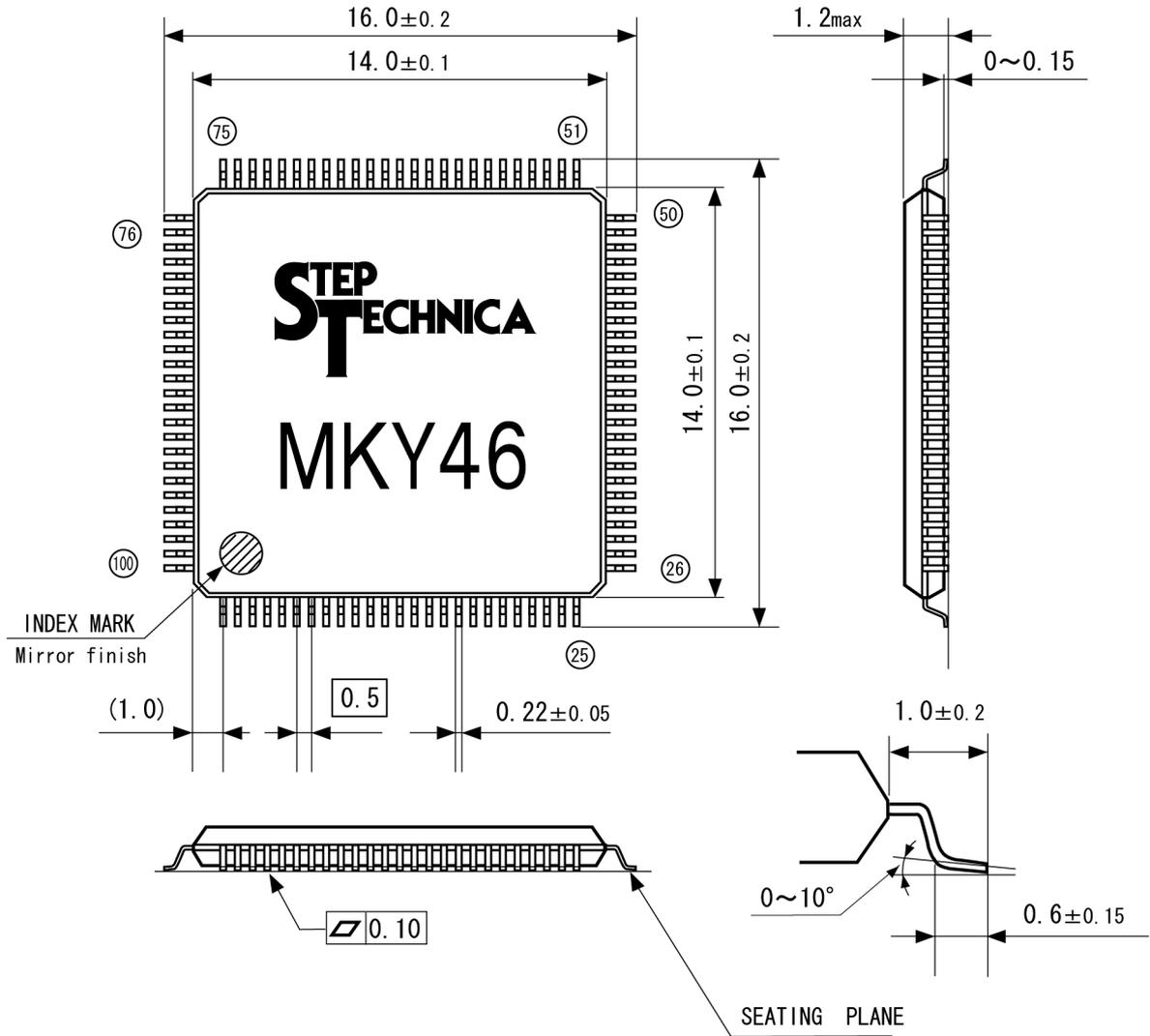


記号	名称	最小	標準	最大	単位
Ts1W	STB1 Hi レベル幅	$(1.8 \times \text{TBPS}) + \text{TXI}$	$(2 \times \text{TBPS}) + \text{TXI}$	$(2.2 \times \text{TBPS}) + \text{TXI}$	ns
Tso	STB1 データ出力ホールド	15	---	25	ns
Tdot	データ遷移期間	---	---	10	ns
Ts2W	STB2 Hi レベル幅	$1.8 \times \text{TBPS}$	$2 \times \text{TBPS}$	$2.2 \times \text{TBPS}$	ns
Tdis	データインプットセットアップ	50	---	---	ns
TdiH	データインプットホールド	0	---	---	ns

5.3 パッケージ外形寸法

MKY46 (100ピン、TQFP)

Unit:mm



5.4 半田実装推奨条件

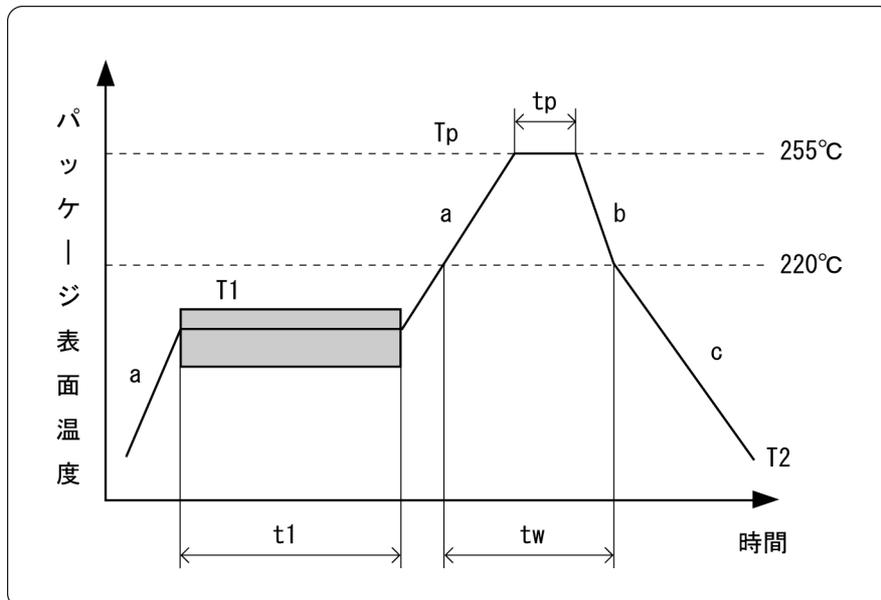
項目	記号	リフロー	手付け半田こて
ピーク温度（樹脂表面）	Tp	255℃以下	380℃以下
ピーク温度維持時間	tp	10秒以下	5秒以下



注意事項

- ① 製品保管条件：吸湿防止のため、TA=40℃以下、RH=85%以下としてください。
- ② 手付け半田法：こて温度 380℃、5秒以内。
(デバイスリード温度は 260℃、10秒以内、パッケージ表面温度は 150℃以内)
- ③ リフロー回数：最大 2 回まで可能
- ④ フラックス：無塩素のフラックスを推奨（十分に洗浄してください）。
- ⑤ 超音波洗浄の場合：周波数および基板形状などによって、共振が発生してリードの強度へ影響する場合がありますので十分注意してください。

5.5 リフロー推奨条件



項目	記号	値
プリヒート（時間）	t1	60～80秒
プリヒート（温度）	T1	150～190℃
昇温レート	a	1～4℃/秒
ピーク条件（時間）	tp	最大10秒
ピーク条件（温度）	Tp	255℃
冷却レート	b	～1.5℃/秒
冷却レート	c	～0.5℃/秒
高温領域	tw	220℃、60秒以内
取出し温度	T2	≤100℃



注意事項

本推奨条件は、温風リフローや赤外線リフローなどに適用します。温度は、パッケージ樹脂表面温度を示します。

付録

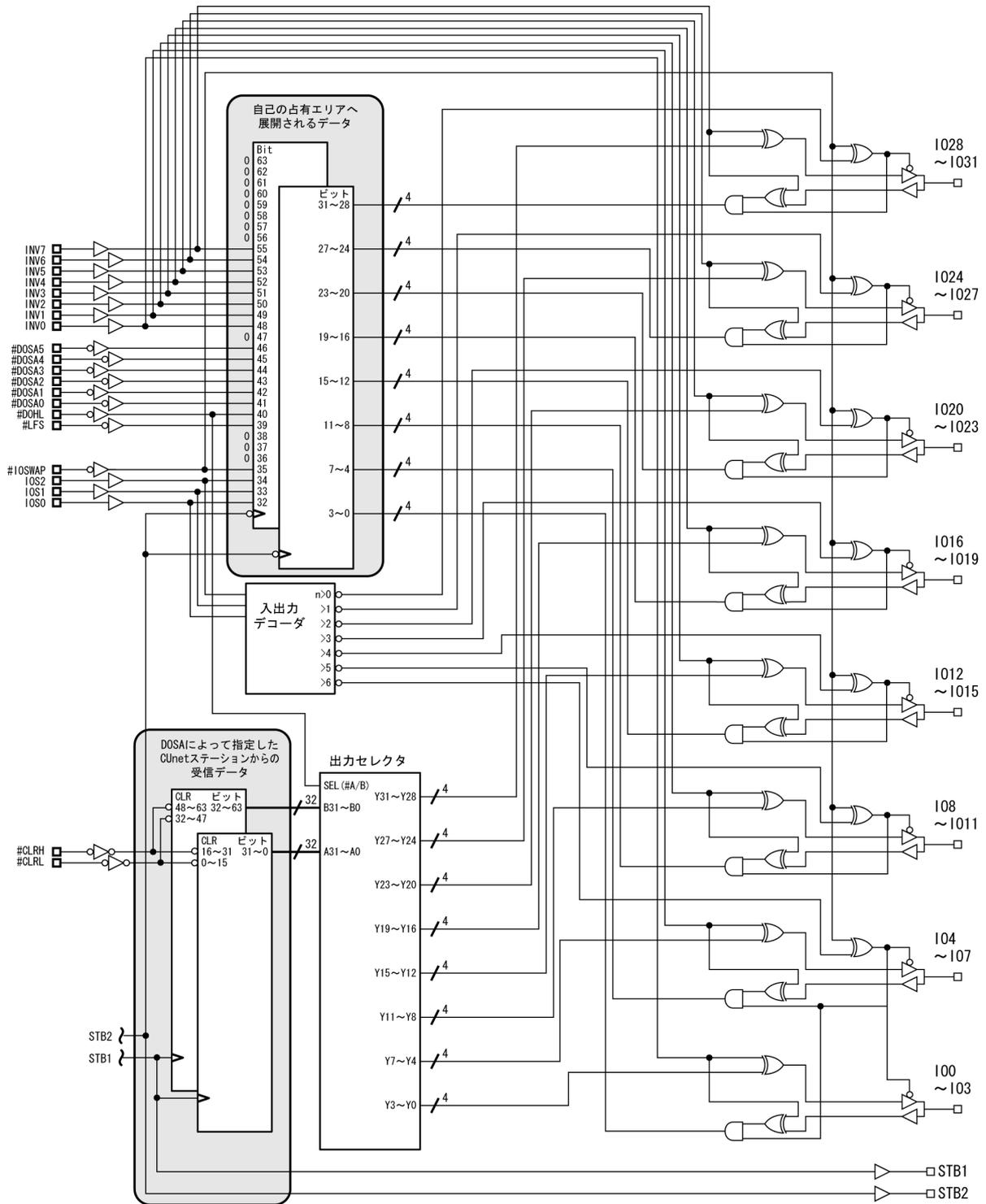
付録 1	サイクルタイム一覧	付録 -3
付録 2	内部等価ブロック図	付録 -4
付録 3	MKY46 と IO モードの MKY40 との相違点一覧表	付録 -5

付録1 サイクルタイム一覧

(単位: μ s)

FS	標準 (LF=0)			フレームオプション (LF=1)		
	12Mbps	6Mbps	3Mbps	12Mbps	6Mbps	3Mbps
1 (01H)	102.00	204.00	408.00	172.00	344.00	688.00
2 (02H)	128.33	256.67	513.33	215.83	431.67	863.33
3 (03H)	155.00	310.00	620.00	260.00	520.00	1,040.00
4 (04H)	182.00	364.00	728.00	304.50	609.00	1,218.00
5 (05H)	209.33	418.67	837.33	349.33	698.67	1,397.33
6 (06H)	237.00	474.00	948.00	394.50	789.00	1,578.00
7 (07H)	265.00	530.00	1,060.00	440.00	880.00	1,760.00
8 (08H)	293.33	586.67	1,173.33	485.83	971.67	1,943.33
9 (09H)	322.00	644.00	1,288.00	532.00	1,064.00	2,128.00
10 (0AH)	351.00	702.00	1,404.00	578.50	1,157.00	2,314.00
11 (0BH)	380.33	760.67	1,521.33	625.33	1,250.67	2,501.33
12 (0CH)	410.00	820.00	1,640.00	672.50	1,345.00	2,690.00
13 (0DH)	440.00	880.00	1,760.00	720.00	1,440.00	2,880.00
14 (0EH)	470.33	940.67	1,881.33	767.83	1,535.67	3,071.33
15 (0FH)	501.00	1,002.00	2,004.00	816.00	1,632.00	3,264.00
16 (10H)	532.00	1,064.00	2,128.00	864.50	1,729.00	3,458.00
17 (11H)	563.33	1,126.67	2,253.33	913.33	1,826.67	3,653.33
18 (12H)	595.00	1,190.00	2,380.00	962.50	1,925.00	3,850.00
19 (13H)	627.00	1,254.00	2,508.00	1,012.00	2,024.00	4,048.00
20 (14H)	659.33	1,318.67	2,637.33	1,061.83	2,123.67	4,247.33
21 (15H)	692.00	1,384.00	2,768.00	1,112.00	2,224.00	4,448.00
22 (16H)	725.00	1,450.00	2,900.00	1,162.50	2,325.00	4,650.00
23 (17H)	758.33	1,516.67	3,033.33	1,213.33	2,426.67	4,853.33
24 (18H)	792.00	1,584.00	3,168.00	1,264.50	2,529.00	5,058.00
25 (19H)	826.00	1,652.00	3,304.00	1,316.00	2,632.00	5,264.00
26 (1AH)	860.33	1,720.67	3,441.33	1,367.83	2,735.67	5,471.33
27 (1BH)	895.00	1,790.00	3,580.00	1,420.00	2,840.00	5,680.00
28 (1CH)	930.00	1,860.00	3,720.00	1,472.50	2,945.00	5,890.00
29 (1DH)	965.33	1,930.67	3,861.33	1,525.33	3,050.67	6,101.33
30 (1EH)	1,001.00	2,002.00	4,004.00	1,578.50	3,157.00	6,314.00
31 (1FH)	1,037.00	2,074.00	4,148.00	1,632.00	3,264.00	6,528.00
32 (20H)	1,073.33	2,146.67	4,293.33	1,685.83	3,371.67	6,743.33
33 (21H)	1,110.00	2,220.00	4,440.00	1,740.00	3,480.00	6,960.00
34 (22H)	1,147.00	2,294.00	4,588.00	1,794.50	3,589.00	7,178.00
35 (23H)	1,184.33	2,368.67	4,737.33	1,849.33	3,698.67	7,397.33
36 (24H)	1,222.00	2,444.00	4,888.00	1,904.50	3,809.00	7,618.00
37 (25H)	1,260.00	2,520.00	5,040.00	1,960.00	3,920.00	7,840.00
38 (26H)	1,298.33	2,596.67	5,193.33	2,015.83	4,031.67	8,063.33
39 (27H)	1,337.00	2,674.00	5,348.00	2,072.00	4,144.00	8,288.00
40 (28H)	1,376.00	2,752.00	5,504.00	2,128.50	4,257.00	8,514.00
41 (29H)	1,415.33	2,830.67	5,661.33	2,185.33	4,370.67	8,741.33
42 (2AH)	1,455.00	2,910.00	5,820.00	2,242.50	4,485.00	8,970.00
43 (2BH)	1,495.00	2,990.00	5,980.00	2,300.00	4,600.00	9,200.00
44 (2CH)	1,535.33	3,070.67	6,141.33	2,357.83	4,715.67	9,431.33
45 (2DH)	1,576.00	3,152.00	6,304.00	2,416.00	4,832.00	9,664.00
46 (2EH)	1,617.00	3,234.00	6,468.00	2,474.50	4,949.00	9,898.00
47 (2FH)	1,658.33	3,316.67	6,633.33	2,533.33	5,066.67	10,133.33
48 (30H)	1,700.00	3,400.00	6,800.00	2,592.50	5,185.00	10,370.00
49 (31H)	1,742.00	3,484.00	6,968.00	2,652.00	5,304.00	10,608.00
50 (32H)	1,784.33	3,568.67	7,137.33	2,711.83	5,423.67	10,847.33
51 (33H)	1,827.00	3,654.00	7,308.00	2,772.00	5,544.00	11,088.00
52 (34H)	1,870.00	3,740.00	7,480.00	2,832.50	5,665.00	11,330.00
53 (35H)	1,913.33	3,826.67	7,653.33	2,893.33	5,786.67	11,573.33
54 (36H)	1,957.00	3,914.00	7,828.00	2,954.50	5,909.00	11,818.00
55 (37H)	2,001.00	4,002.00	8,004.00	3,016.00	6,032.00	12,064.00
56 (38H)	2,045.33	4,090.67	8,181.33	3,077.83	6,155.67	12,311.33
57 (39H)	2,090.00	4,180.00	8,360.00	3,140.00	6,280.00	12,560.00
58 (3AH)	2,135.00	4,270.00	8,540.00	3,202.50	6,405.00	12,810.00
59 (3BH)	2,180.33	4,360.67	8,721.33	3,265.33	6,530.67	13,061.33
60 (3CH)	2,226.00	4,452.00	8,904.00	3,328.50	6,657.00	13,314.00
61 (3DH)	2,272.00	4,544.00	9,088.00	3,392.00	6,784.00	13,568.00
62 (3EH)	2,318.33	4,636.67	9,273.33	3,455.83	6,911.67	13,823.33
63 (3FH)	2,365.00	4,730.00	9,460.00	3,520.00	7,040.00	14,080.00

付録2 内部等価ブロック図



付録3 MKY46 と IO モードの MKY40 との相違点一覧表

MKY46は、先にリリースされているMKY40のIOモードと互換動作を実現するCUNet専用I/O-ICです。MKY46とIOモードのMKY40における相違点を本表にまとめます。

なお、主な改定点は以下です。

- ① Xo端子は存在しません。
したがって外部からXi端子へクロックを入力してください。
- ② サイクルの先頭タイミングを通知する、#CYCT信号が増設されました。
- ③ I00~I031端子の許容出力電流が強化されました。
- ④ 消費電流が低減されました。

● 絶対最大定格

	MKY40 (IOモード)	MKY46
電源電圧	-0.3 ~ +7.0 V	-0.5 ~ +6.5 V
入力端子電圧	Vss-0.3 ~ VDD+0.3 V	Vss-0.5 ~ VDD+0.5 V
出力端子電圧	Vss-0.3 ~ VDD+0.3 V	Vss-0.5 ~ VDD+0.5 V
ピーク出力電流 (Type-E 端子)	ピーク± 12 mA	ピーク± 4 mA
ピーク出力電流 (Type-F 端子)	ピーク± 24 mA	ピーク± 8 mA
ピーク出力電流 (Type-G 端子)	ピーク+12 / -6 mA	ピーク± 8 mA
許容損失	570 mW	681 mW
保存温度	-55 ~ +150 °C	-65 ~ +150 °C

● 電氣的定格

	MKY40 (IOモード)	MKY46
動作電流	max 130mA	max 40mA
端子容量	typ 7pF max 15pF	typ 10pF
入力信号の立上がり / 立下り時間 (シュミット)	100ns 50ms	20ns 30 μs

● 外形寸法

	MKY40	MKY46
厚み	1.7mm-max	1.2mm-max

● 端子機能

	MKY40 (IOモード)	MKY46
2番端子	MODE (Hi-level) 入力	N.C. (内部未接続)
6番端子	N.C. (Eタイプ出力)	N.C. (内部未接続)
52番端子	N.C. (Eタイプ出力)	#CYCT 増設機能出力
63番端子	N.C. (Eタイプ出力)	N.C. (内部未接続)
78番端子	TXE (Eタイプ出力)	TXE (Fタイプ出力)
79番端子	TXD (Eタイプ出力)	TXD (Fタイプ出力)
94番端子	N.C. (Fタイプ出力)	N.C. (内部未接続)
98番端子	Xo (発振信号出力)	N.C. (内部未接続)

● 端子電氣的定格

	MKY40 (IOモード)	MKY46
TTLレベル入力 (Type-B, C, G)	VIH min 2.4V	VIH min 2.2V
	VIL max 0.6V	VIL max 0.76V
TTLレベル入力 (シュミットトリガ) (Type-D)	Vt+ max 2.4V	Vt+ max 2.2V
	Vt- min 0.6V	Vt- min 0.76V
	ΔVt min 0.4V	ΔVt min 0.2V
TTLレベル出力 (Type-G)	VOH min 4.4V	VOH min 3.7V
	VOL max 0.4V	VOL max 0.44V
TTL出力電流 (Type-G)	IOH max -2mA	IOH max -8mA
	IOL max 4mA	IOL max 8mA
プリアップ抵抗 (Type-C)	typ 30KΩ	typ 50KΩ
C-MOSレベル出力 (Type-E, F)	VOH min 4.4V	VOH min 3.7V
	VOL max 0.4V	VOL max 0.44V
端子リーク電流 (Type-B, D, G)	max ±10 μA	max ±100 μA

● 半田実装推奨条件

	MKY40	MKY46
ピーク温度 (リフロー)	260°C以下	255°C以下
ピーク温度 (こて温度)	350°C以下	380°C以下
ピーク温度維持時間 (こて温度)	3秒以下	5秒以下

● リフロー推奨条件

	MKY40	MKY46
プリヒート (時間)	60 ~ 120 秒	60 ~ 80 秒
プリヒート (温度)	150 ~ 180 °C	150 ~ 190 °C
昇温レート	2 ~ 5 °C / 秒	1 ~ 4 °C / 秒
ピーク条件 (時間)	10 秒± 3 秒	最大10 秒
ピーク条件 (温度)	255 + 5 °C	255°C
冷却レート b	2 ~ 5 °C / 秒	~1.5 °C / 秒
冷却レート c	-----	~0.5 °C / 秒

更新履歴

バージョン No	更新年月日	ページ	更新内容
1.4	2021 年 11 月	3-10	「3.7.3 ブレークフェーズの動作」④ STB2 の動作誤記訂正
		4-4	「4.2 ハードウェアリセット」注意事項 追記
		4-14	「4.16 ウォッチドッグタイマによる出力クリア」データ更新サイクル誤記訂正
		4-15	「4.19 PING 命令の受信を通知 (PING)」 注意事項訂正
			その他、微細修正
1.5	2024 年 3 月		住所変更

■開発・製造

株式会社ステップテクニカ

〒 207-0021 東京都東大和市立野1-1-15

TEL: 042-569-8577

<https://www.steptechnica.com/>

info@steptechnica.com

CUnet

CUnet 専用 I/O-IC MKY46 ユーザーズマニュアル

ドキュメント No. : STD_CU46_V1.5J

発行年月日 : 2024 年 3 月